



**FAKULTA
ELEKTROTECHNICKÁ
ZÁPADOČESKÉ
UNIVERZITY
V PLZNI**

UNIVERZÁLNÍ MODULÁTOR S AKTIVNÍM BALANCOVÁNÍM A MODULÁRNÍ STRUKTUROU PRO VÍCEÚROVŇOVÉ MĚNIČE

DIZERTAČNÍ PRÁCE

2016

ING. DUŠAN JANÍK

ZÁPADOČESKÁ UNIVERZITA V PLZNI
FAKULTA ELEKTROTECHNICKÁ

UNIVERZÁLNÍ MODULÁTOR S AKTIVNÍM BALANCOVÁNÍM A MODULÁRNÍ STRUKTUROU PRO VÍCEÚROVŇOVÉ MĚNIČE

DIZERTAČNÍ PRÁCE

k získání akademického titulu doktor

v oboru

Elektronika

Autor:

Ing. Dušan Janík

Školitel:

prof. Ing. Zdeněk Peroutka, Ph.D.

Datum státní doktorské zkoušky:

5. říjen 2011

Datum odevzdání práce:

14. února 2016

Prohlášení autora

Předkládám tímto k posouzení a obhajobě dizertační práci vypracovanou na závěr doktorského studia na Fakultě elektrotechnické Západočeské univerzity v Plzni. Prohlašuji, že jsem dizertační práci na téma **Univerzální modulátor s aktivním balancováním a modulární strukturou pro víceúrovňové měniče** vypracoval samostatně za použití odborné literatury a pramenů uvedených v seznamu na konci této práce.

V Plzni, 14. února 2016

.....
Ing. Dušan Janík

Prohlášení garanta projektu

Tato práce vznikla za podpory projektu ED2.1.00/03.0094: Regionální inovační centrum elektrotechniky (RICE) a projektů TE01020455 (CANUT), jejichž jsem řešitelem. Potvrzuji, že Ing. Dušan Janík je hlavním autorem částí, které jsou představeny v této práci.

V Plzni, 14. února 2016

.....
prof. Ing. Zdeněk Peroutka, Ph.D.

Poděkování

Na tomto místě bych rád poděkoval především svému školiteli, panu prof. Ing. Zdeňku Peroutkovi, Ph.D. za cenné rady a připomínky. Dále pak konzultantovi specialistovi panu Ing. Tomáši Glasbergerovi, Ph.D. a kolegům Ing. Tomáši Košanovi a Ing. Štěpánu Janoušovi za neocenitelnou pomoc při vývoji a testování a ostatním, kteří přispěli svým nesmazatelným dílem k dokončení této práce.

V Plzni, 14. února 2016

.....
Ing. Dušan Janík

Anotace

Dizertační práce se zabývá problematikou řízení víceúrovňových měničů. Řízením víceúrovňového měniče se rozumí spínání vhodných prvků měniče na základě pulzně šířkové modulace a balancování napětí na jednotlivých výkonových spínacích prvcích měniče, pokud to daná topologie vyžaduje. V práci jsou popsány navržené modulační algoritmy založené na pulzně šířkové modulaci (PWM), větší část práce je pak věnována odvozeným algoritmům vektorové modulace (SVPWM). Správná funkce jednotlivých modulačních algoritmů byla nejprve ověřena v prostředí grafického simulátoru Matlab-Simulink v součinnosti s modelem měniče sestaveným v programu PLECS. Následně byly algoritmy implementovány do programovatelné logické jednotky FPGA. Pro implementaci byl použit programovací jazyk VHDL. Funkčnost implementovaných modulátorů byla ověřena experimenty na prototypch měničů několika topologií. Topologie prototypů měničů byly devítiúrovňové kaskádní zapojení, tříúrovňová s upínacími diodami (3L-NPC), tříúrovňová s aktivními upínacími prvky (3L-ANPC) a čtyřúrovňová s plovoucími kondenzátory (4L-FLC). Kromě testů funkčnosti samotných modulačních algoritmů byla ověřena funkce aktivního balancování. Pro aktivní balancování byly použity dva různé přístupy. Prvním je balancovací tabulka, která je sestavena podle topologie měniče, ze všech přípustných spínacích kombinací a jejich vlivu na napětí kondenzátorů ve stejnosměrném meziobvodu měniče, popřípadě plovoucích kondenzátorů. Druhým je matematický model popisující chování napětí kondenzátorů na základě sepnutí přípustné spínací kombinace. Hlavním přínosem této práce je návrh vektorového modulátoru založeného na modulární struktuře pro víceúrovňové měniče. Funkčnost navrženého modulátoru byla ověřena v prostředí Matlab-Simulink v součinnosti s modelem sedmiúrovňového střídače s plovoucími kondenzátory. Navržené modulační algoritmy byly hodnoceny dle výpočetní náročnosti, složitosti samotné implementace, možností budoucí rozšiřitelnosti řešené problematiky a celkového harmonického zkreslení (THD) napětí a proudů měniče.

Klíčová slova

Vektorová modulace, SV-PWM, PS-PWM, PD-PWM, FCS-MPC, aktivní balancování, řízení víceúrovňových měničů, NPC, ANPC, FLC, DSP, FPGA

Abstract

This dissertation deals with the problematics of multilevel converter control. The designed control algorithm has to be able to select such switching combination, which secures proper output voltage control and balancing of the voltage on single components of the converter, if required. In this dissertation, the designed control algorithms, based on pulse width modulation (PWM), are described in detail. The main part of this thesis is dedicated to a design of control algorithms based on vector modulation and their detailed description. The proper function of designed algorithms has been tested in simulations using simulator designed in MATLAB-SIMULINK and PLECS software. Subsequently, the proper function of selected algorithms has been tested experimentally on laboratory prototypes, implemented in programmable logical unit FPGA using VHDL coding language. The experiments have been performed on those topologies: 9-level cascade converter, 3-level NPC, 3-level ANPC and 4-level FLC. The tests have been focused on output voltage control as well as active balancing of the voltage on capacitors. Two distinguishable techniques for active voltage balancing have been used. The first one uses a look - up table and the second one uses mathematical model for selecting the right switching combination which balances the voltages. The main contribution of this work is the design of vector modulator for multilevel converters based on the modular structure. The designed algorithms have been investigated in terms of computational demands, complexity, the possibility of future extendability, total harmonic distortion (THD) of output voltage.

Keywords

Space vector modulation, SV-PWM, PS-PWM, PD-PWM, FCS-MPC, active balancing, multilevel converter control, NPC, ANPC, FLC, DSP, FPGA

Annotation

Diese Dissertation beschäftigt sich mit der Problematik der Mehrniveau-Wandler Kontrolle. Der Regelalgorithmus entwickelt solche Schaltkombination, die richtige Ausgangsspannungssteuerung und Bilanzierung der Spannung an einzelnen Komponenten des Wandlers bei Bedarf sichert auswählt. In dieser Dissertation werden die ausgebildete Steueralgorithmen basierend auf Pulsweitenmodulation (PWM) im Detail beschrieben. Der Hauptteil dieser Dissertation wird nach einem Entwurf von den Steueralgorithmen auf der Basis von Zeigermodulation und deren detaillierte Beschreibung gewidmet. Die einwandfreie Funktion der einzelnen Algorithmen wurde im Simulator MATLAB-Simulink in der Verbindung mit PLECS-Software geprüft. Anschließend wurde die einwandfreie Funktion der ausgewählten Algorithmen auf den Labor Prototypen in programmierbarer Logikinheit FPGA experimentell getestet. Die Algorithmen wurden mithilfe der VHDL-Codierung Sprache implementiert. Die Experimente haben sich auf diesen Topologien durchgeführt: 9-stufe Kaskadenwandler, 3-Stufe NPC, 3-Stufe-ANPC und 4-stufigem FLC. Neben den Funktionstests wurde auch die Funktion des aktives Ausgleich. Für den aktive Ausgleich wurden zwei verschiedene Techniken verwendet. Die erste ist die Tabelle, die aus allen zulässigen Schaltkombinationen und ihren Einwirkungen auf Spannungskondensatoren beziehungsweise potentialfreien Kondensatoren besteht. Die zweite ist ein mathematisches Modell, das das Verhalten der Kondensatorspannung basierend auf Schalter für zulässige Kombinationen beschreibt. Der wichtigste Beitrag dieser Dissertation ist der Vorschlag des Zeigermodulation für Mehrniveau-Wandler basierend auf den modularen Aufbau. Die Funktionalität des ausgelegtes Modulator wurde in Matlab-Simulink in Verbindung mit dem Wechselrichter-Modell mit potentialfreien Kondensatoren geprüft. Die vorgeschlagene Modulationsalgorithmen wurden nach der Rechenkomplexität, der Schwierigkeit der Implementierung und der Möglichkeit der zukünftige Erweiterbarkeit und der Ausgangsspannung ausgewertet.

Schlüsselwörter

PWM, Zeigermodulation, aktive Ausgleichs, Mehrniveau-Wandler-Konverter, NPC, FLC, DSP, FPGA

Obsah

Seznam symbolů a zkratk	3
1 Úvod	8
1.1 Současný stav ve zkoumané problematice	10
1.1.1 Topologie víceúrovňových měničů	10
1.1.2 Algoritmy řízení výkonových polovodičových měničů	14
1.1.3 Hardware	19
1.1.4 Hlavní problémy	20
1.2 Cíle práce	21
1.3 Metodika řešení	22
2 Návrh modulátorů pro vybrané topologie víceúrovňových měničů dle metodiky řešení	23
2.1 Kaskádní modulární měnič CHB	24
2.1.1 Prototyp kaskádního měniče CHB	24
2.1.2 PS-PWM modulace	25
2.1.3 Popis funkce modulátoru	26
2.1.4 Implementace modulátoru	28
2.1.5 Experimentální měření na primární straně trakčního měniče se středofrekenčním transformátorem	29
2.1.6 Dílčí závěr	32
2.2 Tříúrovňový střídač s upínacími diodami (NPC)	33
2.2.1 SV-PWM modulace	36
2.2.2 CORDIC	36
2.2.3 Princip SV-PWM modulace	37
2.2.4 Popis funkce modulátoru SV-PWM	40
2.2.5 Zjednodušená SVM modulace	47
2.2.6 Popis funkce modulátoru zjednodušené SVM	50
2.2.7 Regulační algoritmy založené na prediktivním řízení s omezenou množinou akčních zásahů FCS-MPC	56
2.2.8 Popis funkce regulátoru FCS-MPC	59
2.2.9 Experimentální měření na prototypu měniče 3L-NPC	59
2.2.10 Dílčí závěr	62

2.3	Tříúrovňový střídač ANPC	63
2.3.1	Popis funkce modulátoru SV-PWM	64
2.3.2	Popis funkce modulátoru zjednodušené SVM	69
2.3.3	Experimentální měření na prototypu měniče 3L-ANPC	70
2.3.4	Dílčí závěr	76
2.4	Čtyřúrovňový měnič FLC	77
2.4.1	PD-PWM modulace	78
2.4.2	Popis funkce modulátoru PD-PWM	78
2.4.3	Popis funkce modulátoru zjednodušené SVM	84
2.4.4	Experimentální měření na prototypu měniče 4L-FLC	87
2.4.5	Dílčí závěr	94
3	Univerzální modulátor s aktivním balancováním a modulární strukturou pro víceúrovňového měniče	95
3.1	Dekompozice vektorového modulátoru pro víceúrovňové měniče FLC	95
3.2	Návrh vektorového modulátoru pro sedmiúrovňový měnič FLC	97
3.2.1	Modul 1 (Komunikace a synchronizace)	97
3.2.2	Modul 2 (Pomocné výpočty a korekce vstupů pro algoritmus modulátoru)	98
3.2.3	Modul 3 (Algoritmus modulátoru)	99
3.2.4	Modul 4 (Přemapování na reálné spínací kombinace měniče)	100
3.2.5	Modul 5 (Balancování a časování)	102
3.2.6	Modul 6 (Sestavení sady řídicích signálů pro víceúrovňový měnič)	106
3.3	Aktivní balancování napětí plovoucích kondenzátorů podle napěťového modelu	107
3.3.1	Modul 5 (Balancování s matematickým modelem a časování)	108
3.4	Ověření funkčnosti navrženého modulátoru - simulační model	109
3.5	Dílčí závěr	116
4	Závěr	117
	Literatura	120
	Seznam autorových publikací	125
	Přílohy	130

Seznam symbolů a zkratek

ANPC	Active Neutral Point Clamped
ANPC měnič	Měnič s aktivními upínacími prvky
CHB	Cascaded H-bridge Converter
CORDIC	COordinate Rotation Digital Computer
CMC	Cascaded Matrix Converter
DAS	Data Acquisition Systems
DSC	Digital Signal Controller
DSP	Digital Signal Processing
EMC	Elektromagnetická kompatibilita
FCS-MPC	Finite Control Set - Model Predictive Control
FLC, FC	Flying Capacitors
FLC měnič	Měnič s plovoucími kondenzátory
FPGA	Programovatelné logické pole
HC	Harmonic Control
HNPC	H-bridge NPC
HMM	Hybrid Multilevel Modulation
IGBT	Insulated Gate Bipolar Transistor
LS-PWM	Level Shifted Pulse Width Modulation
MCU	Main Controller Unit
MLC interface	Multi-Level Converter interface
MMC	Modular Multilevel Converter
Multicell	Vícemodulový
NPC	Neutral Point Clamped
NPC měnič	Měnič s upínacími diodami
PD-PWM	Phase Disposition Pulse Width Modulation
PLECS	Piece-wise Linear Electrical Circuit Simulation

PMSM	Permanent Magnet Synchronous Motor
PS-PWM	Phase Shifted Pulse Width Modulation
PWM	Pulsně šířkové modulace
REMCS	RICE Embedded Modular Control System
SVC	Space Vector Control
SVM	Space Vector Modulation
SV-PWM	Space Vector Pulse Width Modulation
THD	Total Harmonic Distortion - celkové harmonické zkreslení sinusového signálu
xL	počet úrovní měniče, kde x nabývá hodnot 3,4 a 7
x_i, y_i	Souřadnice aproximačního vektoru, vypočítávané algoritmem CORDIC
d_i	Proměnná definující směr otáčení aproximačního vektoru (algoritmus CORDIC)
K_i	Limitou určená konstanta zjednodušující výpočet algoritmu CORDIC
m_1, m_2	Proměnné určující oblast do které patří požadovaný napěťový vektor m_n v rámci sektoru (modulace SVM)
fi	Úhel natočení požadovaného napěťového vektoru m_n (modulace SVM)
$V_0, V_{S0}, V_{S1}, V_{L1}, V_M, V_{L2}$	vektory vymežující oblasti v rámci sektoru (modulace SVM)
$T_0, T_{S0}, T_{S1}, T_{L1}, T_M, T_{L2}$	doby sepnutí vektorů vymežující oblasti v rámci sektoru (modulace SVM)
u_x, u_y	Složky požadovaného napěťového vektoru u_0 (modulace Novel SVM)
u_a, u_b, u_c	Složky požadovaného napěťového vektoru u_0 v rámci souřadného systému ABC
u_u, u_v, u_w	Složky požadovaného napěťového vektoru u_0 v rámci souřadného systému UVW
<i>floor</i>	Funkce <i>floor(j)</i> vrátí nejbližší menší celé číslo, než je reálné číslo j
<i>ceil</i>	Funkce <i>ceil(j)</i> vrátí nejbližší vyšší celé číslo, než je reálné číslo j

f_a, f_b, f_c	Výsledek funkce <i>floor</i> pro složky u_a, u_b, u_c napěťového vektoru u_0
c_a, c_b, c_c	Výsledek funkce <i>ceil</i> pro složky u_a, u_b, u_c napěťového vektoru u_0
u_{fcf}, d_{fcf}	Vektor vymežující první vrchol trojúhelníkové oblasti a doba jeho sepnutí ($f_a + f_b + f_c = -1$)
u_{ffe}, d_{ffe}	Vektor vymežující druhý vrchol trojúhelníkové oblasti a doba jeho sepnutí ($f_a + f_b + f_c = -1$)
u_{cfe}, d_{cfe}	Vektor vymežující třetí vrchol trojúhelníkové oblasti a doba jeho sepnutí ($f_a + f_b + f_c = -1$)
u_{fce}, d_{fce}	Vektor vymežující první vrchol trojúhelníkové oblasti a doba jeho sepnutí ($f_a + f_b + f_c \neq -1$)
u_{cef}, d_{cef}	Vektor vymežující druhý vrchol trojúhelníkové oblasti a doba jeho sepnutí ($f_a + f_b + f_c \neq -1$)
u_{cfe}, d_{cfe}	Vektor vymežující třetí vrchol trojúhelníkové oblasti a doba jeho sepnutí ($f_a + f_b + f_c \neq -1$)
i_w, i_v, i_w	Fázové proudy měniče v rámci souřadného systému UVW
i_{ca}, i_{cb}	Proudy odebírané z kondenzátorů C_a, C_b ve stejnosměrném obvodu měniče 3L-NPC
U_{ca}, U_{cb}	Napětí na kondenzátorech C_a, C_b ve stejnosměrném obvodu měniče 3L-NPC
R_L, L_L	Odpor a indukčnost RL zátěže
S_{a1}, S_{a2}, S_{a3}	Funkce určující vztah mezi proudem zátěže a proudem odebíraným z kondenzátoru C_a
S_{b1}, S_{b2}, S_{b3}	Funkce určující vztah mezi proudem zátěže a proudem odebíraným z kondenzátoru C_b
L_τ	Ztrátová funkce FCS-MPC regulátoru pro horizont 1
$L_u, L_v, L_w, L_{ua}, L_{ub}$	Složky ztrátová funkce FCS-MPC regulátoru pro horizont 1
$Q_u, Q_v, Q_w, Q_{ca}, Q_{cb}$	Penalizace příslušných složek ztrátová funkce FCS-MPC regulátoru pro horizont 1
L_{SW}	Složka ztrátová funkce FCS-MPC regulátoru, která zohledňuje spínací ztráty jednotlivých výkopových součástí měniče
S_{w1}	Příznak stavu spínacích prvků v předchozím kroku

S_{w2}	Příznak stavu spínacích prvků ve stávajícím kroku
Q_{sw}	Penalizace složky L_{SW}
u_t	Napětí troleje
u_v	Vícehladinové napětí na primární straně kaskádního usměrňovače
i_t	Proud odebíraný z troleje
u_S	Napětí na sekundární straně středofrekvenčního transformátoru
i_S	Proud odebíraný ze sekundární strany středofrekvenčního transformátoru
U_{CS}	Napětí na kondenzátoru C_S , stejnosměrný obvod nepřímého měniče frekvence na sekundární straně středofrekvenčního transformátoru
U_{C1}	Napětí na kondenzátoru C_1
U_{C2}	Napětí na kondenzátoru C_2
U_{C3}	Napětí na kondenzátoru C_3
U_{C4}	Napětí na kondenzátoru C_4
$S_1, S_2, S_3, S_4, S_5, S_6$	Spínací prvky měniče
U_{dc}	Napětí stejnosměrný obvodu měniče
$V_1, V1$	Obecné označení vektoru vymezuujícího první vrchol trojúhelníkové oblasti
d_1, t_V1	Obecné označení doby sepnutí vektoru V_1
$V_2, V2$	Obecné označení vektoru vymezuujícího druhý vrchol trojúhelníkové oblasti
d_2, t_V2	Obecné označení doby sepnutí vektoru V_2
$V_3, V3$	Obecné označení vektoru vymezuujícího třetí vrchol trojúhelníkové oblasti
d_3, t_V3	Obecné označení doby sepnutí vektoru V_3
SK_{V1}	Obecné označení reálné spínací kombinace vybrané pro první vrchol trojúhelníkové oblasti
SK_{V2}	Obecné označení reálné spínací kombinace vybrané pro první vrchol trojúhelníkové oblasti

SK_{V3}	Obecné označení reálné spínací kombinace vybrané pro první vrchol trojúhelníkové oblasti
$s01, s01, s01, \dots, s14$	Sekvence reálných spínacích kombinací
$t01, t01, t01, \dots, t14$	Příslušné doby sepnutí pro sekvenci reálných spínacích kombinací
hr	Časová konstanta výpočtu matematického modelu napětí na plovoucích kondenzátorech
$stav_C$	Vliv spínací kombinace na napětí na plovoucích kondenzátorech

1 Úvod

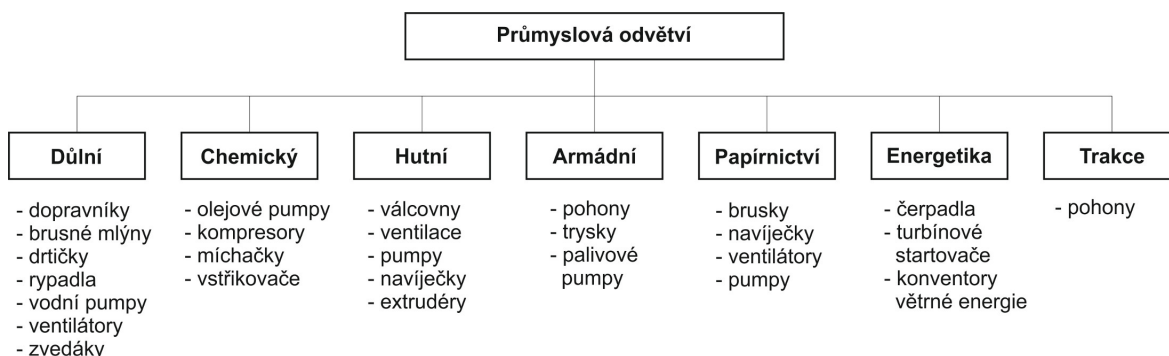
Víceúrovňové měniče představují důležitou součást vysokonapěťových pohonů a zauímají tak velice významné místo v aplikacích pro oblasti trakce a těžkého průmyslu. Výzkumné centrum RICE se řadu let podílí na řešení projektů, jejichž součástí je vývoj hardware a software pro víceúrovňové měniče, vývoj řídicí jednotky primárně určené k řízení víceúrovňových měničů a dynamicky náročných pohonů s různými typy motorů, např. asynchronními, synchronními elektricky buzenými a v neposlední řadě synchronními s permanentními magnety (PMSM). Vyvíjený software pro víceúrovňové měniče je rozdělen do tří úrovní. První úroveň softwaru se věnuje problematice řízení hardwaru, jak samotného měniče, tak i řídicí desky, jde zejména o ovladače zajišťující základní nastavení a funkce hardwaru. Na druhé úrovni řeší software problematiku modulace a balancování napětí na kondenzátorech (v závislosti na typu topologie měniče jde o napětí ve stejnosměrném obvodu měniče, nebo na plovoucích kondenzátorech). Na třetí, nejvyšší, úrovni uvažovaného softwaru jsou řešeny regulační algoritmy pro řízení pohonu jako celku, příkladem může být skalární řízení, vektorové řízení, nebo prediktivní řízení. Tato práce je zaměřena na problematiku řízení víceúrovňových měničů, s důrazem zejména na algoritmy pulzně šířkové modulace a balancování napětí na jednotlivých výkonových spínacích prvcích měniče.

Hlavní výhodou víceúrovňových měničů je snižování napěťových nároků na jednotlivé výkonové polovodičové prvky, které vzhledem k současnému stavu techniky nemohou být dimenzovány na plné napájecí napětí. Dalším přínosem těchto měničů je možnost generace více napěťových hladin než v případě běžného dvouúrovňového měniče. Díky tomu napětí na jejich střídavých svorkách má výrazně lepší skladbu vyšších harmonických složek, ve srovnání s dvouúrovňovým měničem. Tato skutečnost má zásadní vliv z hlediska EMC i dimenzování pasivních prvků výkonového obvodu. Topologie víceúrovňových měničů obsahují obecně velké množství spínacích polovodičových výkonových prvků, což přináší komplikace u jejich řízení, kde vzniká požadavek na velký počet řídicích signálů, které musí být generovány modulátorem. Digitální signálové kontroléry (DSC), které se standardně používají pro řízení elektrických pohonů, nedisponují dostatečným počtem použitelných výstupů. Je tedy nezbytné řídicí jednotku s DSC doplnit o další vhodné periferní obvody, které splní požadavky na implementaci modulátoru. Tyto požadavky splňuje obvod programovatelné logické pole FPGA, v jehož struktuře lze vytvořit vysoce specializovaný blok modulátoru, který je navíc možné navrhnout přímo pro specifické požadavky dané aplikace.

Programovatelné logické pole FPGA pracuje jako soustava logických obvodů, tj. programový kód je v FPGA zpracováván paralelně. Tím se zásadně odlišuje od vykonávání kódu u digitálního signálového kontroléru, který programový kód zpracovává sekvenčně, tj. jednu instrukci po druhé (za předpokladu, že uvažujeme jednojádrový DSC). Paralelní zpracování programového kódu s sebou přináší značné výhody. Například umožňuje vytvořit dvě totožné entity pro řízení měniče, které mohou pracovat současně, ale nezávisle na sobě, tj. jedním obvodem FPGA je při vhodném návrhu entit možné řídit jak usměrňovačovou, tak střídačovou část měniče. Nevýhoda paralelního chodu spočívá v odlišné základní filozofii samotného programování. Pro programování obvodů FPGA se využívají specializované programovací jazyky Verilog a VHDL. Tyto jazyky se odlišují svojí syntaxí. Syntaxe jazyka Verilog je inspirována programovacím jazykem C. Jazyk VHDL využívá vlastní syntaxi. Pro implementaci veškerých řešených modulačních algoritmů byl v této práci použit jazyk VHDL.

1.1 Současný stav ve zkoumané problematice

Víceúrovňové měniče jsou dnes již nedílnou součástí mnoha průmyslových aplikací. Příklady aplikací velkých výkonů jsou uvedeny na obrázku 1.1.

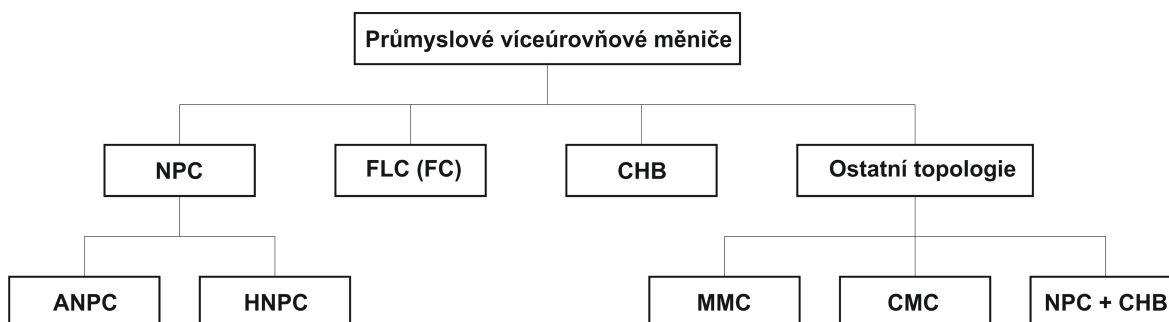


Obr. 1.1: Příklady využití víceúrovňových měničů v praxi

Vzhledem k širokému nasazování víceúrovňových měničů v průmyslu je problematika v této oblasti velice intenzivně zkoumána v odborné komunitě, existuje řada publikací věnující se této problematice, příkladem můžou být souhrnné práce [1], [2], [3], [4], [5], [6], [7].

1.1.1 Topologie víceúrovňových měničů

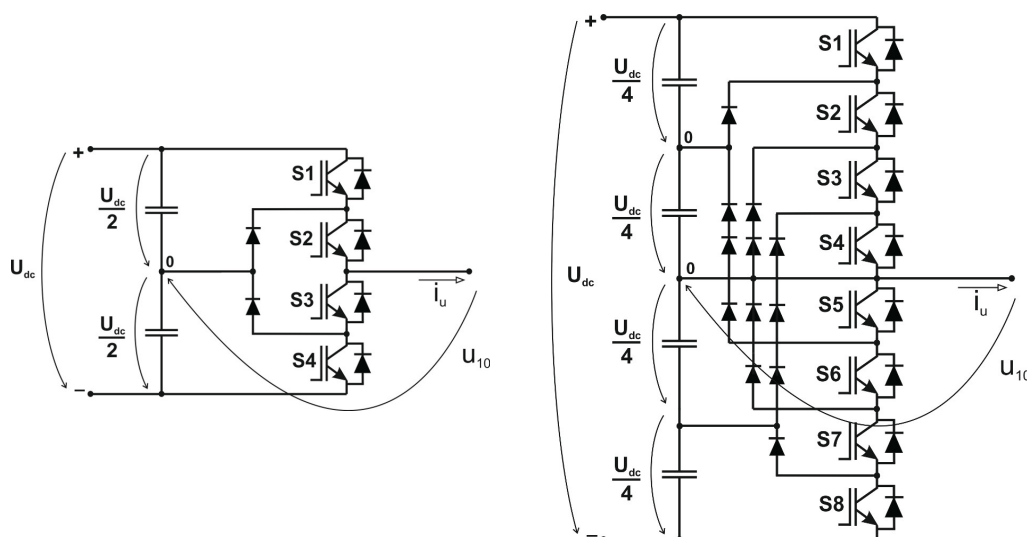
Obecný přehled v praxi běžně používaných topologií víceúrovňových měničů je zachycen na obrázku 1.2, včetně vazeb mezi jednotlivými topologiemi. Mezi hlavní pak patří topologie využívající ve své struktuře upínací diody (NPC – Neutral Point Clamped), topologie využívající ve své struktuře plovoucí kondenzátory (FC, FLC – Flying Capacitors) a topologie založené na zapojení měničových modulů do kaskády (CHB – Cascaded H-bridge Converter). Podrobnějším popisem používaných topologií měničů se zabývají výzkumné zprávy [8] a [9].



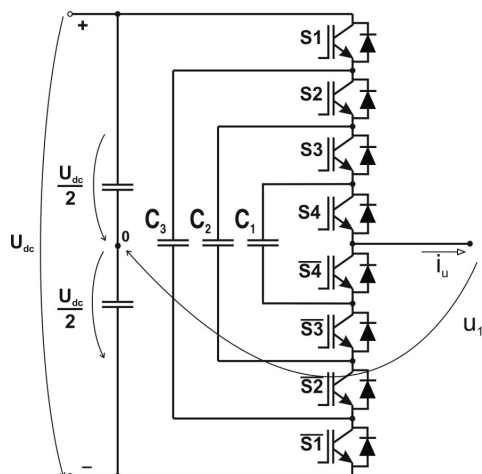
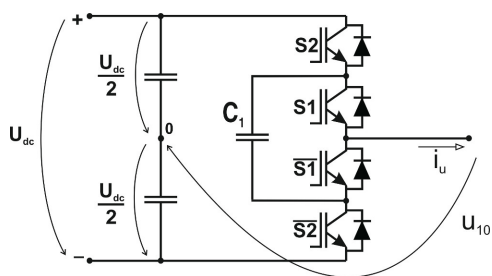
Obr. 1.2: Přehled běžně používaných topologií víceúrovňových měničů [10]

Základem topologie NPC jsou upínací diody, které umožňují připojit fázový výstup u_{10} měniče k významným bodům ve stejnosměrném meziobvodu měniče. Tato vlastnost zajistí

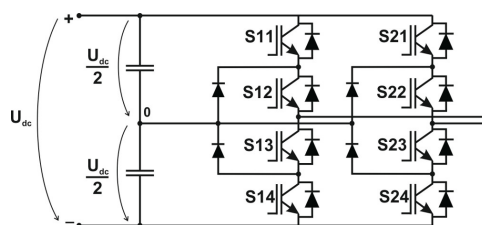
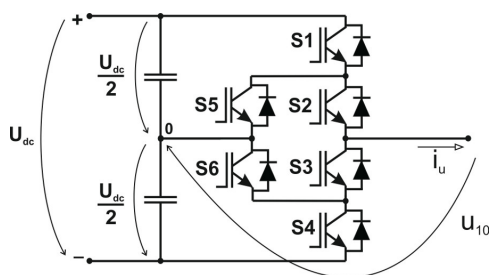
vhodné potenciály mezi jednotlivými sériově řazenými tranzistory, čímž je umožněno vytvoření nových napěťových hladin na výstupu měniče. Příklady tříúrovňové a pěti úrovňové varianty jsou zachyceny na obrázcích 1.3 a 1.4. Přehledová práce o topologii NPC je například [11]. Na rozdíl od topologie NPC využívá topologie ANPC jako upínací prvky aktivní spínače (obrázek 1.7). Tato úprava vede na zvýšení redundance spínacích kombinací a umožní tak dosáhnout, při vhodném spínání, lepšího rozložení spínacích ztrát měniče. Topologie HNPC kombinuje zapojení upínacích diod a H-můstků. Schéma zapojení jedné fáze je uvedeno na obrázku 1.8. Další velmi často využívanou topologií je topologie s plovoucími kondenzátory. Plovoucí kondenzátor je připojen mezi dvojicí spínacích prvků a tím je na něm vytvořeno plovoucí napětí. Příklady tříúrovňové a pěti úrovňové varianty jsou zachyceny na obrázcích 1.5 a 1.6. Topologie CHB vychází z vlastností H-můstu, který vytváří sepnutím příslušných kombinací tři úrovně napětí. Další napěťové úrovně jsou vytvořeny kaskádním zapojením H-můstků. Schéma zapojení H-můstku je na obrázku 1.9, příklad pětiúrovňové varianty je na obrázku 1.10. Přehledová práce o topologii CHB je například [12]. Modulační techniky pro tento typ měniče jsou řešeny v práci [13]. Základní modul (buňka) topologie MMC je tvořena spojením poloviny H-můstku a kondenzátoru (obrázek 1.11). Napětí na kondenzátoru je plovoucí a je potřeba jej balancovat. Příklad jedné fáze pětiúrovňového MMC měniče je uvedeno na obrázku 1.12. Topologie CMC vychází z vlastností maticového měniče. Jedna buňka měniče CMC je na obrázku 1.13. Další napěťové úrovně jsou vytvořeny kaskádním zapojením maticových měničů. Problematice víceúrovňových maticových měničů se podrobně věnuje práce [14].



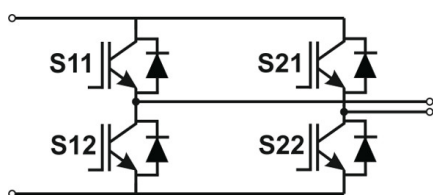
Obr. 1.3: Jedna fáze 3L-NPC měniče [10] Obr. 1.4: Jedna fáze 5L-NPC měniče [10]



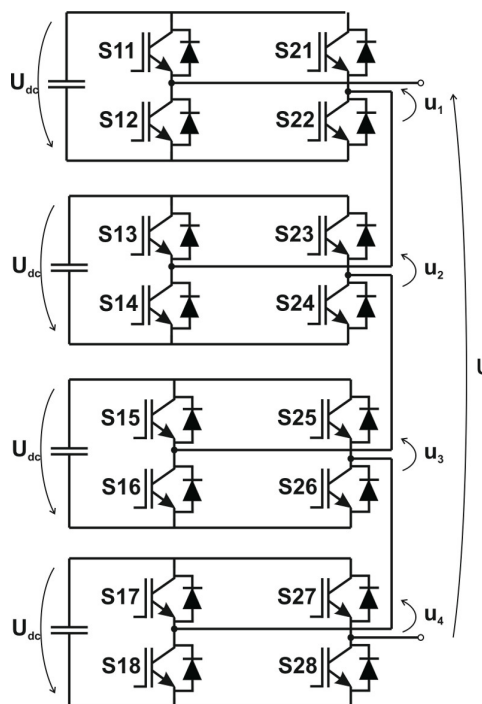
Obr. 1.5: Jedna fáze 3L-FLC měniče [10] Obr. 1.6: Jedna fáze 5L-FLC měniče [10]



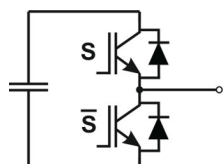
Obr. 1.7: Jedna fáze 3L-ANPC měniče [10] Obr. 1.8: Jedna fáze 3L-HNPC měniče [10]



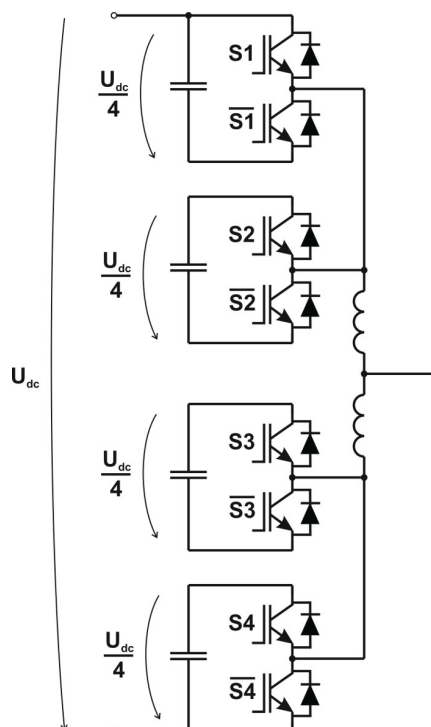
Obr. 1.9: H-můstek [10]



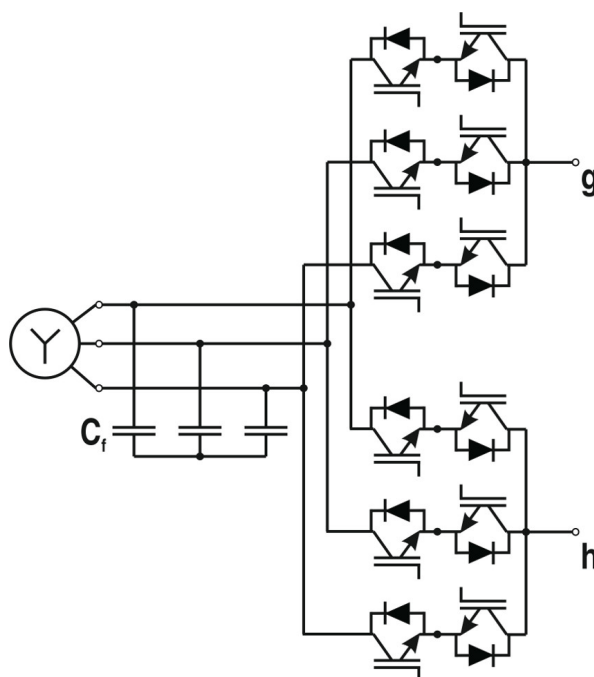
Obr. 1.10: Jedna fáze 9L-CHB měniče [10]



Obr. 1.11: MMC-modul [10]



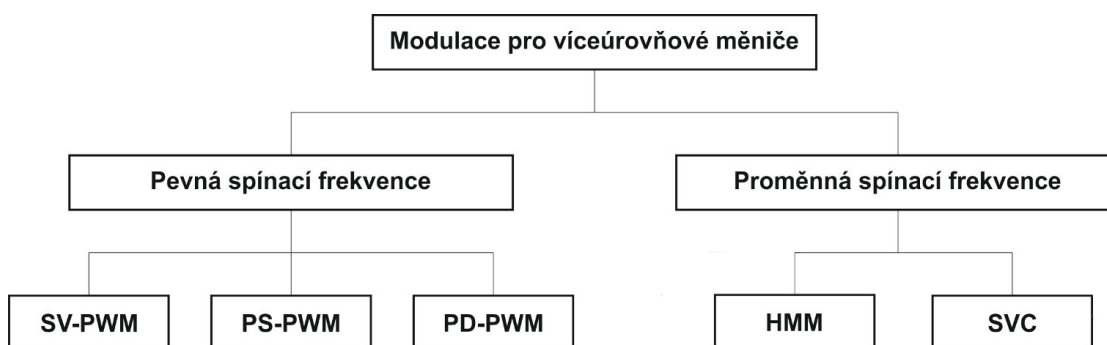
Obr. 1.12: Jedna fáze MMC měniče [10]



Obr. 1.13: CMC-modul 3x2 [10]

1.1.2 Algoritmy řízení výkonových polovodičových měničů

Souhrnný přehled modulačních technik pro víceúrovňové měniče je uveden na obrázku 1.14.



Obr. 1.14: Přehled běžně používaných modulací víceúrovňových měničů [10]

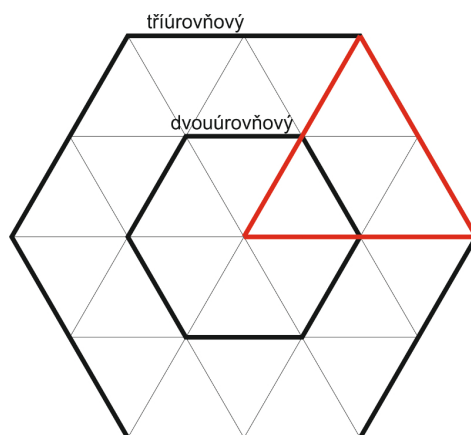
1.1.2.1 SV-PWM

Podrobný popis funkce SV-PWM (SVM) modulace včetně příkladu implementace je uveden v knize [15]. Vstupem vektorové modulace je velikost a úhel natočení požadovaného vektoru generovaného nadřazeným řídicím algoritmem. Pro výběr vhodné spínací kombinace je potřeba určit pozici tohoto vektoru uvnitř šestiúhelníku vepsaného do normované jednotkové kružnice. Vrcholy šestiúhelníku jsou tvořeny koncovými body aktivních napěťových vektorů měniče, které odpovídají určitým spínacím kombinacím. Šestiúhelník svojí strukturou vytváří šest sektorů, každý sektor je pak dělen do několika trojúhelníkových oblastí. V závislosti na počtu úrovní měniče se mění počet vnitřních trojúhelníkových oblastí v jednotlivých sektorech. Pro dvouúrovňový měnič je vnitřních trojúhelníkových oblastí šest. Pro tříúrovňový měnič je vnitřních trojúhelníkových oblastí 24, jeden sektor je složen ze čtyř oblastí. Počet oblastí v závislosti na počtu úrovní měniče je přibliženo na obrázku 1.15. Každé z těchto trojúhelníkových oblastí přísluší tři vektory (spínací kombinace měniče). Vhodnou volbou aktivních vektorů měniče a jejich časů sepnutí lze aproximovat libovolný požadovaný výstupní vektor napětí.

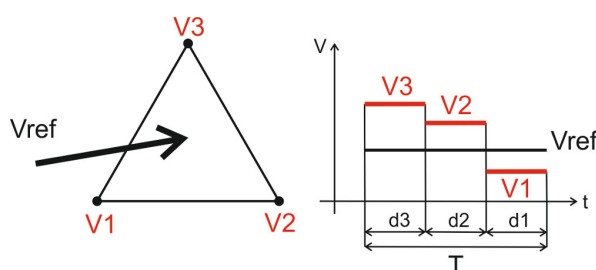
Vrcholy trojúhelníkové oblasti definují tři vektory V_1 , V_2 a V_3 , jejichž sepnutím po příslušnou dobu (d_1 , d_2 a d_3) se aproximuje referenční prostorový vektor V_{ref} . Výpočet aproximace vektoru je proveden dle vzorce (1.1), přičemž platí podmínka (1.2). Grafické znázornění aproximace je na obrázku 1.16, kde je v čase zachycen příklad sepnutí tří vektorů včetně výsledné aproximace referenčního vektoru (osa V udává velikost vektoru).

$$T_S \cdot V_{ref} = d_1 \cdot V_1 + d_2 \cdot V_2 + d_3 \cdot V_3 \quad (1.1)$$

$$T_S = d_1 + d_2 + d_3 \quad (1.2)$$



Obr. 1.15: Struktura trojúhelníkových oblastí pro dvou a tříúrovňové měniče



Obr. 1.16: Princip SV-PWM modulace

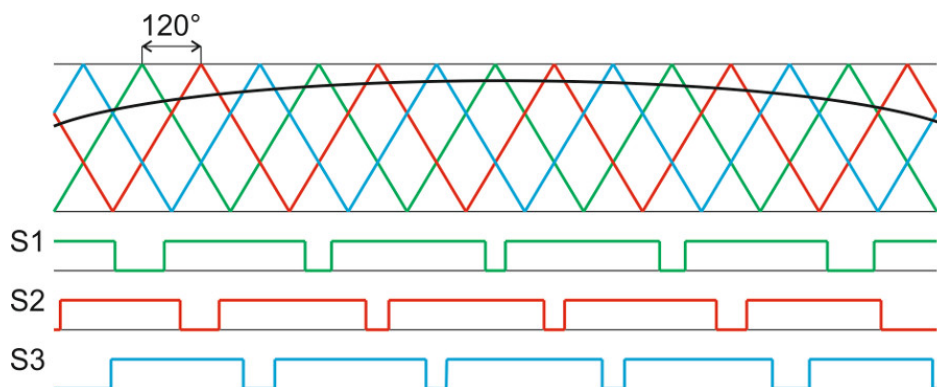
1.1.2.2 PS-PWM

Základní modulační metodou pro víceúrovňové měniče je PS-PWM. Modulace PS-PWM patří do skupiny modulací, které zajistí přirozené balancování napětí na kondenzátorech. Přirozené balancování je ovšem podmíněno dodržím několika podmínek. První podmínkou je dodržení shodné poměrné doby sepnutí v rámci jedné periody modulačního signálu ve všech buňkách (komplementárních dvojicích) měniče. Druhou podmínkou je dostatečně vysoká spínací frekvence měniče, přičemž modulační signál nesmí obsahovat vyšší harmonické složky blízké této spínací frekvenci. Třetí podmínkou je velikost indukčního parametru zátěže, indukčnost zátěže má přímý vliv na rychlost přirozené balancování [16]. Příklady podmínek, ve kterých přirozené balancování selhává jsou uvedeny v pracích [17], [18]. Pro vylepšení dynamických vlastností lze využít tzv. balanční filtr, který se připojuje paralelně k zátěži, této problematice se věnuje například práce [19].

Princip modulace PS-PWM je založen na generování nosného symetrického signálu pro jednotlivé buňky (komplementární dvojice) měniče. Nosné signály jsou vzájemně fázově posunuty o úhel δ dle rovnice (1.3). Princip modulace je patrný z obrázku 1.17. Rozsah amplitudy nosného signálu odpovídá rozsahu amplitudy modulačního signálu. Modulační signál je pouze jeden a je tedy shodný pro všechny buňky (komplementární dvojice) měniče.

$$\delta = \frac{2\pi}{N-1}, \quad (1.3)$$

kde N je počet hladin víceúrovňového měniče.



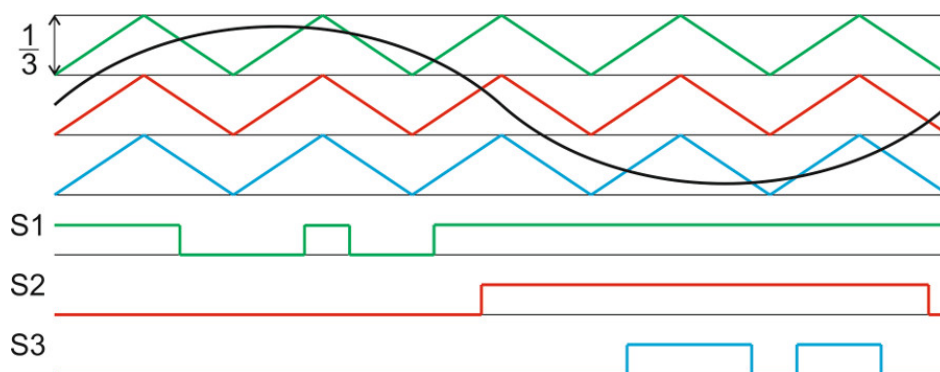
Obr. 1.17: Princip spínání PS-PWM

Velkou výhodou uvedené metody je rovnoměrné rozdělení spínacích ztrát mezi všechny prvky měniče. Mezi nevýhody patří především vyšší harmonické zkreslení výstupního napětí v porovnání s dále popisovanou modulací PD-PWM a horší dynamická odezva přirozeného balancování.

1.1.2.3 PD-PWM

Dalším zástupcem modulací pro více úrovně modulátory je modulace PD-PWM. Modulace PD-PWM patří do skupiny modulací, které musí využívat algoritmu aktivního balancování napětí, protože nezajišťují přirozené balancování. Základní princip modulace PD-PWM spočívá v rozdělení rozsahu amplitudy modulačního signálu na $N-1$ oblastí, kde N je počet hladin víceúrovňového měniče. Pro každou oblast je generován nosný symetrický signál (obrázek 1.18). Tyto nosné signály nejsou vůči sobě fázově posunuty. Výsledkem vyhodnocení koincidence nosného a modulačního signálu jsou logické signály definující požadovanou úroveň výstupního napětí a nelze je přímo použít pro spínání buněk (komplementárních dvojic) měniče. Tyto logické signály je nutné dále dekodovat a určit tak spínací kombinace pro buňky měniče. Dekodování lze provést za pomoci tzv. trapezoidních nosných signálů, nebo stavového automatu, nebo tzv. balancovacích tabulek, této problematice se věnují práce [19], [20], [21], nebo [22]. Vývoj modulátoru PD-PWM vycházel především z prací [23], [24].

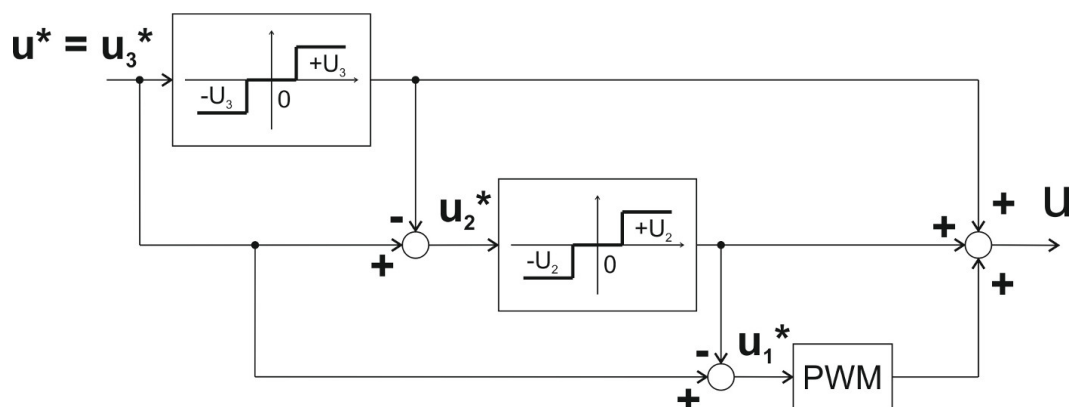
Výhody uvedené metody spočívají v nižším harmonickém zkreslení výstupního napětí a v lepších dynamických vlastnostech v porovnání s modulací PS-PWM, srovnání se věnuje práce [19].



Obr. 1.18: Princip spínání PD-PWM

1.1.2.4 HMM

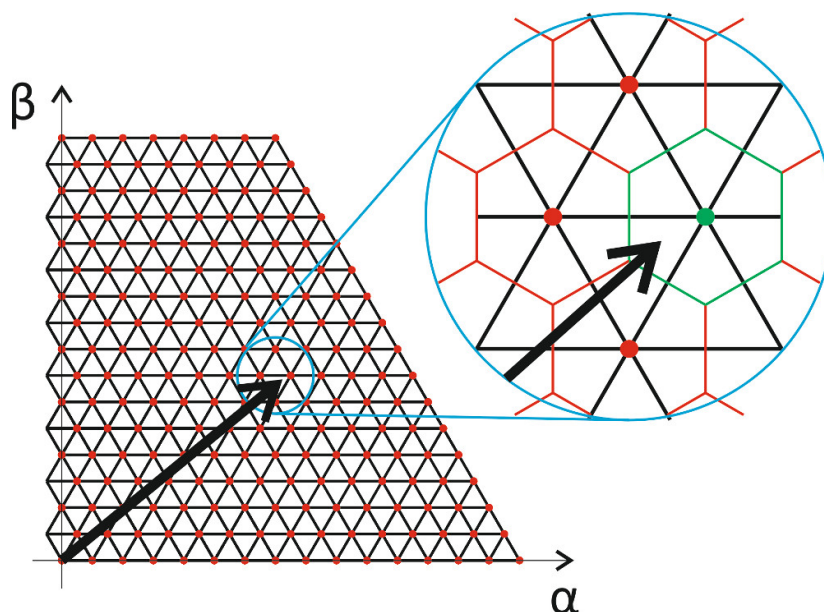
Základní myšlenka hybridní modulační pro víceúrovňové měniče spočívá ve snížení počtu přepnutí spínacích prvků (buňek) generující vyšší napěťové hladiny, například pro devítiúrovňový CHB měnič uvedený na obrázku 1.10. Jejich přepnutí je řízeno požadavkem na vyšší napěťovou hladinu na výstupu měniče, jak je patrné z obrázku 1.19. Pouze nejnižší spínací prvky (buňka) jsou řízeny PWM modulací. Více informací o modulaci HMM je uvedeno v přehledové práci [10].



Obr. 1.19: Příklad HMM pro CHB měnič

1.1.2.5 SVC

Základní myšlenka použití vektorové modulace SVC v oblasti řízení víceúrovňových měničů spočívá v předpokladu, že prostor, ve kterém je víceúrovňový měnič řízen, je rozdělen vysokým počtem fiktivních úrovní. Vysoký počet úrovní zajistí jemné rozlišení v trojúhelníkové síti (oblast řízení) a umožní tak přímé řízení víceúrovňového měniče bez nutnosti použití modulačního algoritmu. Algoritmus SVC je založen na aproximaci pozice referenčního vektoru nejbližším pevným vektorem v trojúhelníkové síti. Aproximační chyba je kompenzována nadřazenou regulační smyčkou. Takto navržené řízení měniče pracuje na nízké spínací frekvenci. Této problematice se podrobně věnuje například práce [25]. Za nevýhodu lze považovat nutnost rozdělení oblasti řízení na vysoký počet předem definovaných bodů (vektorů) a jejich mapování na reálné spínací kombinace a časy sepnutí základních vektorů měniče.



Obr. 1.20: Princip výběru vektoru SVC pro 15úrovňový měnič

1.1.3 Hardware

V oblasti hardwaru nejčastěji používaného k řízení měničů dochází každým rokem ke značnému zvýšení výkonu a paměťového prostoru u digitálních signálových kontrolérů (DSC), obdobně pak ke zvýšení počtu logických elementů (základní stavební prvek v obvodech FPGA) a specializovaného hardware (fázové závěsy, paměti RAM, násobičky) v programovatelných logických polích FPGA. Uváží-li se rovněž nesporné výhody řídicích systémů, jejichž struktura je založena na využití obou technologií DSC a FPGA, pak lze předpokládat, že tato koncepce bude stále častěji nasazovaná v průmyslových aplikacích s víceúrovňovými měniči a dále v aplikacích vyžadujících vysoký výpočetní výkon, popř. paralelizaci výpočtů komplexních modelů daného systému. Výběr následujících příkladů hardwarového řešení využívajícího obou technologií byl na základě aktuální dostupnosti a plánovaného použití hardwarových platformách.

Příkladem zajímavých aplikací z pohledu vývoje nových řídicích struktur jsou aplikace pracující v reálném čase, univerzální modulární řídicí systémy či specializované řídicí systémy pro víceúrovňové měniče. Zástupcem řídicího systému pracujícího v reálném čase je produkt firmy National Instruments CompactRIO (příklad použití je uveden v práci [26]). Zástupcem univerzálního modulárního řídicího systému je systém REMCS vyvinutý výzkumným centrem RICE. Zástupcem řídicího systému pro víceúrovňové měniče je platforma MLC interface [27].

CompactRIO je konfigurovatelný vestavěný řídicí systém s podporou měření dat v reálném čase (DAS). Robustní hardwarová architektura CompactRIO systému obsahuje vstupně-výstupní moduly, rekonfigurovatelnou FPGA šasi a vestavěný řídicí systém. CompactRIO je kompletně programovatelné grafickým vývojovým nástrojem LabVIEW.

Hlavní jednotkou modulárního řídicího systému REMCS je mikroprocesorová jednotka (MCU), která ovládá ostatní jednotky (regulátory či pomocné karty), shromažďuje data pro diagnostiku a je součástí hlavního komunikační linky s okolním prostředím. Příklad použití tohoto hardware je uveden v práci [28].

Vývojová řídicí deska MLC interface je koncipována jako jeden plošný spoj se separátním procesorovým modulem. Zvolená koncepce umožňuje vývoj aplikací pro různé procesory. Hradlové pole FPGA umístěné na hlavní desce slouží primárně pro rozšíření počtu výstupů pro řízení výkonových prvků víceúrovňových měničů a může sloužit také jako koprocesor.

1.1.4 Hlavní problémy

Z výše uvedených přehledů v praxi běžně používaných topologií víceúrovňových měničů a modulací používaných k jejich řízení vyplývá, že existuje celá řada měničů a modulací. Otázkou zůstává zda existuje univerzální návrh modulátoru, které by usnadnil testování sofistikovaných nadřazených algoritmů řízení pohonů a současně byl nezávislý na zvolené topologii víceúrovňového měniče. Vzhledem k v současnosti používanému hardwaru byla pro vývoj univerzálního modulátoru vybrána řídící deska využívající, jak digitální signálový kontrolér (DSC), tak i programovatelné logické pole (FPGA). Hlavní myšlenka návrhu univerzálního modulátoru spočívá v rozdělení řízení pohonu do dvou částí. První část regulace bude implementována do kontroléru DSC a druhá část modulace bude implementována do jednotky FPGA.

1.2 Cíle práce

Na základě posouzení současného stavu poznání ve zkoumané problematice a ve vazbě na autorovo působení při řešení vědecko-výzkumných projektů byly stanoveny následující cíle této disertační práce:

1. Návrh optimálních modulačních algoritmů včetně části zajišťující balancování napětí pro vybrané topologie měničů (CHB, NPC, ANPC, FLC). Zvolené kritéria optimality jsou nízká výpočetní náročnost a nízká spotřeba výpočetních zdrojů.
2. Vytvoření simulačních a programových kódů pro vybrané modulační techniky (PS-PWM, PD-PWM, SV-PWM, zjednodušená SV-PWM, SVC).
3. Zvolit vhodnou platformu pro řízení zkoumaných měničů, případně celých pohonů.
4. Optimalizace a implementace navržených algoritmů modulátorů do číslicového regulátoru, speciálně do FPGA.
5. Vyvinuté algoritmy testovat na laboratorních prototypch měničů, ověřit jejich správnou funkci ve vybraných přechodových a ustálených stavech.
6. Na základě teoretického rozboru a implementačních zkušeností vyvinout, implementovat a verifikovat správnou funkci nového univerzálního modulátoru s vysokou mírou modifikovatelnosti pro řízení víceúrovňových měničů.

1.3 Metodika řešení

Vzhledem ke komplexnosti oblasti modulace víceúrovňových měničů a přímé vazbě na návrh univerzálního modulátoru, který by umožňoval snadnou modifikovatelnost v závislosti na počtu úrovní a topologie měniče, bylo nezbytné vytipovat běžně používané topologie víceúrovňových měničů včetně modulačních technik používaných pro jejich řízení. Na základě vybraných topologií následně stanovit možnosti aktivního balancování napětí. Pro jednotlivé topologie vytvořit simulační kódy modulátorů pro ověření funkčnosti modulačních algoritmů a vybrané techniky aktivního balancování. Simulaci ověřené algoritmy modulátorů implementovat do programovatelného logického pole FPGA s využitím programovacího jazyka VHDL. Reálné testy funkčnosti implementovaných a optimalizovaných kódů modulátorů provést v součinnosti s vyvinutými prototypy měničů a pro vybrané topologie provést testy celého pohonu na soustrojí s asynchronním motorem. Z naměřených dat prokázat funkčnost navržených modulátorů a vyčíslit celkové harmonické zkreslení napětí a proudů na výstupu měniče.

Souběžně s vývojem modulátorů probíhal vývoj hardwarových prototypů víceúrovňových měničů a univerzální řídicí desky MLC interface, která je speciálně navržena pro řízení víceúrovňových měničů. Řídicí deska MLC interface je osazena digitálním signálovým kontrolérem (DSC) i programovatelným logickým polem typu FPGA.

Vybrané topologie jsou devítiúrovňové kaskádně zapojené měniče, tříúrovňová varianta s upínacími diodami (NPC), tříúrovňová varianta s aktivními upínacími prvky (ANPC) a čtyřúrovňová varianta s plovoucími kondenzátory (FLC).

Pro měnič CHB byla vybrána modulační technika PS-PWM. Pro měniče NPC, ANPC byly vybrány modulační techniky SVM, zjednodušená SVM a FCS-MPC. Pro měnič FLC byly vybrány modulační techniky PD-PWM a zjednodušená SVM.

Na základě vývoje jednotlivých typů modulátorů byla navržena základní struktura univerzálního modulátoru pro víceúrovňové měniče. Struktura univerzálního modulátoru vychází z principu spojování jednotlivých funkčních bloků. Pro takto navrženou strukturu modulátoru byly stanoveny dekompozice funkce a hranice působnosti pro dílčí moduly. Podle navržené struktury univerzálního modulátoru byly vyvinuty simulační kódy pro sedmiúrovňový střídač s plovoucími kondenzátory.

2 Návrh modulátorů pro vybrané topologie víceúrovňových měničů dle metodiky řešení

Pro prototyp devítiúrovňového měniče CHB byla vybrána modulace PS-PWM, především pro svojí schopnost přirozeného samo-balancování napětí. Dalšími hledisky zohledňující výběr byly velice nízká výpočetní náročnost a nízká spotřeba výpočetních zdrojů. Tyto klady převážily nad nevýhodou v podobě horších dynamických vlastností.

Pro prototyp tříúrovňového střídače NPC byly vybrány modulační techniky SV-PWM, zjednodušená SVM a vektorové modulace SVC založené na principu FCS-MPC.

Modulace SV-PWM, byla vybrána především jakožto zástupce běžně používaných modulačních algoritmů v praxi. Tento fakt převážil nad principiální změnou koncepce modulátoru, tj. nutností implementovat algoritmus vyčíslovací goniometrické funkce v obvodu FPGA a rozšíření modulátoru o aktivní balancování napětí pro jednotlivé topologie.

Modulace zjednodušené SVM byla vybrána především pro nezávislost na topologii měniče. Dalším hlediskem zohledňující výběr byla velice nízká výpočetní náročnost algoritmu identifikujícího polohu požadovaného napěťového vektoru v rámci trojúhelníkové sítě. Tyto klady převážily nad principiální změnou koncepce modulátoru a nutností rozšířit modulátor o moduly aktivního balancování napětí pro jednotlivé topologie.

Vektorová modulace SVC vycházející z principu FCS-MPC, byla vybrána především jakožto forma optimálního řízení víceúrovňových měničů, které umožňuje zkombinovat modulátor, balancování a nadřazené řízení do jednoho výpočetního bloku. Proto algoritmy založené na FCS-MPC nezapadají přímo do koncepce navrhovaného modulátoru a nejsou přímou součástí univerzálního návrhu.

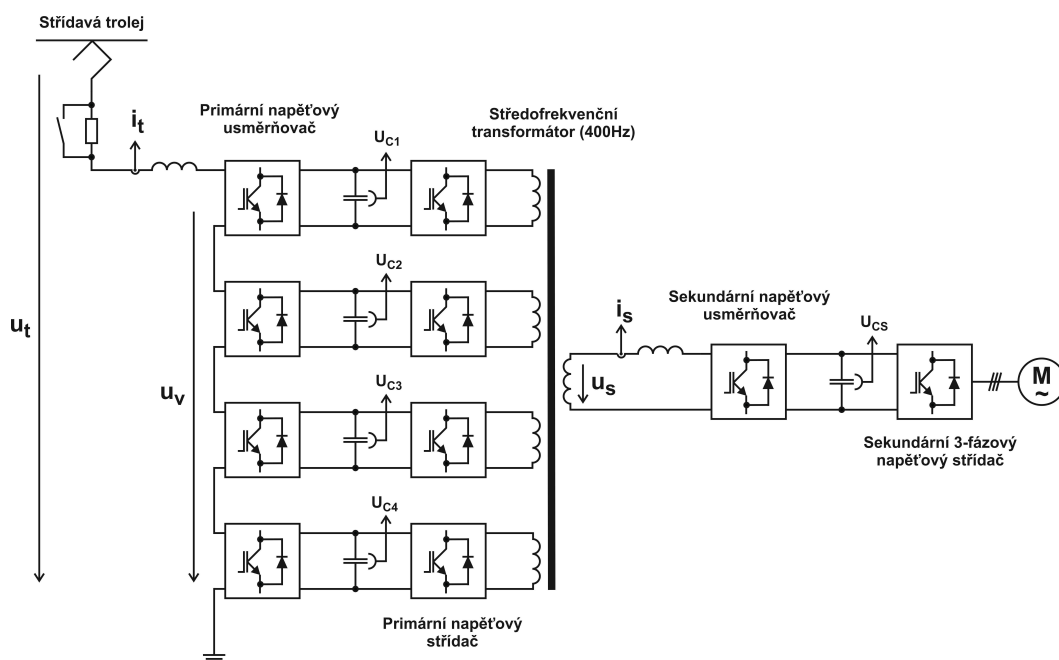
Pro prototyp čtyřúrovňového měniče FLC byla vybrána modulace PD-PWM a zjednodušená SVM.

Modulace PD-PWM byla vybrána především pro svoje lepší dynamické vlastnosti ve srovnání s modulací PS-PWM. Dalšími hledisky výběru byly nízká výpočetní náročnost a spotřeba výpočetních zdrojů. Tyto klady převážily nad nevýhodou v nutnosti rozšíření modulace o aktivní balancování napětí na plovoucích kondenzátorech.

2.1 Kaskádní modulární měnič CHB

2.1.1 Prototyp kaskádního měniče CHB

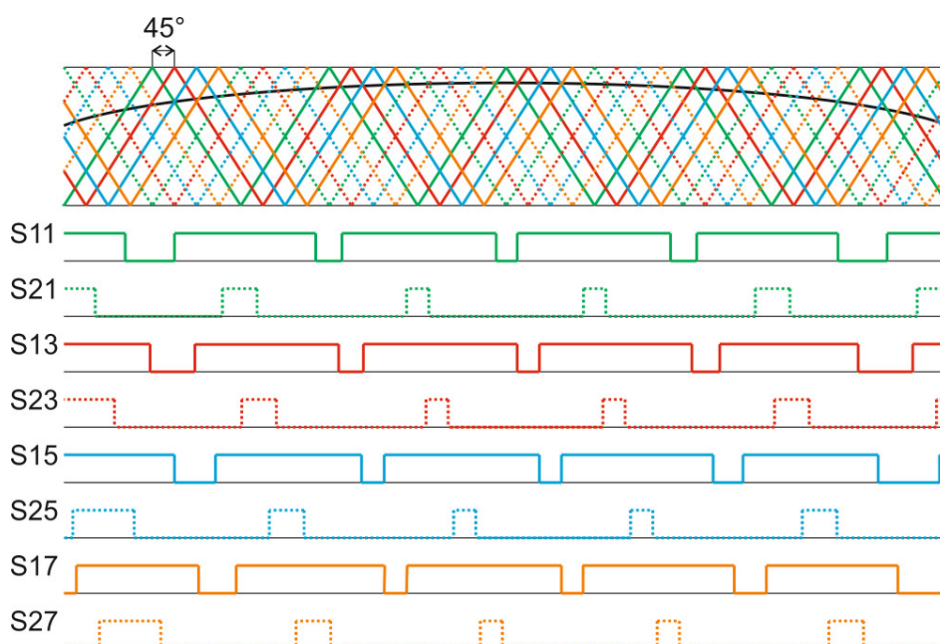
Navržený laboratorní prototyp trakčního měniče se středofrekvenčním transformátorem je přiblížen na obrázku 2.1. Na primární straně středofrekvenčního transformátoru je víceúrovňový nepřímý frekvenční měnič, který sestává z několika kaskádně řazených modulů jednofázových dvouúrovňových nepřímých frekvenčních měničů v rekuperativním provedení, tzn. každý blok je tvořen H-můstkem s IGBT tranzistory, na sekundární straně je nepřímý měnič frekvence s třífázovým výstupem. Koncepte navrženého řízení vychází z prací [29], [30] a je zaměřena na řízení napěťového usměrňovače na primární straně. Výstupní střídač primárního měniče frekvence je řízen obdélníkovým řízením s konstantní frekvencí. Zvolený algoritmus řízení reguluje napětí na kondenzátorech U_{ci} (kde $i \in \langle 1, 4 \rangle$) stejnosměrného meziobvodu primárního měniče frekvence přímým řízením odebíraného trolejového proudu i_t .



Obr. 2.1: Topologie trakčního měniče se středofrekvenčním transformátorem

2.1.2 PS-PWM modulace

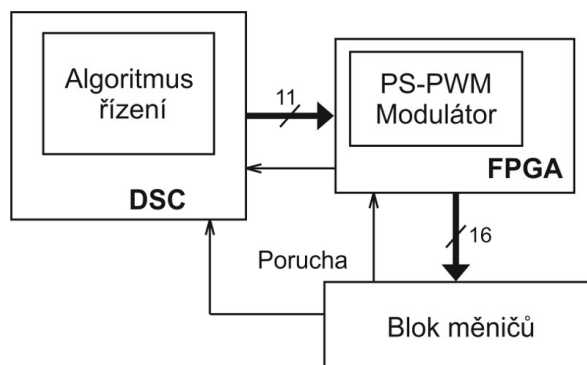
Modulace PS-PWM, kromě zajištění přirozeného balancování napětí na kondenzátorech, zajišťuje i rovnoměrné rozložení spínacích ztrát. Celkem se budou spínat čtyři H-můstky, dosazením do vztahu (1.3) získáme fázový posun 45° mezi čtyřmi nosnými signály. Každý z nosných signálů řídí spínání jednoho H-můstku. Pro řízení prvků S11 a S12 se využívá nosný signál nezměněný a prvky S21 a S22 jsou řízeny převráceným nosným signálem (tj. fázově posunutým o 180°). Příklad spínání vybrané části spínacích prvků je uveden na obrázku 2.2, kde jsou nezměněné nosné signály vyneseny barevně rozlišenou plnou čarou, převrácené nosné signály jsou vyneseny barevně rozlišenou tečkovanou čarou a kódové označení spínacích prvků se shoduje s označením uvedené na obrázku 1.10.



Obr. 2.2: Princip navržené PS-PWM modulace

2.1.3 Popis funkce modulátoru

Struktura regulátoru, vhodného pro řízení napěťového pulsního usměrňovače, zahrnuje nadřazenou řídicí jednotku DSC, podřazenou řídicí jednotku FPGA, hardwarové rozhraní mezi jednotkami DSC a FPGA a hardwarové rozhraní mezi jednotkou FPGA a napěťovým měničem na primární straně transformátoru. Schéma navrženého modelu řízení je naznačeno na obrázku 2.3.

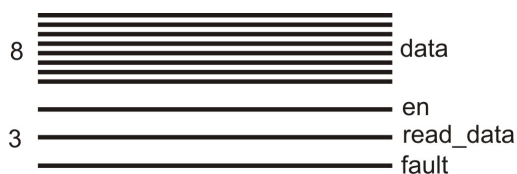


Obr. 2.3: Blokové schéma navrženého řízení

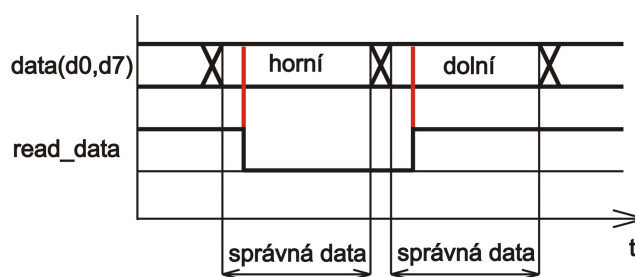
Jednotka DSC vypočte algoritmus regulace, základní bezpečnostní funkce a obsluhuje komunikaci s podřazenou řídicí jednotkou FPGA. Přímou komunikaci mezi jednotkami umožňuje hardwarový modul rozhraní, který přizpůsobuje napěťové úrovně signálů. Pro přenos informací mezi jednotkami DSC a FPGA byla vybrána sérioparalelní komunikace. Jednotka FPGA zajišťuje generování řídicích signálů PWM pro měnič, podle hodnoty střídý sepnutí, kterou obdrží od jednotky DSC. Přizpůsobení napěťových úrovní pro přímou komunikaci mezi jednotkou FPGA a blokem měničů je rovněž zajištěna hardwarovým modulem rozhraní.

Normovaná hodnota modulačního signálu u_v je předána PS-PWM modulátoru po sérioparalelní sběrnici. Šířka této sběrnice je 11 bitů, osm bitů je vyhrazeno pro přenos dat, zbylé tři bity představují řídicí signály (viz. obrázek 2.4). Protože hodnota modulačního signálu je 16bitové číslo a datová sběrnice je pouze 8bitová, proběhne její předání nadvakrát. Prvním z řídicích signálů je signál *en*, kterým je řízeno blokování výstupů PS-PWM modulátoru, tj. povoluje řízení bloku měničů PS-PWM modulátorem. Druhým signálem *read_data* je řízeno čtení vysílané sekvence dat. Posledním z řídicích signálů je *fault*, který informuje o vzniklé poruše na straně měniče. Tento signál je vytvořen v bloku měniče a je předáván procesoru DSC jak prostřednictvím PS-PWM modulátoru, tak přímo přes hardwarové rozhraní. Tímto postupem je zvýšena pravděpodobnost, že informace o poruše bude doručena.

Jak už bylo zmíněno výše, proběhne přenos normované hodnoty modulačního signálu ve dvou fázích řízených signálem *read_data*. Během první fáze jsou vystavena na sběrnici první 8bitová data (horních osm bitů). Okamžik, ve kterém modulátor provede vzorkování



Obr. 2.4: Principiální rozložení signálů sběrnice PS-PWM modulátoru primární strany trakčního měniče se středofrekvenčním transformátorem



Obr. 2.5: Příklad přenosu 16bitového slova po sběrnici mezi DSC a FPGA

těchto dat, je definován přechodem signálu *read_data* z logické úrovně '1' na logickou úroveň '0'. Ve druhé fázi jsou vystavena na sběrnici v pořadí druhá 8bitová data (dolních osm bitů). Opačný přechod signálu *read_data* z '0' na '1' definuje okamžik ve kterém modulátor navzorkuje vystavená data na sběrnici. Příklad přenosu jedné hodnoty modulačního signálu, včetně zvýraznění okamžiků vzorkování, je naznačen na obrázku 2.5.

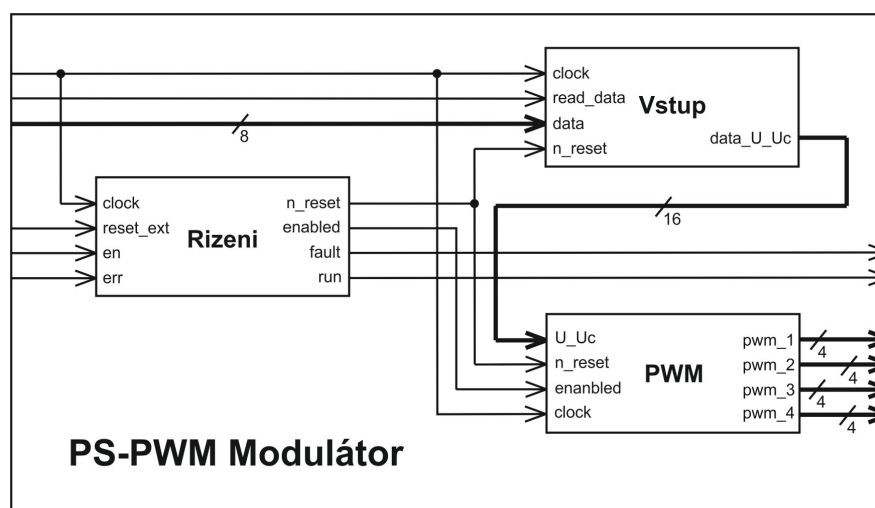
Příjem dat není modulátorem potvrzován, pro eliminaci případných chyb vzniklých během přenosu je použita metoda 2 ze 3. Tato metoda spočívá v tom, že jsou stejná data poslána třikrát za sebou a na straně příjemce je provedeno jejich srovnání. Pokud se shodují dvoje přijatá data, pak jsou tyto data považována za správně přenesená. Pokud se však budou lišit všechna přijatá data, tj. během přenosu dat došlo k chybě, ponechají se v platnosti naposledy správně přenesená data.

Procesor DSC pracuje v tomto modelu regulace jako master, tj. ovládá modulátor vytvořený v jednotce FPGA. Nová normovaná hodnota modulačního signálu je stanovena procesorem ve chvíli, kdy dokončí výpočet celého jednoho cyklu algoritmu nadřazené regulace. Tato hodnota je v procesoru uložena v pevné řádové čárce ve formátu Q0.15, tj. je uložena jako 16bitové znaménkové číslo. Procesor vystaví na datovou sběrnici horních osm bitů tohoto čísla, následně procesor změní logickou úroveň signálu *read_data* z hodnoty '1' na hodnotu '0', tj. vytvoří tzv. sestupnou hranu. Touto hranou jsou potvrzena nově vystavená data na sběrnici. Signál *read_data* obsluhuje entita *Vstup*, ta rozpozná sestupnou hranu tohoto signálu, navzorkuje hodnotu osmi bitů na datové sběrnici a uloží je do horní poloviny pomocné 16bitové proměnné *U_Uc*. Po uplynutí předem definovaného času, procesor změní data na sběrnici na dolních osm bitů čísla reprezentujícího novou hodnotu modulačního signálu. Následuje druhá změna hodnoty signálu *read_data*. Procesor vytvoří náběžnou hranu, tj. provede změnu signálu *read_data* z hodnoty '0' na hodnotu '1'. Náběžnou hranu opět rozpozná entita *Vstup* modulátoru, navzorkuje hodnotu osmi bitů na datové sběrnici a uloží je do dolní poloviny pomocné 16bitové proměnné *U_Uc*. Celá hodnota přijatého 16bitového čísla je následně předána entitou *Vstup* entitě *PWM*. Entita *PWM* obsahuje osm generátorů nosného pilového signálu (čítačů) a komparátorů pro vyhodnocení okamžiku koincidence modulačního a nosného signálu. Podle výsledku koincidence jsou generovány příslušné ří-

dící signály na výstup entity *PWM*. Výstup entity *PWM* je rovněž ovládán procesorem DSC prostřednictvím signálu *en*, který je zpracováván entitou *Rizeni*. Entita *Rizeni* rozpozná logickou úroveň tohoto signálu a nastaví stejnou hodnotu na vnitřním řídicím signálu *enabled*. Aktivní úroveň signálu *en* má logickou hodnotu '1'. Pokud je signál *en* v aktivní úrovni, pak je prostřednictvím signálu *enabled* odblokován výstup entity *PWM*, čímž je umožněno modulatoru řídit spínání tranzistorů v blocích měničů. Celý proces se opakuje, procesor vypočte novou hodnotu modulačního signálu, předá ji modulatoru, který po vyhodnocení koincidence vygeneruje příslušné řídicí PWM pulsy pro blok měniče.

2.1.4 Implementace modulatoru

PS-PWM modulator byl navržen pro obvod FPGA. Struktura modulatoru je zachycena na obrázku 2.6, je tvořena celkem třemi entitami.



Obr. 2.6: Blokové schéma PS-PWM modulatoru primární strany trakčního měniče se středo-frekvencním transformátorem

První entita se jmenuje *Rizeni*, tato entita přijímá veškeré řídicí signály a na základě jejich logické úrovně generuje příslušné vnitřní řídicí signály modulatoru, které ovládají zbylé dvě entity. Druhou entitou je *Vstup*, jak už její název napovídá tato entita se stará o příjem a zpracování dat poslaných z procesoru DSC. Poslední, ale neméně důležitou entitou je *PWM*, tato entita obsahuje osm generátorů pilového signálu a osm komparátorů pro vyhodnocení okamžiku koincidence.

Vstup entity *Rizeni* tvoří skupina signálů *clock*, *reset_ext*, *en* a *err*. Signál *clock* je využíván pro synchronizaci entity. Vnější zásah obsluhy zařízení je umožněn signálem *reset_ext*, který vyvolá reset modulatoru, čímž ho uvede do bezpečného stavu. Procesorem generovaným signálem *en* jsou odblokovány řídicí výstupy entity PS-PWM modulatoru. Informace o poruše v bloku měničů je předána prostřednictvím signálu *err*. Výstupem entity *Rizeni* jsou vnitřní řídicí signály modulatoru a signály informující o stavu modulatoru jak procesor DSC

tak obsluhu zařízení. Vnitřními řídicími signály jsou *enabled* a *n_reset*. Signálem *enabled* je povolován výstup entity *PWM*. Signál *n_reset* vyvolá reset zbylých dvou entit *Vstup* a *PWM*. Signál *fault* předává informaci o poruše bloku měniče procesoru DSC. Pracuje-li modulátor bez problémů, informuje o tom obsluhu zařízení signálem *run*.

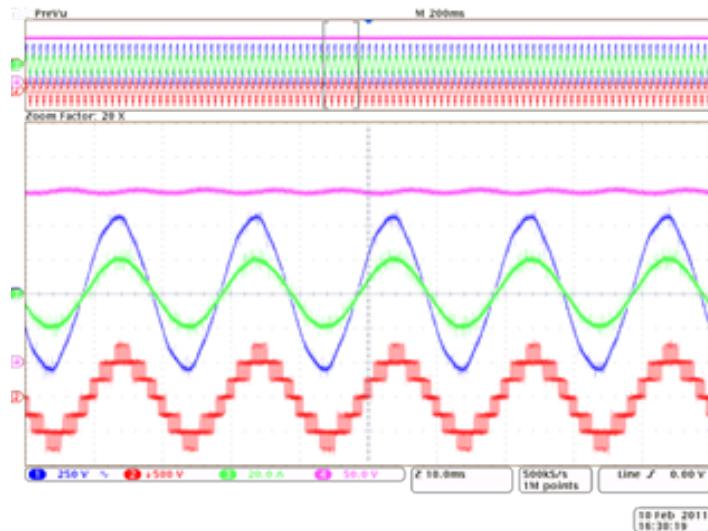
Signály *clock*, *n_reset*, *read_data* a sada osmi signálů *data* představují vstup entity *Vstup*. Výstupem entity *Vstup* je sada 16 signálů *data_U_Uc*. Signál *clock* je využíván pro synchronizaci entity. Případný reset entity je proveden signálem *n_reset*. Signálem *read_data* je řízen paralelní 8bitový přenos dat mezi procesorem DSC a modulátorem. Samotná data jsou předána prostřednictvím sady signálů *data*. Celá 16 bitová hodnota dat je předána entitě *PWM* přes sadu 16 signálů *data_U_Uc*.

Vstup entity *PWM* tvoří signály *clock*, *n_reset*, *enabled* a sada 16 signálů *data_U_Uc*. Výstup představují čtyři čtveřice signálů pulsně šířkové modulace, které ovládají spínání tranzistorů v blocích měniče.

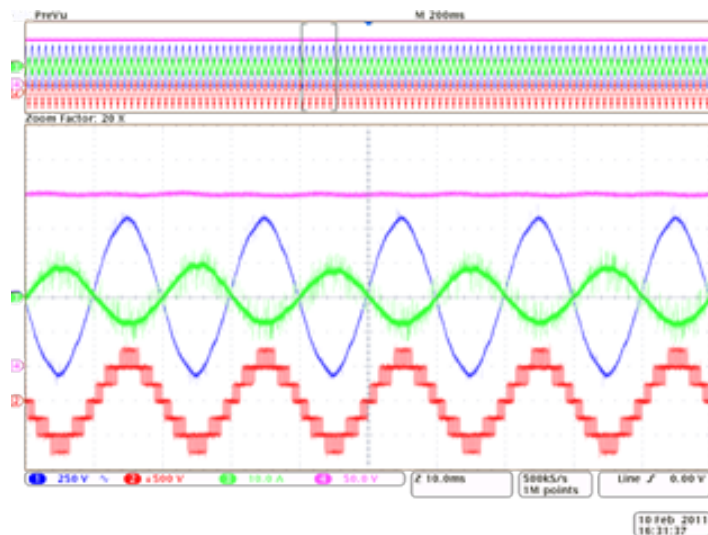
2.1.5 Experimentální měření na primární straně trakčního měniče se středofrekenčním transformátorem

Experimenty byly provedeny na prototypu trakčního měniče se středofrekenčním transformátorem, konkrétně byl modulátor implementován pro sadu čtyř vstupních jednofázových napěťových pulzních usměrňovačů. Navržený algoritmus řízení víceúrovňového primárního pulzního usměrňovače byl implementován v DSC TMS320F2812 od firmy Texas Instruments. Blok PS-PWM modulátoru byl vytvořen v hradlovém poli FPGA Cyclone II EP2C35F672C5 od firmy Altera. Algoritmus řízení byl testován na laboratorním modelu trakčního měniče o jmenovitém výkonu 12kW. Trakční měnič napájel při testech synchronní motor s permanentními magnety (PMSM), který byl zatěžován asynchronním motorem.

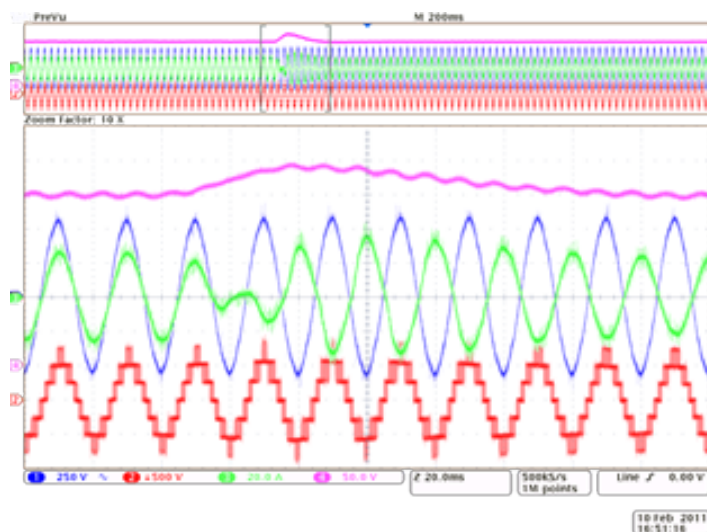
Jak je z výše uvedeného popisu patrné, navržený PS-PWM modulátor umožňuje ovládat až čtyři kaskádně řazené primární napěťové pulzní usměrňovače (tj. devítiúrovňový primární usměrňovač). Pro testy funkčnosti byly použity čtyři pulzní usměrňovače v sérii, pro jejichž řízení byly využity všechny čtyři skupiny PWM výstupů označené jako *pwm_1*, *pwm_2*, *pwm_3* a *pwm_4*. Přesazení nosných pilových signálů modulátoru bylo 45°. Dosažené výsledky dokumentují obrázky 2.7, 2.8, 2.9 a 2.10, kde jsou zachyceny ustálené stavy pro usměrňovačový a střídačový chod primárního víceúrovňového měniče, dále pak přechodové děje pro skokovou změnu zátěže 6,8 kW → -6,6 kW a zpět.



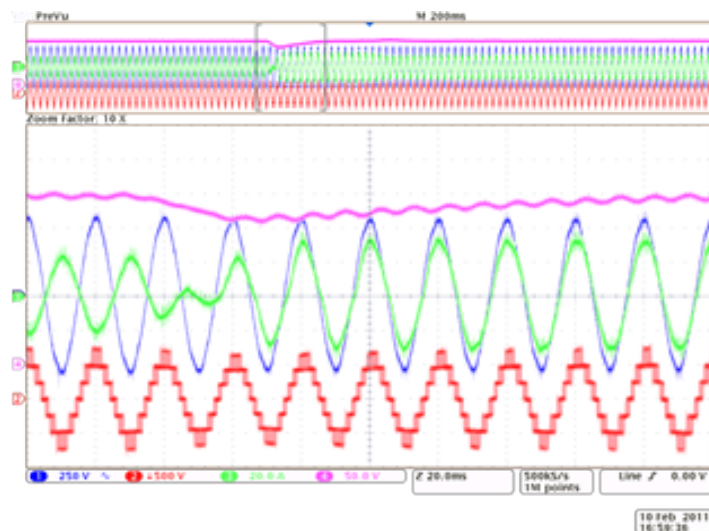
Obr. 2.7: Ustálený stav – usměrňovačový chod primárního víceúrovňového měniče, zátěž 5,2 kW, požadované napětí stejnosměrného meziobvodu $U_{cw}=1000V$ ($U_{c1}=U_{c2}=U_{c3}=U_{c4}=250V$), trolejové napětí $U_{tm}=565V$, Ch1: fázové napětí troleje u_t (250V/dílek), Ch2: víceúrovňové napětí primárního usměrňovače u_v (500V/dílek), Ch3: fázový proud troleje i_t (20A/dílek), Ch4: Napětí na kondenzátoru ve ss meziobvodu sekundárního měniče U_{CS} (5A/dílek).



Obr. 2.8: Ustálený stav – střídačový chod primárního víceúrovňového měniče, zátěž -2,7 kW, požadované napětí stejnosměrného meziobvodu $U_{cw}=1000V$ ($U_{c1}=U_{c2}=U_{c3}=U_{c4}=250V$), trolejové napětí $U_{tm}=565V$, Ch1: fázové napětí troleje u_t (250V/dílek), Ch2: víceúrovňové napětí primárního usměrňovače u_v (500V/dílek), Ch3: fázový proud troleje i_t (20A/dílek), Ch4: Napětí na kondenzátoru ve ss meziobvodu sekundárního měniče U_{CS} (5A/dílek).



Obr. 2.9: Přechodový děj – skoková změna zátěže 6,8 kW → -6,6 kW, požadované napětí stejnosměrného meziobvodu $U_{cw}=1000\text{V}$ ($U_{c1}=U_{c2}=U_{c3}=U_{c4}=250\text{V}$), trolejové napětí $U_{tm}=565\text{V}$, Ch1: fázové napětí troleje u_t (250V/dílek), Ch2: víceúrovňové napětí primárního usměrňovače u_v (500V/dílek), Ch3: fázový proud troleje i_t (20A/dílek), Ch4: Napětí na kondenzátoru ve ss meziobvodu sekundárního měniče U_{CS} (5A/dílek).



Obr. 2.10: Přechodový děj – skoková změna zátěže -6,6 kW → 6,8 kW, požadované napětí stejnosměrného meziobvodu $U_{cw}=1000\text{V}$ ($U_{c1}=U_{c2}=U_{c3}=U_{c4}=250\text{V}$), trolejové napětí $U_{tm}=565\text{V}$, Ch1: fázové napětí troleje u_t (250V/dílek), Ch2: víceúrovňové napětí primárního usměrňovače u_v (500V/dílek), Ch3: fázový proud troleje i_t (20A/dílek), Ch4: Napětí na kondenzátoru ve ss meziobvodu sekundárního měniče U_{CS} (5A/dílek).

2.1.6 Dílčí závěr

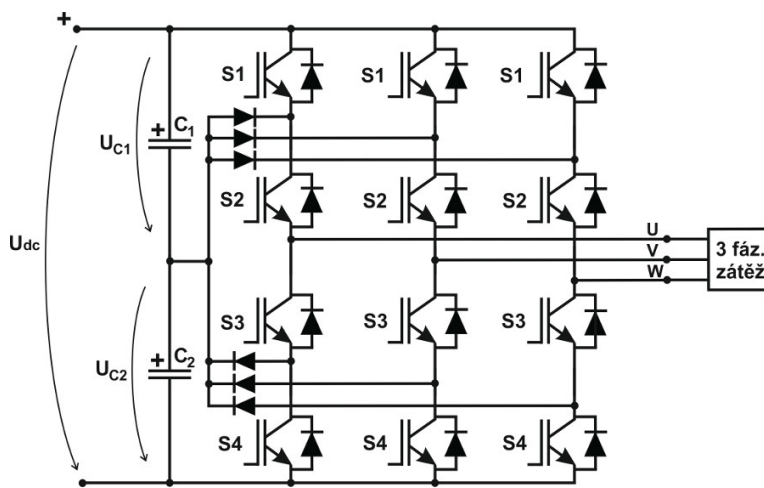
Navržený regulátor pulzních usměrňovačů na primární straně měniče se středofrekvenčním transformátorem kombinuje digitální signálový kontroler (DSC) a hradlové pole FPGA. DSC zpracovává algoritmy regulace a měření, FPGA pak zajišťuje funkci PS-PWM modulátoru. Vyvinutý PS-PWM modulátor umožňuje řídit až čtyři kaskádně řazené napěťové pulzní usměrňovače (kaskádně řazené jednofázové můstky). Realizace PS-PWM modulátoru v hradlovém poli FPGA, kromě přínosu dostatečného počtu použitelných PWM výstupů, umožňuje průběžné vyhodnocování modulačního signálu tak, jak je generován algoritmem regulace, tj. modulátor akceptuje novou hodnotu modulačního signálu s každou dokončenou periodou výpočtu algoritmu v DSC. Spotřebované zdroje jednotky FPGA implementací modulátoru PS-PWM je uveden v přehledové tabulce 2.1. Datová cesta udává časový údaj od změny dat na vstupu entity do změny dat na výstupu entity. Nejhorší datová cesta pak udává nejdelší datovou cestu ze všech dílčích entit tvořících entitu modulátoru.

Tab. 2.1: Spotřebované zdroje v jednotce FPGA

Modulátor	Logické buňky	Registry	Celkem	Nejhorší cesta dat
PS-PWM	779	286	1065 (4%)	8,461 ns

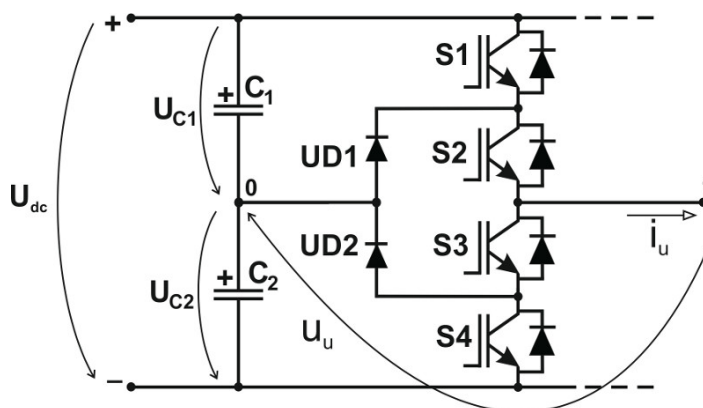
2.2 Tříúrovňový střídač s upínacími diodami (NPC)

Topologie tříúrovňového střídače s upínacími diodami byla poprvé navržena v 80. letech minulého století. Vznikla na základě řešení problému při sériovém řazení spínacích polo-
 vodičových prvků, úprava topologie spočívala v přidání upínacích diod mezi sériově řazené spínače. Touto úpravou je umožněno sériové spojení spínacích součástek, které omezuje maximální napětí na jednotlivých spínacích součástkách.



Obr. 2.11: Třífázový střídač NPC

Na obrázku 2.11 je schéma třífázového tříúrovňového měniče s upínacími diodami. Pro funkci měniče jsou nezbytné dva kondenzátory (C_1 , C_2), které dělí napětí na stejnosměrné straně měniče na polovinu. Dále jsou nezbytné diody ($UD1$, $UD2$), které upínají místa mezi sériově spojenými prvky v každé větvi k tzv. nulovému bodu mezi kondenzátory stejnosměrného meziobvodu. Tím omezují maximální napětí na každém spínači právě na polovinu vstupního napětí za předpokladu, že napětí na kondenzátorech jsou stejná. Velikost napětí na kondenzátorech je nutné řešit v rámci řídicího algoritmu. Jde o tzv. balancování napětí na kondenzátorech.



Obr. 2.12: Schéma jedné fáze tříúrovňového střídače s upínacími diodami (3L-NPC)

Tab. 2.2: Spínání jedné fáze

Hladina u_u		U_{C1}	0	U_{C2}
Sepnuto		S1, S2	S2, S3	S3, S4
proud vedou	$i_u > 0$	S1, S2	UD1, S2	zpětné diody S3, S4
	$i_u < 0$	zpětné diody S1, S2	UD2, S3	S3, S4

Na obrázku 2.12 je schéma jedné fáze měniče. K tomuto obrázku se vztahuje tabulka 2.2 popisující princip, kterým se dosahuje tří úrovní výstupního fázového napětí střídače. Obrázek i tabulka jsou převzaty z [31]. Při spínání je nutné dodržovat následující pravidla: Spínače rozdělíme do dvojic ($S1, S2$), ($S3, S4$). Pokud je sepnut spínač $S1$, nesmí být sepnut spínač $S3$. Obdobně je tomu i u druhé dvojice spínačů. Z toho plyne, že současně jsou sepnuty pouze dva spínače a tím je dán stav zbylých dvou spínačů. Tato pravidla platí i pro ostatní fáze a lze je obdobným způsobem vytvořit i pro víceúrovňový měnič než tříúrovňový měnič. Na základě tabulky Tab. 2.2 byla sestavena celková tabulka spínacích kombinací (Tab. 2.3), které přispívají k balancování napětí na kondenzátorech ve stejnosměrném obvodu měniče v závislosti na velikosti napětí na kondenzátorech C_1, C_2 a na polaritě proudů i_u, i_v a i_w . Index SVM pro popisovaný typ modulace vychází z označení uvedeného na obrázku 2.13, obdobně pak i indexové označení pozice pro zjednodušenou SVM je uvedeno na obrázku 2.28. V tabulce jsou tyto indexy uvedeny pro informaci, jejich konkrétní význam v implementaci je uveden v kapitolách 2.2.3 a 2.2.5. Kromě zvolených indexů pro jednotlivé typy modulací jsou v této tabulce uvedeny i pravidla pro výběr reálné spínací kombinace, která budou vyvažovat napětí ve stejnosměrném meziobvodu měniče. Pravidla balancování vycházejí z topologie měniče 3L-NPC a jde o polaritu fázového proudu a poměr velikostí napětí na kondenzátorech ve stejnosměrném meziobvodu měniče 3L-NPC. Rozmístění reálné spínacích kombinací v rámci trojúhelníkové sítě je uvedeno v hranatých závorkách v obrázku 2.13, kde $2 \Rightarrow \frac{1}{2}U_{dc}$, $1 \Rightarrow 0$ a $0 \Rightarrow -\frac{1}{2}U_{dc}$.

Tab. 2.3: Reálné spínací kombinace s pravidly výběru pro balancování pro měnič 3L-NPC

Index SVM	Označení pozice zjed- nodušené SVM	Polarita proudu	$U_{C1} > U_{C2}$	$U_{C1} < U_{C2}$
0	000	–	111	
1	10-1	$i_u > 0$	211	100
		$i_u < 0$	100	211
2	-110	$i_v > 0$	121	010
		$i_v < 0$	010	212
3	01-1	$i_w > 0$	112	221
		$i_w < 0$	221	110
4	-101	$i_u > 0$	011	122
		$i_u < 0$	122	011
5	1-10	$i_v > 0$	101	212
		$i_v < 0$	212	101
6	0-11	$i_w > 0$	112	001
		$i_w < 0$	001	112
7	20-2	–	200	
8	11-2	–	210	
9	02-2	–	220	
10	-12-1	–	120	
11	-220	–	020	
12	-211	–	021	
13	-202	–	022	
14	-1-12	–	012	
15	0-22	–	002	
16	1-21	–	102	
17	2-20	–	202	
18	2-1-1	–	201	

2.2.1 SV-PWM modulace

SV-PWM (SVM) modulace využívá identifikaci polohy požadovaného výstupního vektoru napětí k výběru vhodné spínací kombinace. Algoritmus identifikace polohy vektoru přináší určitou výpočetně náročnou část, a to v podobě výpočtu hodnot goniometrických funkcí sinus a cosinus v hradlovém poli FPGA. Výpočet goniometrických funkcí v obvodech FPGA není podporován bezplatnou knihovnou funkcí, a proto je nezbytné implementovat některou z aproximačních metod v pevné řádové čárce. Příkladem aproximačních metod jsou tabulkové metody nebo algoritmus CORDIC.

2.2.2 CORDIC

Algoritmus CORDIC je jednoduchý a efektivní algoritmus pro výpočet goniometrických funkcí. Podobnou techniku výpočtu publikoval anglický matematik Henry Briggs již v roce 1624. Algoritmus CORDIC pro výpočet trigonometrických funkcí popsal Jack E. Volder v roce 1959 [32]. Později ho John Stephen Walther zobecnil pro výpočet hyperbolických, exponenciálních a logaritmických funkcí. Algoritmem CORDIC se zabývá například práce [33]. Tento algoritmus spadá do skupiny tzv. iteračních výpočetních metod, tj. v každém kroku (iteraci) výpočtu algoritmu se získá jeden platný bit výsledku. Jádrem algoritmu je rotace vektoru v kolem počátku souřadnicového systému, tj. kolem bodu $[0, 0]$. Cílem je vektorem \vec{v} pootočit tak, aby byla splněna požadovaná přesnost výsledku. Vektorem \vec{v} budeme rotovat o požadovaný úhel po jednotkové kružnici. Výstupem algoritmu jsou souřadnice konečné polohy vektoru \vec{v} , které odpovídají hodnotám funkcí cosinus a sinus pro zadaný úhel. Počet iterací algoritmu závisí na zvolené přesnosti výsledku čili na počtu platných bitů výsledku.

Na počátku algoritmu je poloha vektoru \vec{v} na souřadnicích $[1, 0]$, v každém dalším kroku dojde k pootočení vektoru o předem daný úhel. Úhel, pro který se vyčísluje hodnota funkce sinus nebo cosinus, vznikne sečtením všech úhlů z jednotlivých kroků algoritmu. Po provedení všech n kroků algoritmu (číslo n udává přesnost výsledku, tj. počet bitů výsledku) se bude vektor \vec{v} nacházet na souřadnicích $[x_n, y_n]$, kde hodnota y_n odpovídá hodnotě funkce sinus pro zadaný úhel, hodnota x_n odpovídá hodnotě funkce cosinus pro zadaný úhel.

$$x_{i+1} = K_i \cdot (x_i - y_i \cdot d_i \cdot 2^{-i}) \quad (2.1)$$

$$y_{i+1} = K_i \cdot (y_i + x_i \cdot d_i \cdot 2^{-i}), \quad (2.2)$$

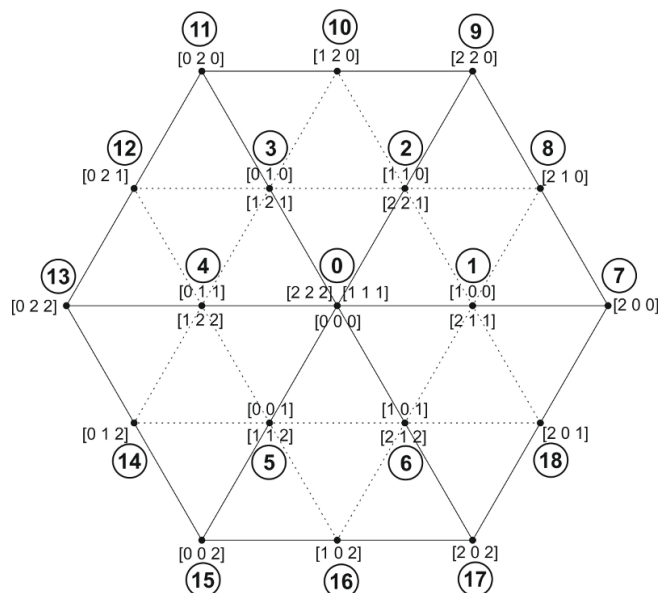
kde d_i je proměnná nabývající pouze hodnot -1 a 1 podle směru rotace vektoru \vec{v} . Hodnota konstanty K_i lze vyjádřit výrazem:

$$K_i = \cos \cdot [\operatorname{arctg}(2^{-i})] = \frac{1}{\sqrt{1+2^{-2i}}} \quad (2.3)$$

Limitně se součiny konstant K_i blíží k hodnotě 1,6467 [32]. Z tohoto důvodu není nutné v každém kroku iterace provádět operaci součin. Postačí, když po provedení stanoveného počtu iterací celkový výsledek se vynásobí hodnotou 0,6073.

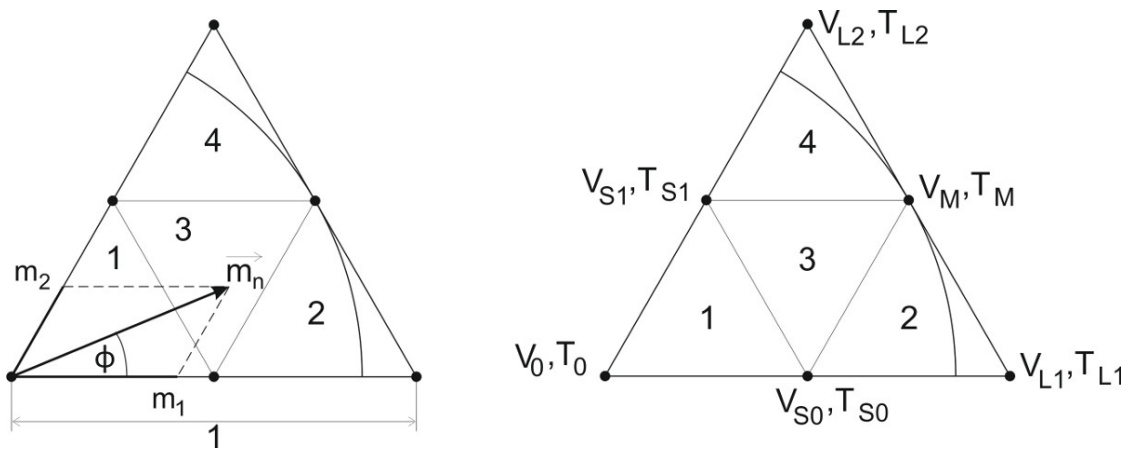
2.2.3 Princip SV-PWM modulace

U tříúrovňového měniče je k dispozici 27 spínacích kombinací, 24 kombinací reprezentuje prostorový vektor a tři reprezentují nulový vektor. Všechny dostupné spínací kombinace (definované fázové napětí měniče: $2 \Rightarrow \frac{1}{2}U_{dc}$, $1 \Rightarrow 0$ a $0 \Rightarrow -\frac{1}{2}U_{dc}$) a jim odpovídající indexy SVM jsou na obrázku 2.13.



Obr. 2.13: Spínací kombinace pro tříúrovňový měnič NPC

Z úhlu požadovaného vektoru je určen sektor (jednomu sektoru odpovídá úhel o velikosti 60°). Složky m_1 , m_2 požadovaného vektoru \vec{m}_n jsou definovány výpočtem dle vztahů (2.4) a (2.5), výsledné hodnoty následně určí jednu ze čtyř trojúhelníkových oblastí podle tabulky 2.4. Příklad výběru trojúhelníkové oblasti je zachycen v levé části obrázku 2.14. V pravé části obrázku 2.14 je pak označení spínacích vektorů ohraničující jednotlivé oblasti uvnitř sektoru. Výpočet časů sepnutí jednotlivých spínacích vektorů ([34]) je proveden dle vzorců (2.6), (2.7), (2.8) pro první oblast, (2.9), (2.10), (2.11) pro druhou oblast, (2.12), (2.13), (2.14) pro třetí oblast a (2.15), (2.16), (2.17) pro čtvrtou oblast.



Obr. 2.14: Identifikace pozice vektoru v oblasti v rámci sektoru (vlevo), označení vektorů a časů určujících oblast (vpravo)

$$m_1 = |\vec{m}_n| \cdot \left[\cos(\phi) - \frac{\sin(\phi)}{\sqrt{3}} \right] \quad (2.4)$$

$$m_2 = |\vec{m}_n| \cdot \frac{2}{\sqrt{3}} \cdot \sin(\phi) \quad (2.5)$$

Tab. 2.4: Určení oblasti v rámci sektoru [15]

Oblast	Velikost složek m_1, m_2
1	$m_1 \leq 0,5; m_2 \leq 0,5$ a zároveň $(m_1 + m_2) \leq 0,5$
2	$m_1 > 0,5$
3	$m_1 \leq 0,5; m_2 \leq 0,5$ a zároveň $(m_1 + m_2) > 0,5$
4	$m_2 > 0,5$

Výpočet časů v oblasti č. 1:

$$T_{S0} = T_S \cdot |\vec{m}_n| \cdot \left(\sqrt{3} \cdot \cos \phi - \sin \phi \right) \quad (2.6)$$

$$T_{S1} = T_S \cdot 2 \cdot |\vec{m}_n| \cdot \sin \phi \quad (2.7)$$

$$T_0 = T_S - (T_{S0} + T_{S1}) \quad (2.8)$$

Výpočet časů v oblasti č. 2:

$$T_{S0} = T_S \cdot \left(2 - |\overline{m}_n| \cdot \left(\sqrt{3} \cdot \cos \phi + \sin \phi \right) \right) \quad (2.9)$$

$$T_{L1} = T_S \cdot \left(-1 + |\overline{m}_n| \cdot \left(\sqrt{3} \cdot \cos \phi - \sin \phi \right) \right) \quad (2.10)$$

$$T_M = T_S \cdot 2 \cdot |\overline{m}_n| \cdot \sin \phi \quad (2.11)$$

Výpočet časů v oblasti č. 3:

$$T_{S0} = T_S \cdot \left(1 - 2 \cdot |\overline{m}_n| \cdot \sin \phi \right) \quad (2.12)$$

$$T_M = T_S \cdot \left(-1 + |\overline{m}_n| \cdot \left(\sqrt{3} \cdot \cos \phi + \sin \phi \right) \right) \quad (2.13)$$

$$T_{S1} = T_S \cdot \left(1 + |\overline{m}_n| \cdot \left(-\sqrt{3} \cdot \cos \phi + \sin \phi \right) \right) \quad (2.14)$$

Výpočet časů v oblasti č. 4:

$$T_{S1} = T_S \cdot \left(2 - |\overline{m}_n| \cdot \left(\sqrt{3} \cdot \cos \phi + \sin \phi \right) \right) \quad (2.15)$$

$$T_M = T_S \cdot \left(|\overline{m}_n| \cdot \left(\sqrt{3} \cdot \cos \phi - \sin \phi \right) \right) \quad (2.16)$$

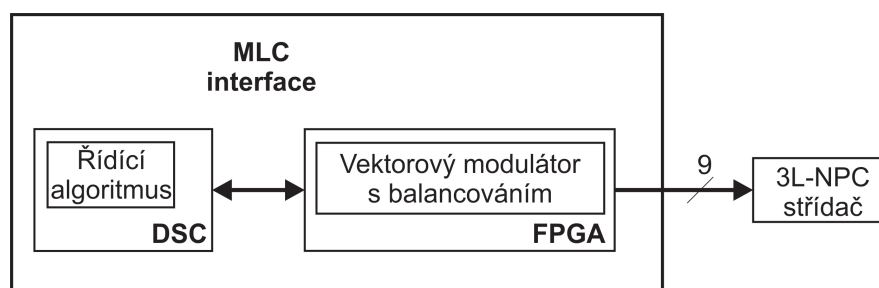
$$T_{L2} = T_S \cdot \left(-1 + 2 \cdot |\overline{m}_n| \cdot \sin \phi \right) \quad (2.17)$$

2.2.4 Popis funkce modulátoru SV-PWM

Struktura vektorového modulátoru je navržena s ohledem na specifické vlastnosti použitého hardware řídicí jednotky MLC interface verze 2. Algoritmus vektorového modulátoru vychází ze simulačního modelu uvedeného ve zprávě [35]. Problematice modulace a balancování napětí NPC měniče se podrobně věnují také práce [34], [36].

Samotný výpočet algoritmu řízení tříúrovňového střídače NPC je rozdělen do dvou částí. Pro implementaci a řízení měničů byla použita platforma MLC interface, vývojový kit primárně navržený pro řízení víceúrovňových měničů a dynamicky náročných pohonů. První část s regulací a měřením je zpracována v kontroléru DSC, zpracování druhé části s modulací a balancováním zajišťuje hradlové FPGA. Sada vypočtených a změřených hodnot z první části algoritmu je předána druhé části algoritmu zápisem do společného paměťového prostoru kontroléru DSC a hradlového pole FPGA. Mezi předávané hodnoty z první části algoritmu patří velikost požadovaného vektoru (*vektor*), úhel natočení požadovaného vektoru (*fi*), informace o stavu napětí na kondenzátorech (U_{c12} , "1" $\Rightarrow U_{C1} > U_{C2}$, "0" $\Rightarrow U_{C1} < U_{C2}$), informace o polaritě proudů (i_u, i_v, i_w) a řídicí signály (*enable*, *reset*, *rele*).

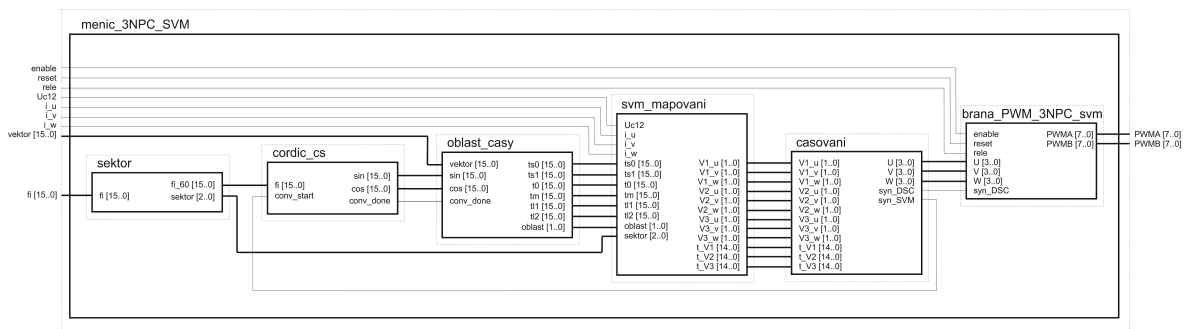
Blokové schéma (Obr. 2.15) zapojení navržené řídicí jednotky přibližuje vnitřní komunikační strukturu MLC interface včetně komunikace s prototypem střídače. Komunikace probíhá skrze devět signálů, z nich šest je použito pro spínání výkonových prvků střídače a zbylé tři (*enable*, *reset*, *rele*) jsou využity k ovládání střídače jako celku.



Obr. 2.15: Blokové schéma řídicí jednotky MLC interface a měniče 3L-NPC

Celkovou strukturu entity vektorového modulátoru SV-PWM s balancováním je možné rozdělit na šest samostatných entit *sektor*, *cordic_cs*, *oblast_casy*, *svm_mapovani*, *casovani* a *brana_PWM_3NPC_svm*. Struktura propojení jednotlivých entit tvořících entitu *menic_3NPC_SVM* je přibližena na obrázku 2.16, větší obrázek je uveden v příloze 4.2.

Kontrolér DSC vystaví výstupní data sběrnici, kde si je vyčte entita *bus_read_write* z nadřazené struktury MLC driveru a předá je ke zpracování entitě *menic_3NPC_SVM*. Entita *sektor* přijme z dat pouze úhel natočení (*fi*), ze kterého určí sektor a převede úhel *fi* do intervalu $< 0^\circ, 60^\circ >$. Upravenou hodnotu úhlu natočení (fi_{60}) předá k dalšímu výpočtu entitě *cordic_cs* a číslo sektoru předá entitě *svm_mapovani*. Entita *cordic_cs* vypočte hodnoty funkcí sinus a cosinus pro úhel fi_{60} . Hodnoty funkcí sinus a cosinus tvoří spolu s velikostí



Obr. 2.16: Vnitřní struktura entity vektorového modulátoru SV-PWM pro 3L-NPC měnič

požadovaného napěťového vektoru (*vektor*) vstup entity *oblast_casy*, která na základě výpočtu algoritmu SVM určí trojúhelníkovou oblast a časy sepnutí tří vektorů, jejichž koncové body vymezují určenou trojúhelníkovou oblast. Entita *svm_mapovani* zajistí přemapování tří vektorů oblasti na tři spínací kombinace střídače. Pokud je k dispozici více než jedna možná spínací kombinace, pak vybere tu kombinaci, která přispěje k balancování napětí na kondenzátorech ve stejnosměrném obvodu střídače. Entita *casovani* následně zajistí sepnutí spínací kombinace na požadovanou dobu sepnutí. Poslední entita *brana_PWM_3NPC_svm* sjednotí jednotlivé řídicí signály tak, aby odpovídaly pozičně i označením signálům na vstupech driverů prototypu střídače 3L-NPC.

2.2.4.1 Entita *sektor*

Vstupní a výstupní signály entity *sektor* jsou přiblíženy na následujícím obrázku 2.17. Entita *sektor* určí z hodnoty vstupního úhlu *fi* sektor, ve kterém se nachází požadovaný vektor, a hodnotu úhlu *fi* převede do intervalu 0° až 60° (*fi_60*). Tyto vypočtené hodnoty jsou předány k dalšímu zpracování entitám *cordic_cs* a *svm_mapping_GonFce*.

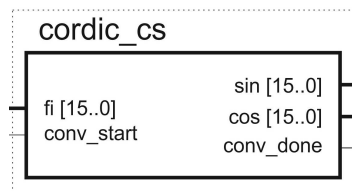


Obr. 2.17: Entita *sektor*

2.2.4.2 Entita *cordic_cs*

Vstupní a výstupní signály entity *cordic_cs* jsou přiblíženy na následujícím obrázku 2.18. Funkcí entity *cordic_cs* je určit hodnoty goniometrických funkcí sinus a cosinus pro velikost úhlu *fi* podle aproximačního algoritmu CORDIC. Výpočet hodnot sinu a cosinu je spouštěn řídicím signálem *conv_start*, který je generován entitou *casovani*. Mezivýsledky výpočtu algoritmu CORDIC se průběžně předávají na výstupu entity, dokončený výpočet (platná data) se

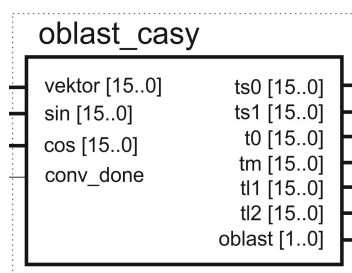
potvrdí řídicím signálem *conv_done*. Tento stav je rozpoznán následující entitou *oblast_casy*. Platná data jsou dostupná na výstupu entity po 16 taktech hodin (frekvence hodin 50 MHz, 16 taktů odpovídá 320 ns) od akceptování řídicího signálu *conv_start*.



Obr. 2.18: Entita *cordic_cs*

2.2.4.3 Entita *oblast_casy*

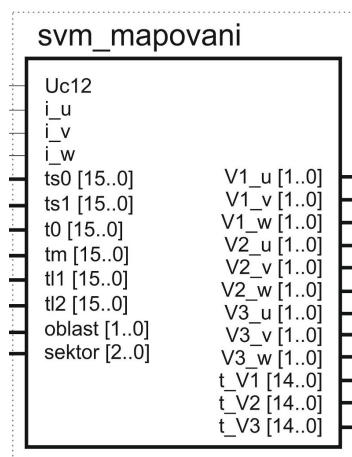
Vstupní a výstupní signály entity *oblast_casy* jsou znázorněny na obrázku 2.19. Entita *oblast_casy* identifikuje trojúhelníkovou oblast (dvoubitový signál *oblast*), do které se promítne požadovaný vektor u_0 . Přijme-li informaci o dokončení výpočtu funkcí sinus a cosinus (signál *conv_done*), vypočte tři časy sepnutí vektorů definujících vybranou oblast. Množina všech časů je složena z šesti 16bitových hodnot časů *ts0*, *ts1*, *t0*, *tm*, *t11* a *t12*. Podrobnější popis algoritmu SVM je uveden v kapitole 2.2.3.



Obr. 2.19: Entita *oblast_casy*

2.2.4.4 Entita *svm_mapovani*

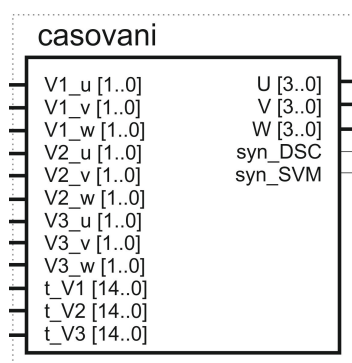
Vstupní a výstupní signály entity *svm_mapovani* jsou znázorněny na obrázku 2.20. Entita *svm_mapovani* na základě informace, ve kterém sektoru a oblasti se nachází požadovaný vektor, přemapuje vektory definující trojúhelníkovou oblast na reálnou spínací kombinací střídače. Pokud je k dispozici více než jedna možná kombinace sepnutí, pak je vybrána ta, která přispěje k balancování napětí na dvojici kondenzátorů ve stejnosměrném obvodu střídače. Přemapování pro tříúrovňový střídač NPC je provedeno dle tabulky 2.3 která je uvedena v kapitole 2.2, kde pro spínací kombinaci je definováno fázové napětí měniče: $2 \Rightarrow \frac{1}{2}U_{dc}$, $1 \Rightarrow 0$ a $0 \Rightarrow -\frac{1}{2}U_{dc}$.



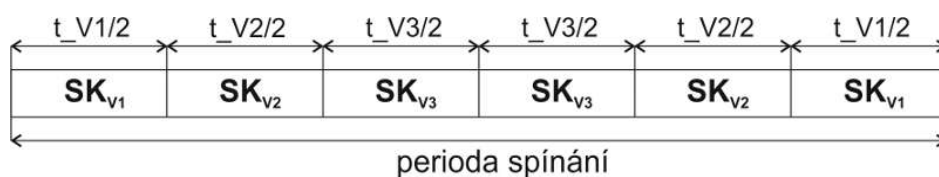
Obr. 2.20: Entita *svm_mapovani*

2.2.4.5 Entita *casovani*

Vstupní a výstupní signály entity *casovani* jsou přiblíženy na obrázku 2.21. Entita *casovani* přijme jednotlivé kódy spínacích kombinací a doby jejich sepnutí. Kódy spínacích kombinací zapíše na výstupy (U , V a W) podle dané sekvence spínání, kterou dokumentuje obrázek 2.22. SK_{V1} zastupuje spínací kombinace pro vektor 1 a t_{V1} je doba sepnutí pro vektor 1, SK_{V2} zastupuje spínací kombinace pro vektor 2 a t_{V2} je doba sepnutí pro vektor 2 a SK_{V3} zastupuje spínací kombinace pro vektor 3 a t_{V3} je doba sepnutí pro vektor 3. Jednotlivé spínací kombinace (SK_{V1} , SK_{V2} , SK_{V3}) jsou obrazy trojici vektorů z množiny V_0 , V_{S0} , V_{S1} , V_{L1} , V_M , a V_{L2} . Obdobně pak časy sepnutí (t_{V1} , t_{V2} , t_{V3}) jsou svázány s příslušnými časy sepnutí vektorů T_0 , T_{S0} , T_{S1} , T_{L1} , T_M , a T_{L2} . Další funkcí této entity je vygenerování synchronizačních impulsů pro kontrolér DSC (*syn_DSC*) a entitu *cordic_cs* (*syn_SVM*).



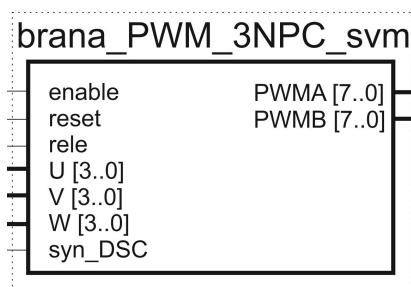
Obr. 2.21: Entita *casovani*



Obr. 2.22: Sekvence spínání

2.2.4.6 Entita *brana_PWM_3NPC_svm*

Vstupní a výstupní signály entity *brana_PWM_3NPC_svm* jsou přiblíženy na obrázku 2.23. Entita *brana_PWM_3NPC_svm* přijme veškeré řídicí signály pro střídač 3L-NPC, přeuspořádá jejich pozici tak, aby odpovídala požadavkům budičů střídače 3L-NPC a pošle je na výstup.



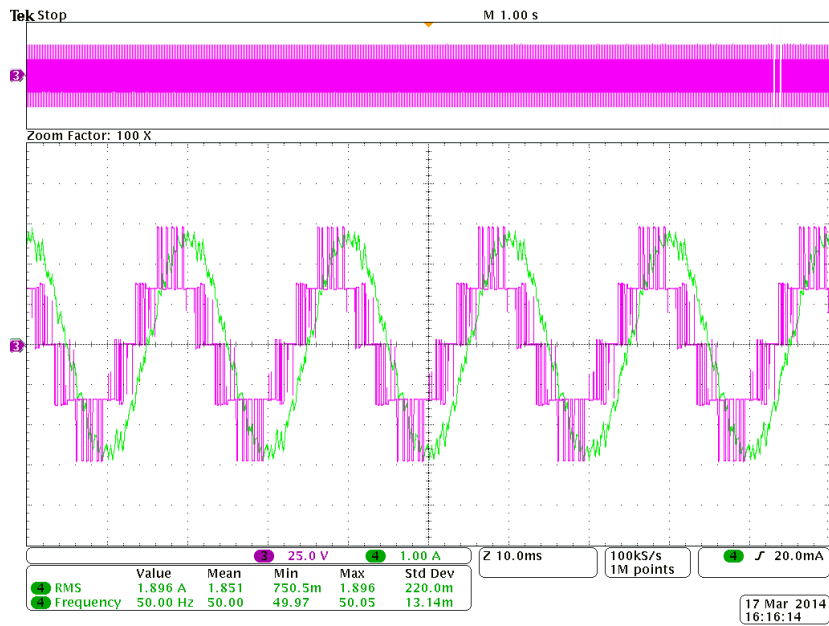
Obr. 2.23: Entita *brana_PWM_3NPC_svm*

2.2.4.7 Experimentální měření na prototypu měniče 3L-NPC

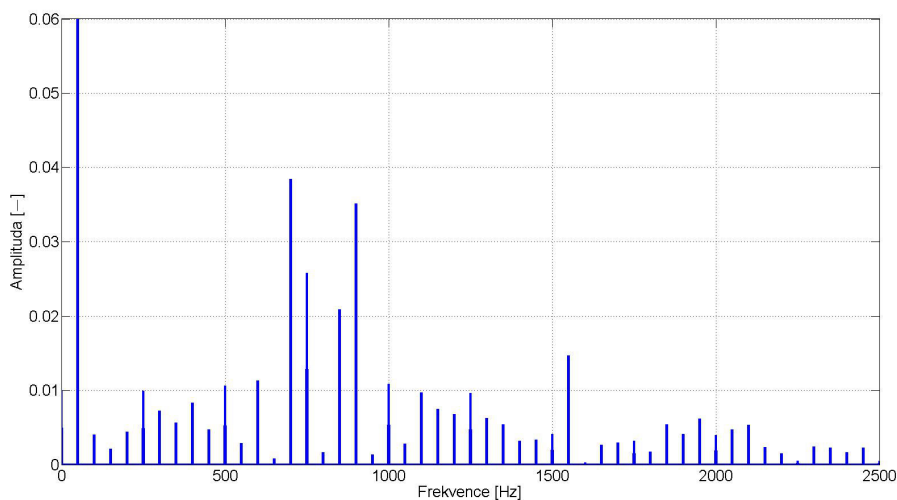
Experimentální měření proběhlo na vývojovém kitu pro víceúrovňové měniče MLC interfa-
ce a prototypu tříúrovňového měniče 3L-NPC s třífázovou *RL* zátěží zapojenou do hvězdy. Vývojový kit použitý pro testy je osazen mikrokontrolérem TMS320F28335 od firmy Texas Instruments a hradlovým polem FPGA EP3C40Q240C8 od firmy Altera. Parametry *RL* zá-
těže $R = 10 \Omega$, $L = 0,006 H$. Napětí ve stejnosměrném meziobvodu bylo nastaveno na $150 V$. Proud *RL* zátěží byl nastaven hloubkou modulace na hodnotu $4,9 A$ v ustáleném stavu. Průběh fázového napětí a proudu (fáze *U*) je pro hloubku modulace $1,0$ uveden na obrázku 2.24. Frekvenční spektrum fázového proudu a napětí z obrázku 2.24 je zachycen na obrázcích 2.25 a 2.26. Pro výpočet THD je třeba vybrat čtyřicet harmonických složek z naměřených dat daného periodického signálu, které jsou násobkem první harmonické složky ($50 Hz$), tzn. spektrální čáry THD odpovídají $50 Hz, 100 Hz, 150 Hz, \dots, 2500 Hz$. Výpočet THD je proveden dle vztahů (2.18), (2.19).

$$THD_u = \frac{\sqrt{u_2^2 + u_3^2 + \dots + u_{40}^2}}{u_1} \cdot 100[\%] \quad (2.18)$$

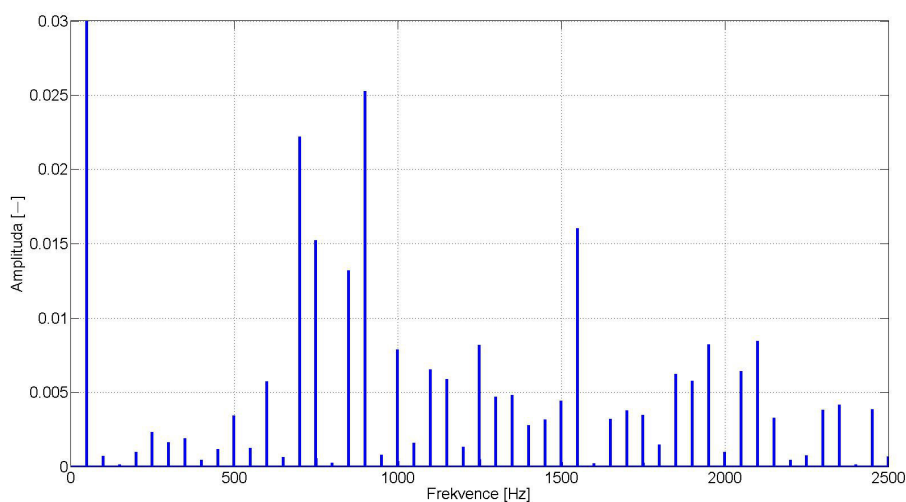
$$THD_i = \frac{\sqrt{i_2^2 + i_3^2 + \dots + i_{40}^2}}{i_1} \cdot 100[\%] \quad (2.19)$$



Obr. 2.24: Modulátor SV-PWM, konstantní frekvence výstupního napětí 50 Hz, ustálený stav, spínací frekvence 800 Hz, hloubka modulace 1,0, ch3: fázové napětí zátěže u_u (25 V/dílek), ch4: fázový proud zátěže i_u (1 A/dílek)



Obr. 2.25: Frekvenční spektrum fázového proudu zátěže i_u , osa x - spektrální čáry frekvenčního spektra jsou násobky 50 Hz. Spektrální čára pro 50 Hz nabývá hodnoty 1,0 (100%). V grafu je tato hodnota oříznuta, aby byly rozlišitelné spektrální čáry pro vyšší harmonické složky. Hodnota THD je 6,72 %



Obr. 2.26: Frekvenční spektrum fázového napětí zátěže u_u , osa x - spektrální čáry frekvenčního spektra jsou násobky 50 Hz. Spektrální čára pro 50 Hz nabývá hodnoty 1,0 (100%). V grafu je tato hodnota oříznuta, aby byly rozlišitelné spektrální čáry pro vyšší harmonické složky. Hodnota THD je 26,46 %

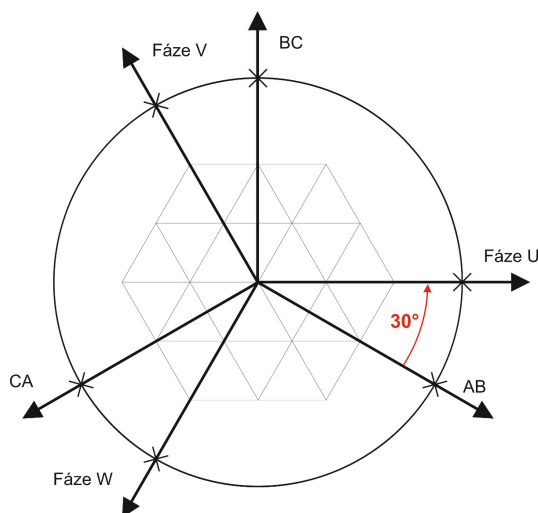
2.2.5 Zjednodušená SVM modulace

Zjednodušená SVM modulace je pod označením Novel SVM detailně popsána v práci [37]. Tato modulace na rozdíl od klasické metody SVM využívá vylepšeného algoritmu pro identifikaci polohy vektoru v rámci trojúhelníkové sítě a algebraický výpočet založený na nové indexaci vrcholů trojúhelníků v síti. Algoritmus identifikace polohy vektoru má velice nízké výpočetní nároky, protože pracuje pouze s matematickými operacemi součet, rozdíl a zaokrouhlovacími funkcemi *floor* a *ceil*.

Výstupem nadřazeného řídicího algoritmu je prostorový vektor \vec{u}_0 definovaný hodnotami u_x a u_y ve stojícím souřadnicovém systému XY . Prostorový vektor \vec{u}_0 převedený do třífázového systému UVW je tvořen třemi složkami normovaných fázových napětí u_u , u_v a u_w .

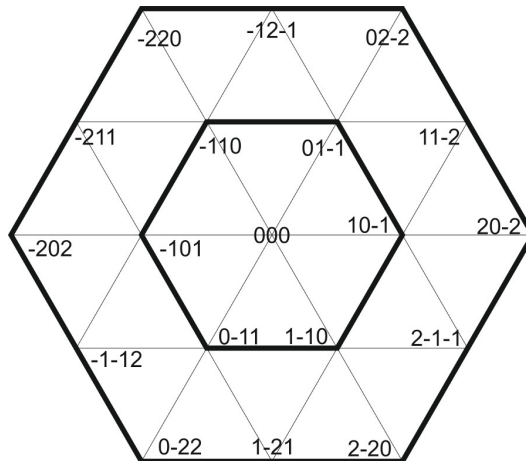
Algoritmus modulace Novel SVM prezentovaný v práci [37] je navržen pro souřadný systém ABC , tj. prostorový vektor \vec{u}_0 je v tomto případě tvořen normovanými složkami sdružených napětí u_{ab} , u_{bc} a u_{ca} , jak je ukázáno na ilustračním obrázku 2.27.

Algoritmus Novel SVM a z něj odvozený algoritmus zjednodušené SVM modulace, který je prezentován v této práci, pracují s normovanými hodnotami napětí. Tento fakt umožňuje zaměnit požadované normované hodnoty sdružených napětí (Novel SVM) za normované hodnoty fázových napětí (zjednodušená SVM modulace) za předpokladu, že se pootočí souřadný systém ABC (sdružená napětí) o 30° tak, aby pozičně odpovídal souřadnému systému UVW (fázová napětí), viz obrázek 2.27. Díky této úpravě lze využít zjednodušený algoritmus identifikace polohy vektoru \vec{u}_0 v trojúhelníkové síti i pro normovaná fázová napětí. Referenční hodnota pro normování fázového napětí vychází z počtu napěťových úrovní měniče, tj. pokud je měnič n -úrovňový, pak je referenční hodnota $\frac{1}{n-1}U_{dc}$.



Obr. 2.27: Fázové posunutí souřadnicového systému ABC vůči systému UVW

Výběr vhodné spínací kombinace je závislý na identifikaci pozice požadovaného vektoru \vec{u}_0 v definované trojúhelníkové síti. Trojúhelníková síť pro tříúrovňový měnič je uvedena na ilustračním obrázku 2.28.



Obr. 2.28: Struktura trojúhelníkových oblastí pro tříúrovňový vektorový modulátor

Požadovaný prostorový vektor \vec{u}_0 na vstupu modulátoru je rozložen do tří složek u_{ab} , u_{bc} a u_{ca} dle vztahů (2.20), (2.21) a (2.22).

$$u_{ab} = u_x \quad (2.20)$$

$$u_{bc} = -0.5 \cdot u_x + \frac{\sqrt{3}}{2} \cdot u_y \quad (2.21)$$

$$u_{ca} = -0.5 \cdot u_x - \frac{\sqrt{3}}{2} \cdot u_y \quad (2.22)$$

Identifikace trojúhelníkové oblasti, do které se promítne vektor \vec{u}_0 , spočívá ve výpočtu dvou zaokrouhlovacích funkcí *floor* a *ceil*. Funkce *floor*(x) najde nejbližší nižší celé číslo reálného čísla x . Funkce *ceil*(x) najde nejbližší vyšší celé číslo reálného čísla x . Pojmenování výsledků zaokrouhlovacích funkcí pro tři vektory u_{ab} , u_{bc} a u_{ca} je uvedeno v následujících vzorcích (2.23), (2.24) a (2.25).

$$f_{ab} = \text{floor}(u_{ab}); c_{ab} = \text{ceil}(u_{ab}) \quad (2.23)$$

$$f_{bc} = \text{floor}(u_{bc}); c_{bc} = \text{ceil}(u_{bc}) \quad (2.24)$$

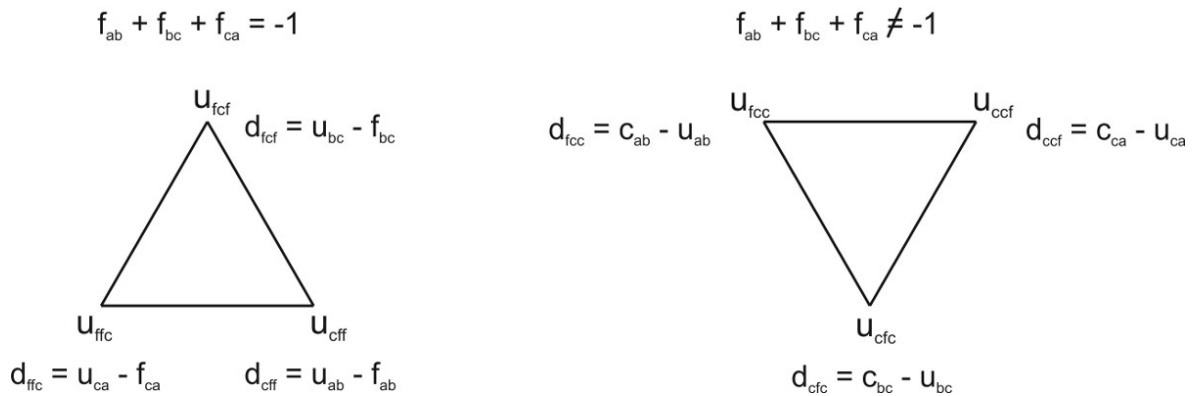
$$f_{ca} = \text{floor}(u_{ca}); c_{ca} = \text{ceil}(u_{ca}) \quad (2.25)$$

V závislosti na součtu výsledků funkcí f_{ab} , f_{bc} a f_{ca} se vybere jeden ze dvou možných tvarů trojúhelníkové oblasti, tato oblast definuje tři vektory ve svých vrcholech. Tyto vektory nesou kódové označení $v_{p_1 p_2 p_3}$, kde indexy p_1 , p_2 a p_3 jsou tvořeny přímo výsledkem funkcí

Tab. 2.5: Volba trojúhelníkové oblasti

	$f_{ab} + f_{bc} + f_{ca} = -1$	$f_{ab} + f_{bc} + f_{ca} \neq -1$
V_1	$u_{f_{ab}f_{bc}c_{ca}}$ (zkr. u_{ffc})	$u_{f_{ab}c_{bc}c_{ca}}$ (zkr. u_{fcc})
d_1	$d_{f_{ab}f_{bc}c_{ca}} = u_{ca} - f_{ca}$ (zkr. d_{ffc})	$d_{f_{ab}c_{bc}c_{ca}} = c_{ab} - u_{ab}$ (zkr. d_{fcc})
V_2	$u_{c_{ab}f_{bc}f_{ca}}$ (zkr. u_{cff})	$u_{c_{ab}c_{bc}f_{ca}}$ (zkr. u_{ccf})
d_2	$d_{c_{ab}f_{bc}f_{ca}} = u_{ab} - f_{ab}$ (zkr. d_{cff})	$d_{c_{ab}c_{bc}f_{ca}} = c_{ca} - u_{ca}$ (zkr. d_{ccf})
V_3	$u_{f_{ab}c_{bc}f_{ca}}$ (zkr. u_{fcf})	$u_{c_{ab}f_{bc}c_{ca}}$ (zkr. u_{cfc})
d_3	$d_{f_{ab}c_{bc}f_{ca}} = u_{bc} - f_{bc}$ (zkr. d_{fcf})	$d_{c_{ab}f_{bc}c_{ca}} = c_{bc} - u_{bc}$ (zkr. d_{cfc})

floor a *ceil*. Doba sepnutí vektorů ve vrcholech trojúhelníkové oblasti $d_{p_1p_2p_3}$, kde indexy p_1 , p_2 a p_3 jsou rovněž tvořeny přímo výsledkem příslušných funkcí *floor* a *ceil*, je vypočtena rozdílem dvou hodnot. Výběr tvaru trojúhelníkové oblasti a výpočet jednotlivých časů sepnutí je uveden na ilustračním obrázku 2.29 a v tabulce 2.5.



Obr. 2.29: Výběr trojúhelníkových oblastí a výpočet časů sepnutí vektorů

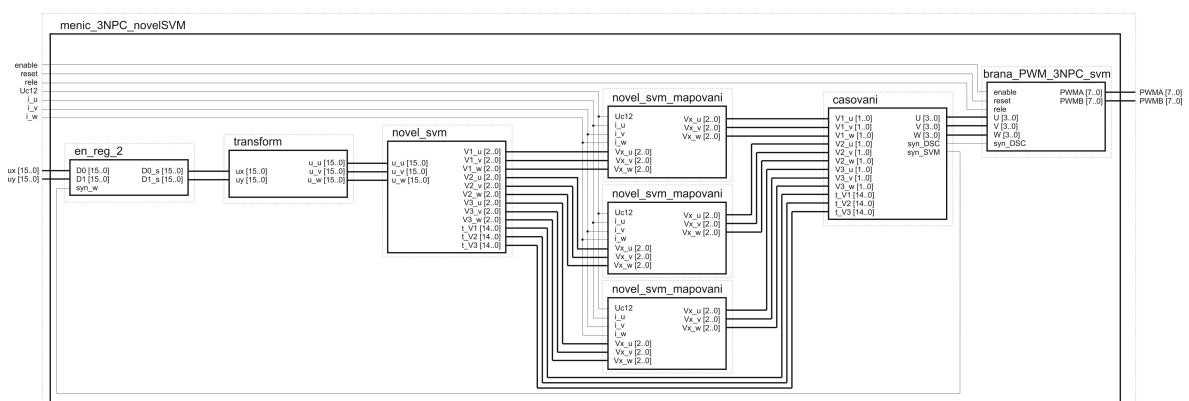
Příklad výpočtu:

$$\begin{aligned}
 |\vec{u}_0| &= 0.5; \varphi = 135^\circ \\
 u_x &= -0,3535; u_y = 0,3535 \\
 u_{ab} &= -0,3535; u_{bc} = 0,4828; u_{ca} = -0,1229 \\
 f_{ab} &= -1; c_{ab} = 0 \\
 f_{bc} &= 0; c_{bc} = 1 \\
 f_{ca} &= -1; c_{ca} = 0 \\
 f_{ab} + f_{bc} + f_{ca} &= -2 \\
 V_1 &= v_{-110}; d_1 = d_{-110} = 0,3535 \\
 V_2 &= v_{01-1}; d_2 = d_{01-1} = 0,1293 \\
 V_3 &= v_{000}; d_3 = d_{000} = 0,5172
 \end{aligned}$$

2.2.6 Popis funkce modulátoru zjednodušené SVM

Funkční řešení vektorového modulátoru zjednodušené SVM je totožné s modulátorem uvedeným v kapitole 2.2.4. Rozdíl spočívá pouze v použitém algoritmu určení pozice požadovaného vektoru \vec{u}_0 v rámci trojúhelníkové sítě. Blokové schéma modulátoru je tedy shodné s schématem uvedeným v předchozí kapitole, obrázek 2.15.

Struktura entity vektorového modulátoru s balancováním *menic_3NPC_novelSVM* je tvořena spojením šesti entit *en_reg_2*, *transform*, *novel_svm*, *novel_svm_mapovani*, *casovani* a *brana_PWM_3NPC_svm*. Struktura a celkové zapojení jednotlivých entit tvořících entitu *menic_3NPC_novelSVM* jsou přiblíženy na obrázku 2.30, větší obrázek je uveden v příloze 4.3.



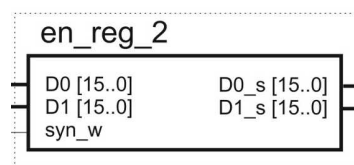
Obr. 2.30: Vnitřní struktura entity vektorového modulátoru zjednodušené SVM pro 3L-NPC měnič

Kontrolér DSC vystaví výstupní data řídicího algoritmu na sběrnici, kde si je přečte entita *bus_read_write* z nadřazené struktury MLC driveru a předá je ke zpracování entitě *menic_3NPC_novelSVM*. Vstupní entita *en_reg_2* přijme data (u_x, u_y) a se synchronizačním pulsem je předá dál ke zpracování entitou *transform*. Entita *transform* převede hodnoty u_x a

u_y , které definují požadovaný napěťový vektor u_0 , na trojici fázových napětí u_u , u_v a u_w . Hodnoty fázových napětí tvoří vstup pro entitou *novel_svm*, která na základě výpočtu algoritmu modulace novel SVM určí trojúhelníkový sektor, ve kterém se nachází požadovaný napěťový vektor. Určí také doby sepnutí tří vektorů tvořících vrcholy trojúhelníkového sektoru. Entita *novel_svm_mapovani* zajistí přemapování těchto tří vektorů na reálné spínací kombinace střídače 3L-NPC. Pokud je k dispozici více než jedna možná spínací kombinace, pak vybere tu kombinaci, která přispěje k balancování napětí na kondenzátorech ve stejnosměrném obvodu střídače. Entita *casovani* následně zajistí sepnutí spínací kombinace na požadovanou dobu sepnutí. Poslední entita *brana_PWM_3NPC_svm* sjednotí jednotlivé signály, tak aby odpovídaly pozičně i označením signálům na vstupech driverů střídače 3L-NPC.

2.2.6.1 Entita *en_reg_2*

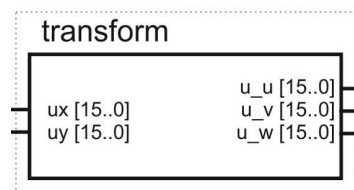
Vstupní a výstupní signály entity *en_reg_2* jsou přiblíženy na následujícím obrázku 2.31. Entita *en_reg_2* pracuje jako registr, který se synchronizačním impulsem přesune dvě 16bitová čísla (u_x , u_y) ze vstupu na výstup k dalšímu zpracování entitou *transform*.



Obr. 2.31: Entita *en_reg_2*

2.2.6.2 Entita *transform*

Vstupní a výstupní signály entity *transform* jsou přiblíženy na následujícím obrázku 2.32.

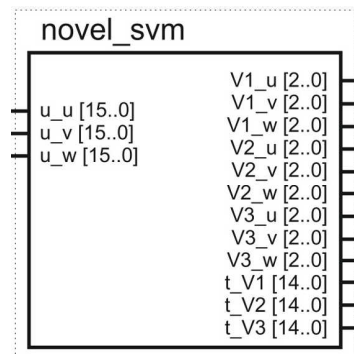


Obr. 2.32: Entita *transform*

Funkcí entity *transform* je převést napěťový vektor u_0 určený složkami u_x a u_y , na složky třífázového napětí u_u , u_v a u_w .

2.2.6.3 Entita *novel_svm*

Vstupní a výstupní signály entity *novel_svm* jsou zachyceny na obrázku 2.33. Popis algoritmu je uveden v kapitole 2.2.5. podrobnější popis lze nalézt v práci [37].



Obr. 2.33: Entita *novel_svm*

Entita *novel_svm* identifikuje trojúhelníkovou oblast, do které se promítne požadovaný napěťový vektor \vec{u}_0 . Identifikace spočívá ve výpočtu funkcí *floor* a *ceil* pro složky třífázového napětí u_u, u_v, u_w dle rovnic (2.26), (2.27) a (2.28). Funkce *floor*(x) najde nejbližší nižší celé číslo od čísla x . Funkce *ceil*(x) najde nejbližší vyšší celé číslo od čísla x .

$$f_u = \text{floor}(u_u), c_u = \text{ceil}(u_u) \quad (2.26)$$

$$f_v = \text{floor}(u_v), c_v = \text{ceil}(u_v) \quad (2.27)$$

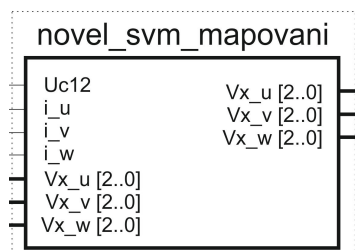
$$f_w = \text{floor}(u_w), c_w = \text{ceil}(u_w) \quad (2.28)$$

V závislosti na výsledku součtu tří hodnot funkcí *floor* (f_u, f_v, f_w) se vybere jedna ze dvou možných trojúhelníkových oblastí, která je ohraničená třemi vektory. Tyto vektory jsou pojmenovány jako $v_{p_1 p_2 p_3}$, kde indexy p_1, p_2 a p_3 jsou tvořeny přímo výsledkem příslušných funkcí *floor* a *ceil*. Doba sepnutí $d_{p_1 p_2 p_3}$, kde indexy p_1, p_2 a p_3 jsou rovněž tvořeny přímo výsledkem příslušných funkcí *floor* a *ceil*, je dána rozdílem dvou hodnot. Vypočtené hodnoty vektorů a časů sepnutí se předají entitě *casovani* ke zpracování. Výstup entity tvoří tři vektory (V_1, V_2 a V_3), které jsou složeny ze tří fází ($V_{x_u}, V_{x_v}, V_{x_w}$, kde x zastupuje čísla 1, 2 a 3). Jeden vektor tvoří trojice tříbitových čísel, jejichž hodnota nabývá celých čísel z intervalu $\langle -2, 2 \rangle$.

2.2.6.4 Entita *novel_svm_mapovani*

Vstupní a výstupní signály entity *novel_svm_mapovani* jsou uvedeny na následujícím obrázku Obr. 2.34. Entita *novel_svm_mapovani* přiřadí vstupní vektory definující trojúhelníkovou oblast s reálnou spínací kombinací měniče. Pokud je k dispozici více než jedna možná spína-

cí kombinace, pak je vybrána ta, která přispěje k balancování napětí na dvojici kondenzátorů ve stejnosměrném obvodu měniče. Přiřazení pro tříúrovňový střídač NPC je provedeno podle tabulky Tab. 2.3, kde pro reálnou spínací kombinaci je definováno fázové napětí měniče: $2 \Rightarrow \frac{1}{2}U_{dc}$, $1 \Rightarrow 0$ a $0 \Rightarrow -\frac{1}{2}U_{dc}$.



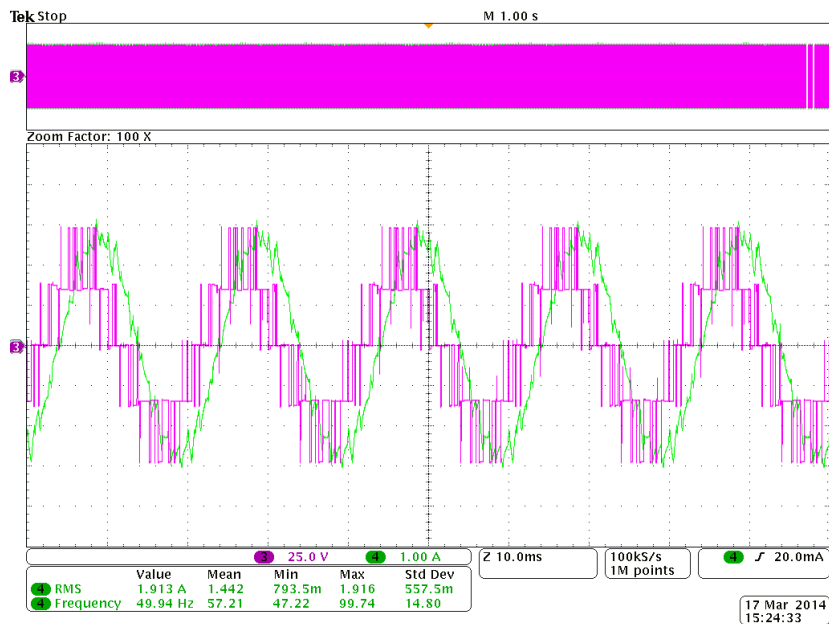
Obr. 2.34: Entita *novel_svm_mapovani*

2.2.6.5 Entity *casování a brana_PWM_3NPC_svm*

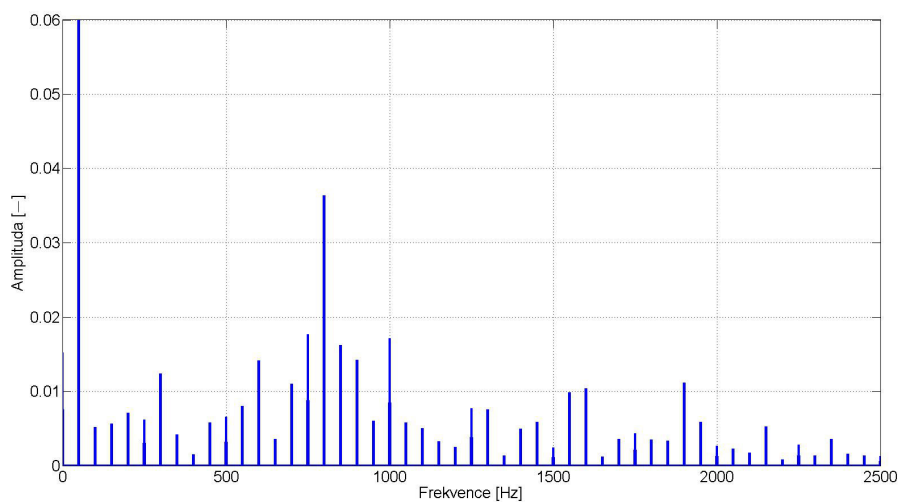
Entity *casování a brana_PWM_3NPC_svm* plní totožnou úlohu jako u vektorového modulátoru SVM podrobnější popis je uveden v kapitole 2.2.4.

2.2.6.6 Experimentální měření na prototypu měniče 3L-NPC

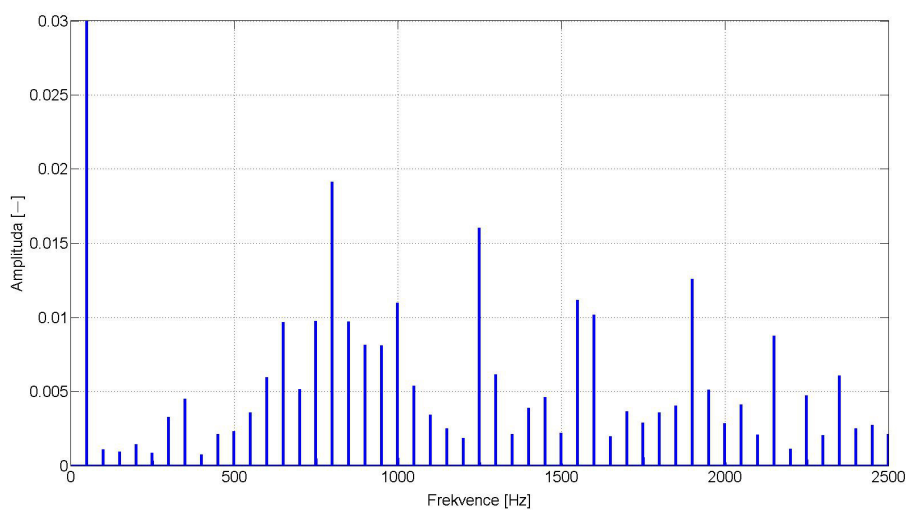
Experimentální měření proběhlo na vývojovém kitu pro víceúrovňové měniče MLC interface a prototypu tříúrovňového měniče 3L-NPC s RL zátěží. Vývojový kit použitý pro testy je odsazen mikrokontrolérem TMS320F28335 od firmy Texas Instruments a hradlovým polem FPGA EP3C40Q240C8 od firmy Altera. Parametry RL zátěže $R = 10 \Omega$, $L = 0,006 H$. Napětí ve stejnosměrném meziobvodu bylo nastaveno na $150 V$. Proud RL zátěží byl regulován na hodnotu $4,9 A$ v ustáleném stavu. Průběhy fázového napětí a proudu (fáze U) jsou pro hloubku modulace $1,0$ uvedeny na obrázku 2.35. Frekvenční spektrum fázového proudu a napětí pro hloubku modulace $1,0$ je zachycen na obrázcích 2.36, a 2.37. Výpočet THD je proveden dle vztahů (2.18), (2.19).



Obr. 2.35: Modulátor zjednodušené SVM, konstantní frekvence výstupního napětí 50 Hz, ustálený stav, spínací frekvence 800 Hz, hloubka modulaace 1,0, ch3: fázové napětí zátěže u_u (25 V/dílek), ch4: fázový proud zátěže i_u (1 A/dílek)



Obr. 2.36: Frekvenční spektrum fázového proudu zátěže i_u , horizontální osa - spektrální čáry frekvenčního spektra jsou násobky 50 Hz. Spektrální čára pro 50 Hz nabývá hodnoty 1,0 (100%). V grafu je tato hodnota oříznuta, aby byly rozlišitelné spektrální čáry pro vyšší harmonické složky. Hodnota THD je 5,49 %

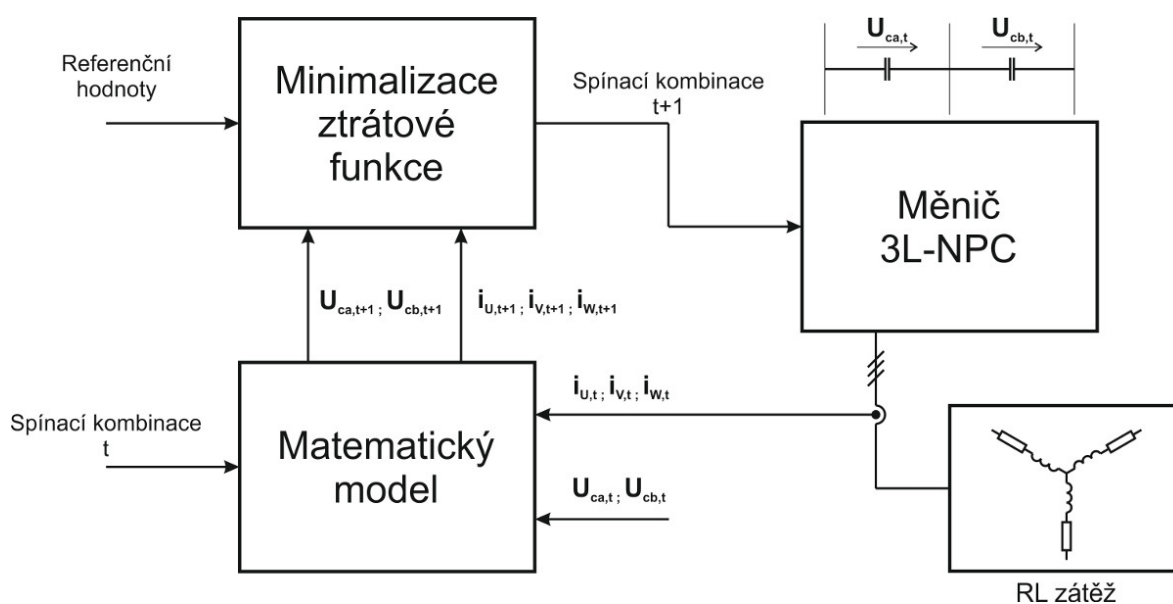


Obr. 2.37: Frekvenční spektrum fázového napětí zátěže u_u , horizontální osa - spektrální čáry frekvenčního spektra jsou násobky 50 Hz. Spektrální čára pro 50 Hz nabývá hodnoty 1,0 (100%). V grafu je tato hodnota oříznuta, aby byly rozlišitelné spektrální čáry pro vyšší harmonické složky. Hodnota THD je 24,73 %

2.2.7 Regulační algoritmy založené na prediktivním řízení s omezenou množinou akčních zásahů FCS-MPC

FCS-MPC patří do podskupiny MPC a je velmi dobře popsán např. v [38]. Samotné MPC nabízí možnou alternativu k běžně používaným řídicím metodám. Nejedná se jen o algoritmus modulace, ale o celou strukturu řídicího algoritmu, který obsahuje kromě části modulátoru i zpětnovazební regulaci proudu. Tato technika byla použita pro řízení víceúrovňových měničů např. v práci [39]. Algoritmus prediktivního řízení proudu byl modifikován a implementován pro měnič 3L-NPC, aby mohla být zmiňovaná regulační metoda srovnána s klasickými přístupy, a to jak s klasickou, tak i zjednodušenou SVM. Blokové schéma použitého FCS-MPC algoritmu je uvedeno na obrázku 2.38.

Základním principem algoritmu FCS-MPC je redukce možných řešení na omezený počet, ze kterých je vybráno takové, které nejlépe vyhovuje kritériu optimality definované ztrátovou funkcí. Spínané měniče mají pouze omezený počet možných spínacích kombinací, které definují napěťové vektory, a tím je také stanoven konečný počet možných řešení dané optimalizační úlohy. FCS-MPC pak vybírá takovou spínací kombinaci, pro kterou nabývá definovaná ztrátová funkce minimální hodnoty. Návrh ztrátové funkce hraje zásadní roli v chování navrženého regulátoru.



Obr. 2.38: Blokové schéma FCS-MPC regulátoru

Navrhovaný řídicí algoritmus umožňuje regulovat výstupní proud podle zadané referenční veličiny a zároveň balancovat napětí na kondenzátorech ve stejnosměrném mezikobvodu měniče. Řídicí algoritmus využívá matematický model popisující chování měniče. První sada rovnic modelu popisuje chování fázového proudu na zátěži RL fázovými rovnicemi (2.29), (2.30) a (2.31). Popis proudu fázovými rovnicemi byl zvolen na základě požadavku pro druhou část matematického modelu, který na základě znalosti fázových proudů vypočte

proudy, které tečou kondenzátory (2.32) a (2.33). Ze znalosti proudů kondenzátory lze určit chování napětí na kondenzátorech ve stejnosměrném meziobvodu měniče dle rovnic (2.34) a (2.35).

$$i_{u,t+1} = i_{u,t} - \frac{R_L \cdot \Delta t}{L_L} \cdot i_{u,t} + \frac{u_{u,t} \cdot \Delta t}{L_L} \quad (2.29)$$

$$i_{v,t+1} = i_{v,t} - \frac{R_L \cdot \Delta t}{L_L} \cdot i_{v,t} + \frac{u_{v,t} \cdot \Delta t}{L_L} \quad (2.30)$$

$$i_{w,t+1} = i_{w,t} - \frac{R_L \cdot \Delta t}{L_L} \cdot i_{w,t} + \frac{u_{w,t} \cdot \Delta t}{L_L}, \quad (2.31)$$

kde i_u , i_v a i_w jsou proudy v jednotlivých fázích zátěže, R_L je odpor jednotlivých fází zátěže, L_L je indukčnost v jednotlivých fázích zátěže, Δt je vzorkovací perioda.

$$i_{ca,t+1} = S_{a1} \cdot i_{u,t+1} + S_{a2} \cdot i_{v,t+1} + S_{a3} \cdot i_{w,t+1} \quad (2.32)$$

$$i_{cb,t+1} = S_{b1} \cdot i_{u,t+1} + S_{b2} \cdot i_{v,t+1} + S_{b3} \cdot i_{w,t+1} \quad (2.33)$$

$$U_{ca,t+1} = U_{ca,t} + \frac{i_{ca,t+1} \cdot \Delta t}{C_a} \quad (2.34)$$

$$U_{cb,t+1} = U_{cb,t} + \frac{i_{cb,t+1} \cdot \Delta t}{C_b}, \quad (2.35)$$

kde i_{ca} , i_{cb} , jsou proudy odebírané z kondenzátorů C_a , C_b ve stejnosměrném meziobvodu měniče. S_{a1} , S_{a2} , S_{a3} a S_{b1} , S_{b2} , S_{b3} jsou funkce určující vztah mezi proudem zátěže a proudem odebíraným z kondenzátorů C_a , C_b pro všechny uvažované spínací kombinace.

Algoritmus FCS-MPC pro popisovaný příklad spočívá v tom, že se vybírají postupně jednotlivé spínací kombinace, pro které se řeší stav systému v následujícím kroku (horizont 1). Pro každý predikovaný stav systému se dále počítá ztrátová funkce. Nakonec je vybrána spínací kombinace, pro kterou je hodnota ztrátové funkce minimální. FCS-MPC vybere jednu spínací kombinaci z předdefinované množiny, kterou zachycuje obrázek 2.13. Predikce budoucího stavu regulovaného systému pro všechny spínací kombinace je ohodnocena vztahy (2.29), (2.30) a (2.31). Optimální řídicí zásah je pak získán minimalizací:

$$a_t^*, \dots, a_{t+h-1}^* = \underset{a_t, \dots, a_{t+h-1}}{\operatorname{argmin}} \sum_{\tau=t+1}^{t+h} L_\tau(x_\tau), \quad (2.36)$$

kde $L_\tau(x_\tau)$ je člen ztrátové funkce a h je horizont predikce. Při minimalizaci ztrátové funkce neuvažujeme řešení na celém horizontu, ale pouze následující akční zásah a_t^* je použit pro skutečné řízení. Většina řídicích algoritmů využívající FCS-MPC pracuje pouze

s horizontem 1, vzhledem k exponenciálnímu nárůstu výpočetních nároků se zvyšujícím se horizontem.

Základní ztrátová funkce pro horizont 1 je pak:

$$L_{\tau} = L_u \cdot Q_u + L_v \cdot Q_v + L_w \cdot Q_w + L_{ua} \cdot Q_{ca} + L_{ub} \cdot Q_{cb}, \quad (2.37)$$

kde $L_u = (i'_{u,t} - i_{u,t})^2$, $L_v = (i'_{v,t} - i_{v,t})^2$, $L_w = (i'_{wt} - i_{wt})^2$, $L_{ua} = (U'_{ca,t} - U_{ca,t})^2$, $L_{ub} = (U'_{cb,t} - U_{cb,t})^2$ a $i'_{u,t}$, $i'_{v,t}$, $i'_{w,t}$, $U'_{ca,t}$ a $U'_{cb,t}$ jsou referenční hodnoty, Q_u , Q_v , Q_w , Q_{ca} a Q_{cb} jsou konstanty penalizující odchylku jednotlivých veličin od zadaných referencí. FCS-MPC se vyznačuje proměnlivou spínací frekvencí a pevně danými spínacími časy. Volba optimální periody vzorkování je obtížná. Vzhledem k tomu, že součástí ztrátové funkce nebyla penalizace na změnu spínací kombinace, čímž lze řídit spínací frekvenci, byla perioda vzorkování zvolena jako kompromis mezi dovolenými spínacími ztrátami a akceptovatelným THD.

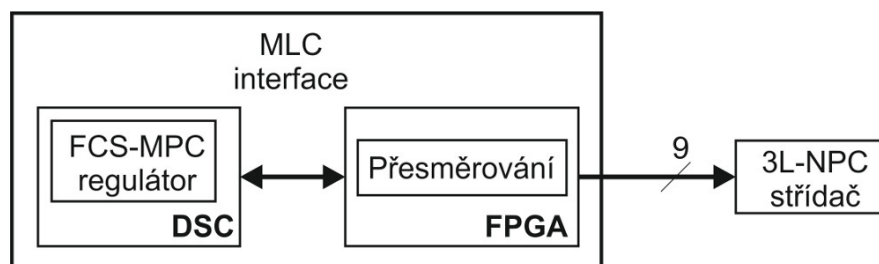
Při použití FCS-MPC je možné vhodnou úpravou ztrátové funkce zajistit nižší spínací ztráty při zachování relativně nízkých hodnot THD, penalizací opakovaného přepnutí jednotlivých spínacích součástí. K řízení měniče jsou pak upřednostněny takové spínací kombinace, kde změní svůj stav minimum spínacích prvků. Ztrátová funkce (2.37) použitá k řízení je doplněna o další člen:

$$L_{SW} = (S_{w1} - S_{w2}) \cdot Q_{sw}, \quad (2.38)$$

kde S_{w1} je příznak stavu spínacích prvků v předchozím kroku, S_{w2} je příznak stavu ve stávajícím kroku, Q_{sw} je penalizace celého doplňujícího členu. Při návrhu ztrátové funkce je nutné brát ohled na optimální naladění jednotlivých penalizací. V případě rozsáhlé ztrátové funkce může být optimální nastavení jednotlivých penalizací velmi náročné.

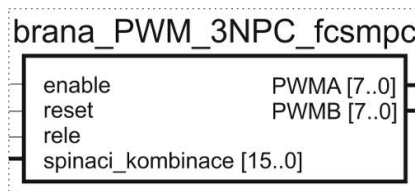
2.2.8 Popis funkce regulátoru FCS-MPC

Blokové schéma na obrázku 2.39 znázorňuje funkci navrženého regulátoru FCS-MPC. Jak je z obrázku patrné, výpočet algoritmu regulátoru je proveden v kontroléru DSC. Hradlové pole FPGA pouze přesměruje spínací kombinace vybrané algoritmem FCS-MPC a zapíše je na příslušné řídicí vstupy tříúrovňového střídače NPC. Implementace FCS v FPGA není primárním cílem práce, neboť nezapadá do koncepce univerzálního modulátoru (není to modulátor). Vzhledem ke komplikovanosti převodu modelů do pevné řádové čárky se upustilo od implementace kompletního regulátoru do FPGA.



Obr. 2.39: Blokové schéma řídicí jednotky MLC interface a měniče 3L-NPC

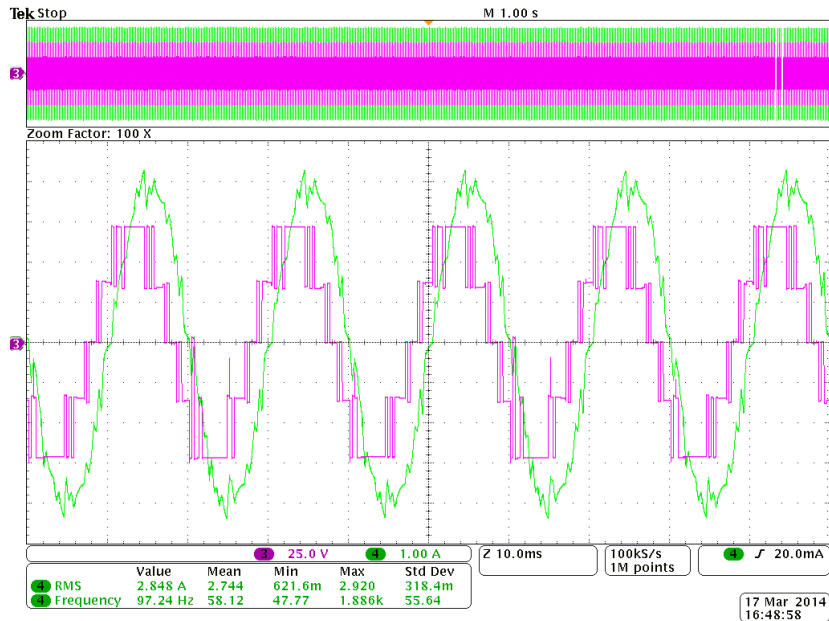
Vstupní a výstupní signály entity *brana_PWM_3NPC_fsmpc* jsou zobrazeny na obrázku 2.40.



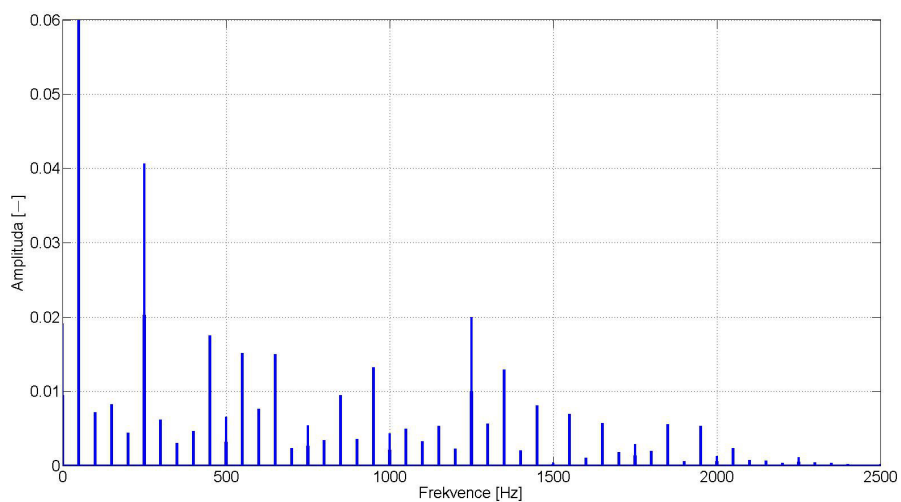
Obr. 2.40: Struktura entity *menic_3NPC_FS_MPC*

2.2.9 Experimentální měření na prototypu měniče 3L-NPC

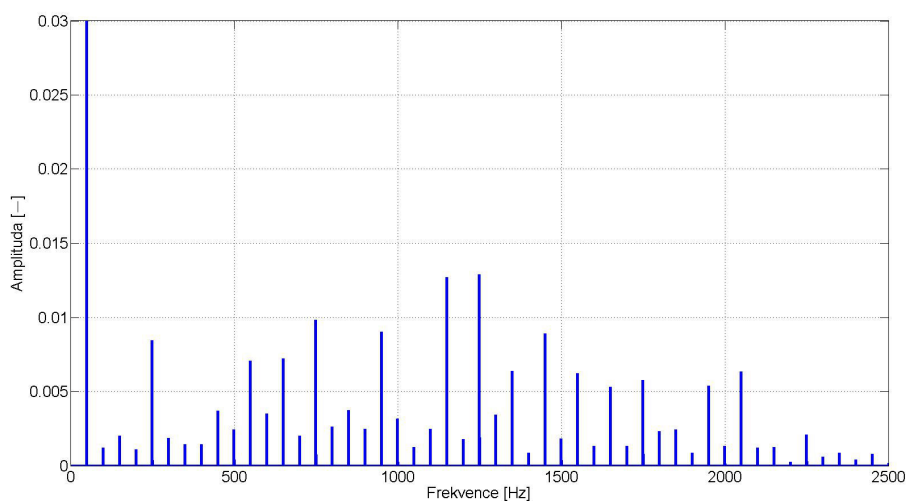
Experimentální měření proběhlo na vývojovém kitu pro víceúrovňové měniče MLC interface a prototypu tříúrovňového měniče 3L-NPC s RL zátěží. Vývojový kit použitý pro testy je osazen mikrokontrolérem TMS320F28335 od firmy Texas Instruments a hradlovým polem FPGA EP3C40Q240C8 od firmy Altera. Parametry RL zátěže jsou $R = 10 \Omega$, $L = 0,006 H$. Napětí ve stejnosměrném meziobvodu bylo nastaveno na $150 V$. Proud RL zátěží byl regulován na hodnotu amplitudy $4,9 A$ v ustáleném stavu. Průběhy fázového napětí a proudu (fáze U) jsou pro hloubku modulace uvedeny na obrázku 2.41. Frekvenční spektrum fázového proudu a napětí pro příslušnou hloubku modulace je zachycen na obrázcích 2.42 a 2.43. Výpočet THD je proveden dle vztahů (2.18), (2.19).



Obr. 2.41: Regulátor FCS-MPC, konstantní frekvence výstupního napětí 50 Hz, ustálený stav, spínací frekvence 800 Hz, hloubka modulace 1,0, ch3: fázové napětí zátěže u_u (25 V/dílek), ch4: fázový proud zátěže i_u (1 A/dílek)



Obr. 2.42: Frekvenční spektrum fázového proudu zátěže i_u , horizontální osa - spektrální čáry frekvenčního spektra jsou násobky 50 Hz. Spektrální čára pro 50 Hz nabývá hodnoty 1,0 (100%). V grafu je tato hodnota oříznuta, aby byly rozlišitelné spektrální čáry pro vyšší harmonické složky. Hodnota THD je 5,70 %



Obr. 2.43: Frekvenční spektrum fázového napětí zátěže u_u , horizontální osa - spektrální čáry frekvenčního spektra jsou násobky 50 Hz. Spektrální čára pro 50 Hz nabývá hodnoty 1,0 (100%). V grafu je tato hodnota oříznuta, aby byly rozlišitelné spektrální čáry pro vyšší harmonické složky. Hodnota THD je 17,02 %

2.2.10 Dílčí závěr

Byly implementovány tři různé algoritmy řízení s cílem ověřit jejich funkčnost, náročnost samotné implementace a naměřit charakteristické výstupní veličiny měniče, tj. fázové napětí a proud zátěže, na jejichž základě by bylo možné vzájemné srovnání algoritmů. Funkčnost implementace algoritmů, byla experimentálně ověřena na prototypu tříúrovňového střídače NPC. Naměřené průběhy jsou uvedeny na obrázcích 2.24, 2.35 a 2.41.

Tab. 2.6: Vypočtené hodnoty THD pro jednotlivé modulače

3L-NPC	SV-PWM	Zjednodušená SVM	FCS-MPC
Fázový proud	6,72 %	5,49 %	5,70 %
Fázové napětí	26,46 %	24,73 %	17,02 %

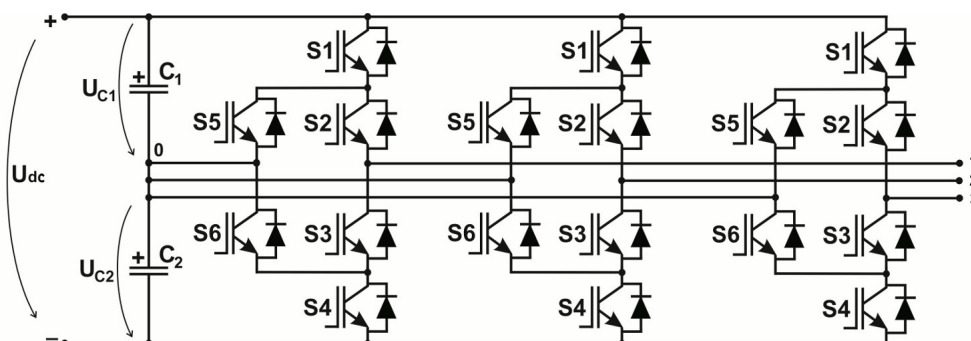
Z naměřených dat vycházejí následující hodnoty THD u fázového proudu zátěže: modulátor SVM - 6,72 %, modulátor zjednodušené SVM - 5,49 %, regulátor FCS-MPC - 5,70 %. Dalším výstupem je výpočet THD pro fázové napětí zátěže: modulátor SVM - 26,46 %, modulátor zjednodušené SVM - 24,73 %, regulátor FCS-MPC - 17,02 %. Výrazně lepšího výsledku dosahuje regulátor FCS-MPC ve srovnání hodnot THD fázového napětí zátěže, což je patrné i z obrázku 2.43, kde nejsou zastoupeny vyšší harmonické složky. Ve srovnání hodnot THD pro fázové proudy zátěže dosahuje nejlepšího výsledku modulátor zjednodušené SVM. U posledního zjišťovaného parametru implementační náročnosti vychází nejlépe modulátor zjednodušené SVM, oproti zbývajícím dvěma modulátorům nevyžaduje jeho algoritmus výpočet goniometrických funkcí. Nejnáročněji vychází z principu regulátor FCS-MPC, protože kromě samotného výběru spínací kombinace je součástí jeho algoritmu regulátor proudu, výpočet matematického modelu a výpočet ztrátové funkce, která zajišťuje balancování. Zbylé dva modulátory využívají pro balancování jednoduchou logickou funkci, která vychází z tabulky 2.2. Pokud bychom chtěli během fáze výpočtu balancování napětí zajišťovat i rovnoměrné rozložení spínacích ztrát, pak by bylo výhodnější použít regulátor FCS-MPC, a to právě díky výpočtu ztrátové funkce, kde by bylo nutné přidat parametr penalizující několikanásobné sepnutí stejného prvku v rámci jedné spínací periody. Spotřebované zdroje jednotky FPGA implementací jednotlivých modulátorů jsou uvedeny v přehledové tabulce 2.7. Datová cesta udává časový údaj od změny dat na vstupu entity do změny dat na výstupu entity. Nejhorší datová cesta pak udává nejdelší datovou cestu ze všech dílčích entit tvořících entitu modulátoru.

Tab. 2.7: Spotřebované zdroje v jednotce FPGA

Modulátor	Logické buňky	Registry	Celkem	Nejhorší cesta dat
SV-PWM	2174	373	3765 (10%)	19,638 ns
Zjednodušená SVM	1249	185	2869 (7%)	10,243 ns

2.3 Tříúrovňový střídač ANPC

Topologie měniče ANPC vznikla odvozením z topologie tříúrovňového měniče s upínacími diodami. Na obrázku 2.44 je schéma třífázového střídače ANPC. Od střídače NPC se liší pouze tím, že upínací diody, které upínají místa mezi sériově spojenými prvky v každé větvi k tzv. nulovému bodu mezi kondenzátory stejnosměrného meziobvodu, byly doplněny IGBT tranzistory ($S5, S6$). Pokud je požadavek na nulovou úroveň výstupního napětí, pak je možné čtyřmi různými kombinacemi sepnutí vybrat, zda poteče proud horní ($S2, S5$), nebo dolní ($S3, S6$) upínací cestou. Tato možnost je pak využívána k vyrovnávání rozložení ztrát na součástkách ve větvi měniče. Podrobnější informace o balancování a rovnoměrného rozdělení spínacích ztrát lze nalézt v pracích [40], [41].

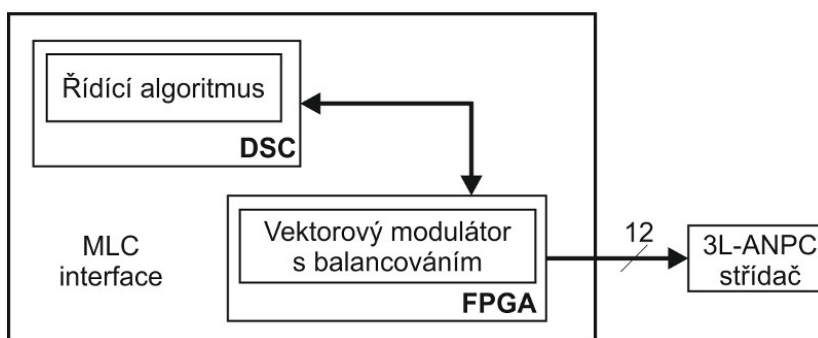


Obr. 2.44: Tříúrovňový třífázový střídač ANPC

Spínací kombinace uvedené v předchozí kapitole fungují po nezbytné úpravě i pro střídač ANPC. Úprava spínacích kombinací pro střídač ANPC je uvedena v tabulce Tab. 2.9. Rozdílným stavem u střídače ANPC je nulová spínací kombinace, kterou lze vytvořit čtyřmi spínacími kombinacemi označovanými kódovými slovy: $0U2$, $0U1$, $0L1$ a $0L2$. Byla provedena analýza známého řešení, na jejímž základě byly spínací kombinace modifikovány a výrazně zjednodušeny. Pro navrhovaný vektorový modulátor SVM byla omezena pouze na dvě spínací kombinace, a to $0U2$ a $0L2$. Tyto spínací kombinace byly začleněny do spínacích sekvencí tak, že je-li pro střídač NPC ve spínací kombinaci přechod ze stavu 0 ("–") do stavu 1 ("0"), bude tento přechod změněn u střídače ANPC na přechod ze stavu 0 ("–") do stavu 1 ($0L2$). Obdobně pak, je-li ve spínací kombinaci NPC přechod ze stavu 2 ("+") do stavu 1 ("0"), bude tento přechod změněn u ANPC na přechod ze stavu 2 ("–") do stavu 1 ($0U2$). Příklad rozdílného spínání pro jednu fázi střídačů NPC a ANPC je uveden v tabulce 2.10.

2.3.1 Popis funkce modulátoru SV-PWM

Blokové schéma na obrázku 2.45 nastiňuje zapojení navržené řídicí jednotky včetně vnitřní komunikační struktury MLC interface a datovou cestu ovládající činnost tříúrovňového střídače ANPC. Výpočet algoritmu je opět rozdělen do dvou částí, v kontroléru DSC je proveden výpočet algoritmu řízení a měření fázových proudů a napětí na kondenzátorech ve stejnosměrném obvodu střídače ANPC, výpočet algoritmu vektorového modulátoru s balancováním je zpracován jednotkou FPGA. Sada vypočtených a změřených hodnot, která je předána z DSC do FPGA, je totožná s verzí pro tříúrovňový střídač NPC (viz. kapitola 2.2.4). Rozdíl je v počtu řídicích signálů pro střídač ANPC, jsou nutné další tři PWM signály pro řízení IGBT tranzistorů zastupujících činnost upínacích diod.



Obr. 2.45: Blokové schéma řídicí jednotky MLC interface a střídače 3L-ANPC

Struktura entity vektorového modulátoru *menic_3ANPC_SVM* je tvořena spojením sedmi dílčích entit *sektor*, *cordic_cs*, *oblast_casy*, *svm_mapovani_ANPC*, *casova_tabule_ANPC*, *casovani_ANPC*, *brana_PWM_3ANPC_svm*. Celkové zapojení jednotlivých entit tvořících entitu *menic_3ANPC_SVM* je zachycena na obrázku 2.46, větší obrázek je uveden v příloze Obr. 4.4.

Kontrolér DSC vystaví sadu předávaných data na sběrnici, kde si je vyčte entita *bus_read_write* z nadřazené struktury MLC driveru a předá je ke zpracování entitě *menic_3ANPC_SVM*. Entity *sektor*, *cordic_cs sektor* vykonávají totožnou funkci tak, jak byla popsána v kapitole 2.2.4. Rozdíl ve zpracování algoritmu nastává v okamžiku mapování, kde je zavedena indexace vektorů ve vrcholech trojúhelníkových oblastí pro snadnější

Tab. 2.8: Spínání jedné fáze NPC

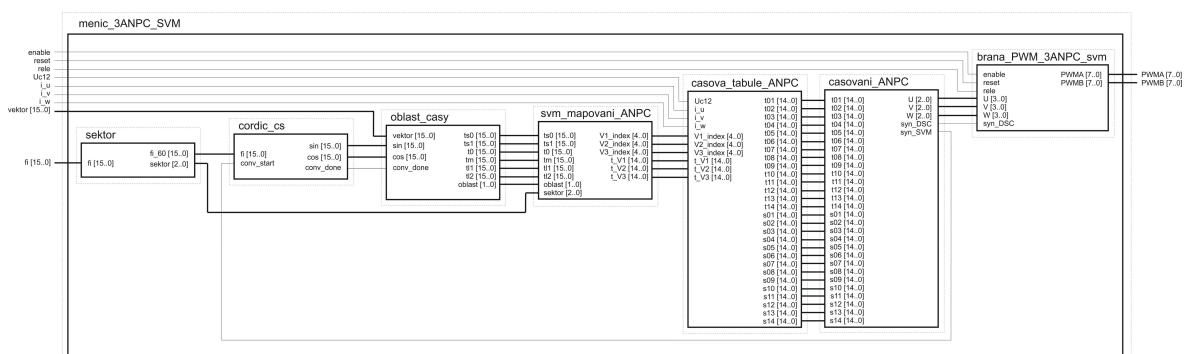
NPC		S1	S2	S3	S4
2	"+"	1	1	0	0
1	"0"	0	1	1	0
0	"-"	0	0	1	1

Tab. 2.9: Spínání jedné fáze ANPC

ANPC		S1	S2	S3	S4	S5	S6
2	"+"	1	1	0	0	0	0
1	"0U2"	0	1	0	0	1	0
	"0U1"	0	1	0	1	1	0
	"0L1"	1	0	1	0	0	1
	"0L2"	0	0	1	0	0	1
0	"-"	0	0	1	1	0	0

Tab. 2.10: Příklad spínací sekvence pro sektor 1 oblast 1

NPC			ANPC		
"_"	"_"	"_"	"_"	"_"	"_"
"0"	"_"	"_"	"0L2"	"_"	"_"
"0"	"0"	"_"	"0L2"	"0L2"	"_"
"0"	"0"	"0"	"0L2"	"0L2"	"0L2"
"+"	"0"	"0"	"+"	"0L2"	"0L2"
"+"	"+"	"0"	"+"	"+"	"0L2"
"+"	"+"	"+"	"+"	"+"	"+"
"+"	"+"	"0"	"+"	"+"	"0U2"
"0"	"0"	"0"	"+"	"0U2"	"0U2"
"0"	"0"	"0"	"0U2"	"0U2"	"0U2"
"0"	"0"	"_"	"0U2"	"0U2"	"_"
"0"	"_"	"_"	"0U2"	"_"	"_"
"_"	"_"	"_"	"_"	"_"	"_"



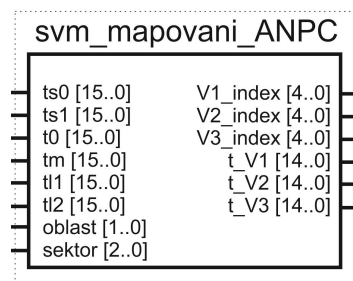
Obr. 2.46: Vnitřní struktura entity vektorového modulátoru SV-PWM pro 3L-ANPC střídač

výběr spínacích kombinací (podrobněji viz. obrázek 2.48) a stanovení jejich časů sepnutí. O indexaci se stará entita *svm_mapovani_ANPC*. Oproti standardnímu řešení byl algoritmus vyvažování upraven tak, aby algoritmus modulátoru využíval všech spínacích kombinací, jak těch, které vyvažují, tak těch, které rozvažují napětí na kondenzátorech ve stejnosměrném meziobvodu. Poměr časů sepnutí pro upravený algoritmus je nastaven na $\frac{2}{3}$ spínací periody pro vyvažující kombinace a $\frac{1}{3}$ spínací periody pro rozvažující. Sestavení této spínací

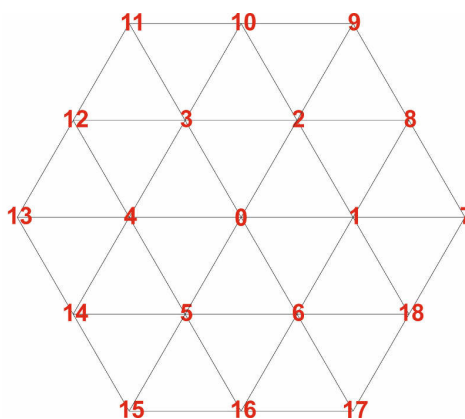
sekvence včetně výpočtu příslušných časů sepnutí zpracuje entita *casova_tabule_ANPC*. Entita *casovani_ANPC* následně provede sepnutí příslušných spínacích kombinací na danou dobu sepnutí. Poslední entita *brana_PWM_3ANPC_svm* zapíše na příslušné výstupy zkompletované řídicí signály tak, aby se shodovaly se vstupy driverů střídače 3L-ANPC.

2.3.1.1 Entita *svm_mapovani_ANPC*

Vstupní a výstupní signály entity *svm_mapovani_ANPC* jsou uvedeny na obrázku 2.47. Entita *svm_mapovani_ANPC* přijme informaci o pozici požadovaného vektoru (*oblast*, *sektor*) a vypočtené časy sepnutí, na základě těchto dat určí vektorům (V_1 , V_2 a V_3) indexy podle obrázku 2.48 a přiřadí jim časy sepnutí (t_{V1} , t_{V2} a t_{V3}).



Obr. 2.47: Entita *svm_mapovani_ANPC*

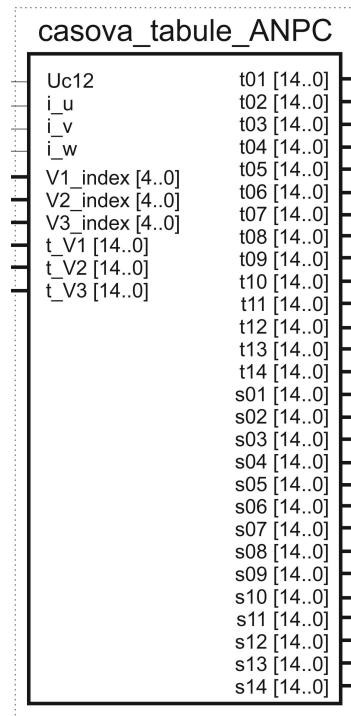


Obr. 2.48: Indexování pro střídač ANPC

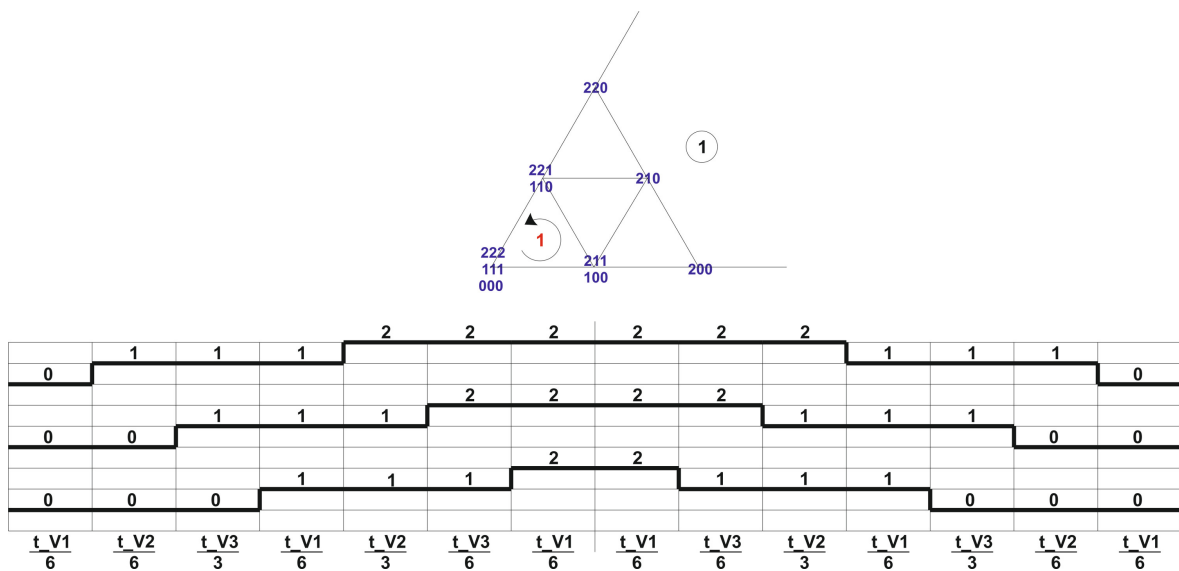
2.3.1.2 Entita *casova_tabule_ANPC*

Vstupní a výstupní signály entity *casova_tabule_ANPC* jsou zobrazeny na obrázku 2.49. Entita *casova_tabule_ANPC* na základě indexů vektorů, časů jejich sepnutí a informací o napětí na kondenzátorech (U_{c12} , "1" $\Rightarrow U_{c1} > U_{c2}$, "0" $\Rightarrow U_{c1} < U_{c2}$) a polaritě fázových proudů (i_u , i_v , i_w) sestaví spínací sekvenci ze všech možných spínacích kombinací (s_{01} , ... , s_{14}) dané trojúhelníkové oblasti a přiřadí těmto kombinacím příslušný díl času sepnutí

(t_{01}, \dots, t_{14}). Čas sepnutí je rozdělen v poměru $\frac{2}{3}$ pro vyvažující kombinace a $\frac{1}{3}$ pro rozvažující kombinace. Příklad takto sestavené spínací sekvence je uveden na obrázku 2.50.



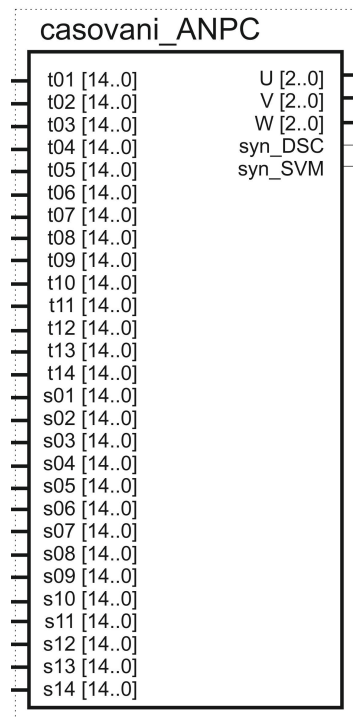
Obr. 2.49: Entita *casova_tabule_ANPC*



Obr. 2.50: Spínací sekvence pro sektor 1 a oblast 1 pro měnič 3L-ANPC

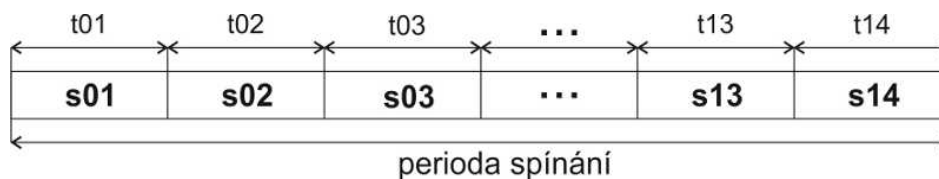
2.3.1.3 Entita *casovani_ANPC*

Vstupní a výstupní signály entity *casovani_ANPC* jsou přiblíženy na obrázku Obr. 2.51.



Obr. 2.51: Entita *casovani_ANPC*

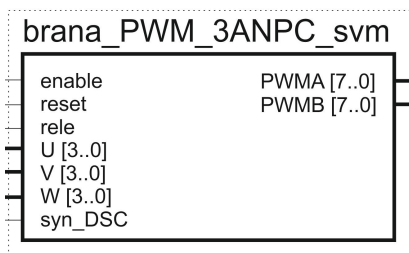
Entita *casovani_ANPC* přijme jednotlivé spínací kombinace a doby jejich sepnutí. Tyto hodnoty vystaví na výstupu podle dané sekvence spínání, kterou zobrazuje obrázek 2.52. Další funkcí této entity je vygenerování synchronizačních impulsů pro kontrolér DSC a entitu *sektor*.



Obr. 2.52: Sekvence spínání navrženého modulátoru pro 3L-ANPC

2.3.1.4 Entita *brana_PWM_3ANPC_svm*

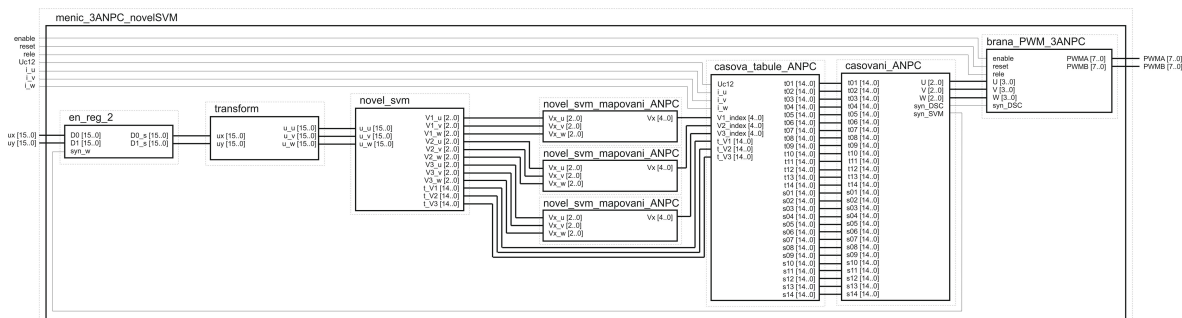
Vstupní a výstupní signály entity *brana_PWM_3ANPC_svm* jsou zachyceny obrázku 2.53. Entita *brana_PWM_3ANPC_svm* přijme veškeré řídicí signály pro měnič ANPC, přeuspořádá jejich pozici tak, aby odpovídala požadavkům budičů měniče 3L-ANPC a pošle je na výstup.



Obr. 2.53: Entita *brana_PWM_3ANPC_svm*

2.3.2 Popis funkce modulátoru zjednodušené SVM

Zapojení navržené řídicí jednotky a vektorového modulátoru zjednodušené SVM se střídačem ANPC je totožný s variantou klasické SVM na obrázku 2.45. Struktura entity vektorového modulátoru zjednodušené SVM s balancováním je tvořena spojením sedmi samostatných entit *en_reg_2*, *transform*, *novel_svm*, *novel_svm_mapovani_ANPC*, *casova_tabule_ANPC*, *casovani_ANPC* a *brana_PWM_3ANPC*. Struktura a celkové zapojení jednotlivých entit tvořících entitu *menic_3ANPC_novelSVM* je zachycena na obrázku 2.54, větší obrázek je uveden v příloze Obr. 4.5.



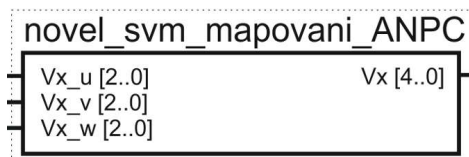
Obr. 2.54: Vnitřní struktura entity vektorového modulátoru zjednodušené SVM pro 3L-ANPC střídač

Kontrolér DSC vystaví sadu výstupních dat na sběrnici, kde si je následně vyčte entita *bus_read_write* z nadřazené struktury MLC driveru a předá je ke zpracování entitě *menic_3ANPC_novelSVM*. Funkce entit *en_reg_2*, *transform*, *novel_svm* jsou totožné s entitami popsanych v kapitole 2.2.6. Jedinou entitou s rozdílnou funkcí je *novel_svm_mapovani_ANPC*. Rozdíl spočívá ve změně výstupů entity na indexy reprezentu-

ující reálné spínací kombinace. Funkce entit *casova_tabule_ANPC*, *casovani_ANPC* a *brana_PWM_ANPC* se schodují s entitami popsaných v kapitole 2.3.1.

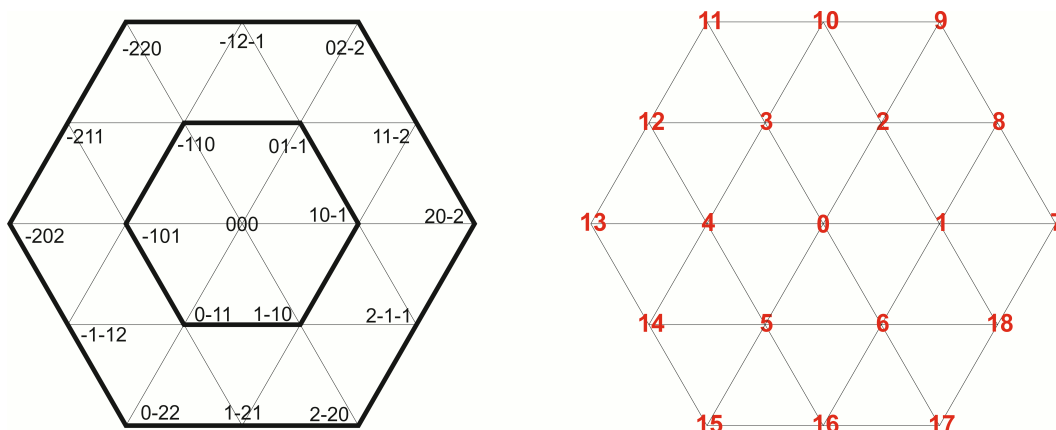
2.3.2.1 Entita *novel_svm_mapovani_ANPC*

Vstupní a výstupní signály entity *novel_svm_mapovani_ANPC* jsou přiblíženy na obrázku 2.55.



Obr. 2.55: Entita *novel_svm_mapovani_ANPC*

Entita *novel_svm_mapovani_ANPC* ztotožní vstupní vektory definující trojúhelníkovou oblast s indexy reálných spínacích kombinací střídače 3L-ANPC podle následujícího obrázku 2.56.



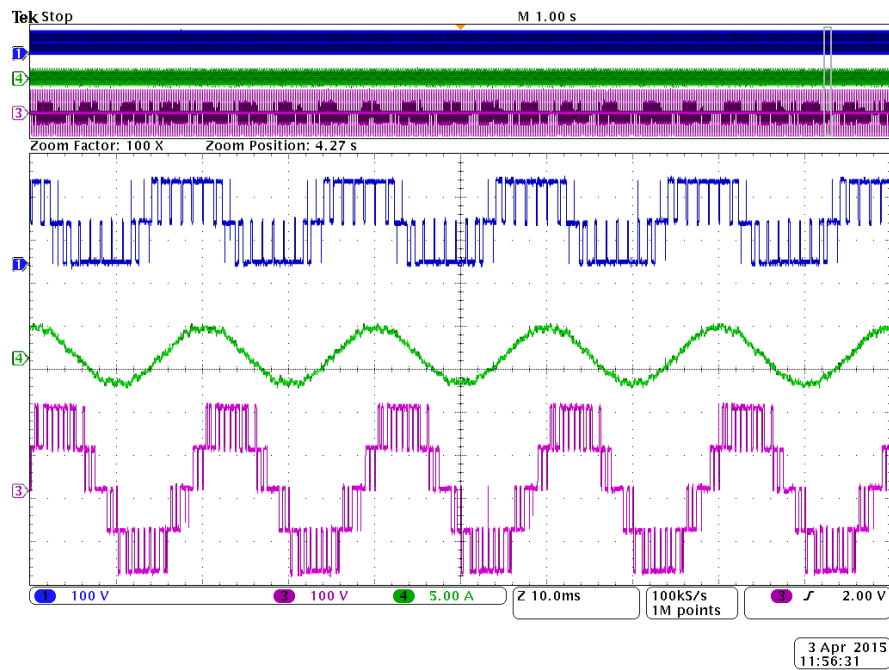
Obr. 2.56: Mapování - označení oblastí algoritmem zjednodušené SVM (vlevo), indexy reálných spínacích kombinací (vpravo)

2.3.3 Experimentální měření na prototypu měniče 3L-ANPC

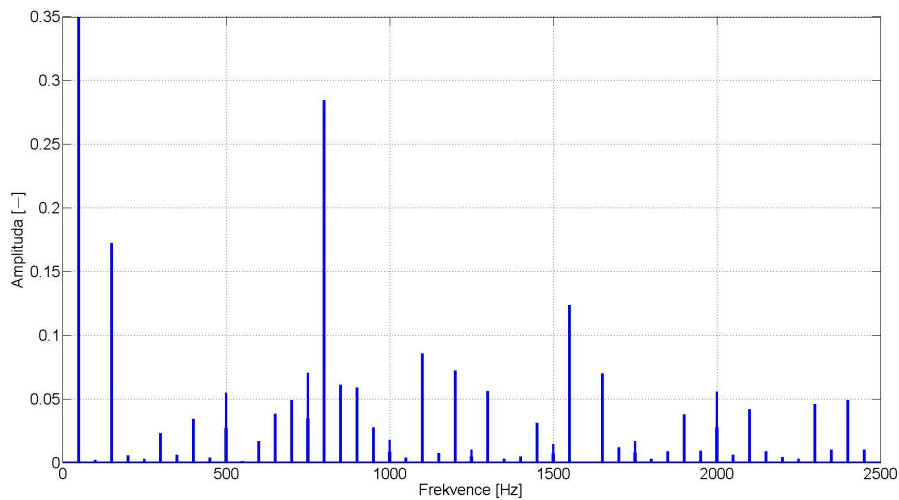
Měření bylo provedeno na pohonu s asynchronním motorem a prototypem tříúrovňového měniče ANPC. Pro řízení motoru bylo využito skalární řízení. Výpočet skalárního řízení probíhal kompletně v DSC, oba typy modulátorů byly implementovány v FPGA. Řízen byl asynchronní motor o jmenovitém výkonu 11kW, motor byl pro měření ustálených stavů nezátížen. Naměřeny byly průběhy fázového proudu na výstupu střídače i_w , fázového napětí střídače U_w a sruženého napětí U_{ww} na výstupu střídače. Z naměřených dat jednotlivých průběhů byla vypočtena hodnota THD. Výpočet hodnot THD je proveden dle vztahů (2.18), (2.19).

Naměřené a vypočtené hodnoty pro modulátor SVM jsou uvedeny na obrázcích 2.57, 2.58, 2.59 a 2.60. Z naměřených dat vyplývají následující hodnoty THD: fázové napětí U_w - 42,63%, sdružené napětí U_{uw} - 23,29% a fázový proud i_w - 6,3%.

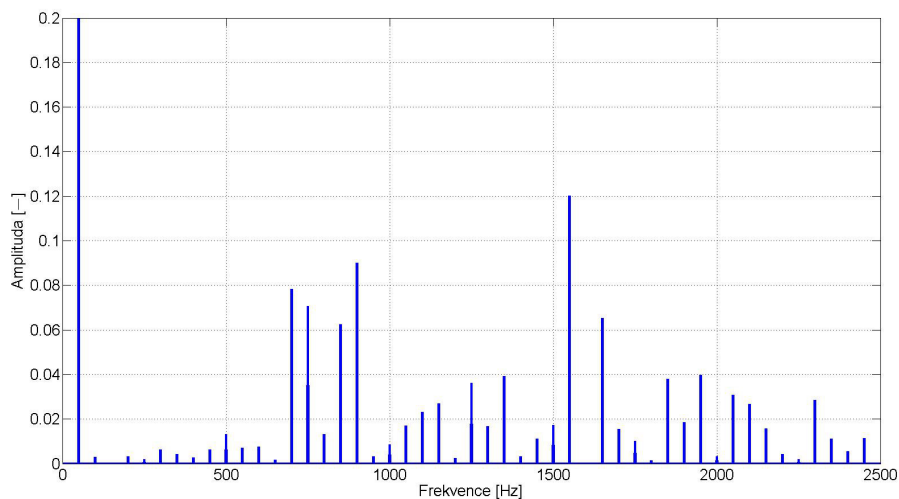
Naměřené a vypočtené hodnoty pro modulátor zjednodušené SVM jsou uvedeny na obrázcích 2.61, 2.62, 2.63 a 2.64. Z naměřených dat vyplývají následující hodnoty THD: fázové napětí U_w - 45,41%, sdružené napětí U_{uw} - 24,53% a fázový proud i_w - 7,08%.



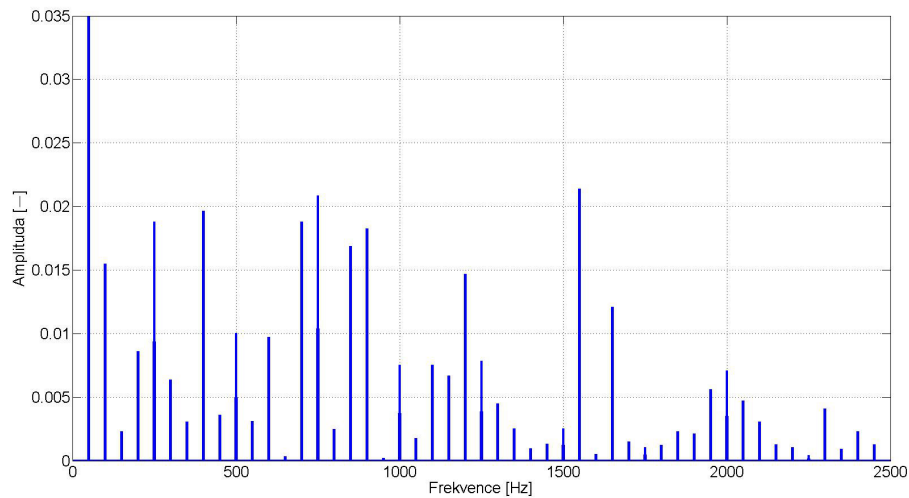
Obr. 2.57: Modulátor SV-PWM - průběh chování tříúrovňového střídače ANPC v ustáleném stavu ($U_{dc} = 200[V]$, hloubka modulace = 0,9, frekvence modulačního signálu 50[Hz], spínací frekvence 800[Hz]), Ch1: fázové napětí střídače U_w [100V/dílek], Ch3: sdružené napětí střídače U_{uw} [100V/dílek], Ch4: fázový proud střídače i_w [5A/dílek]



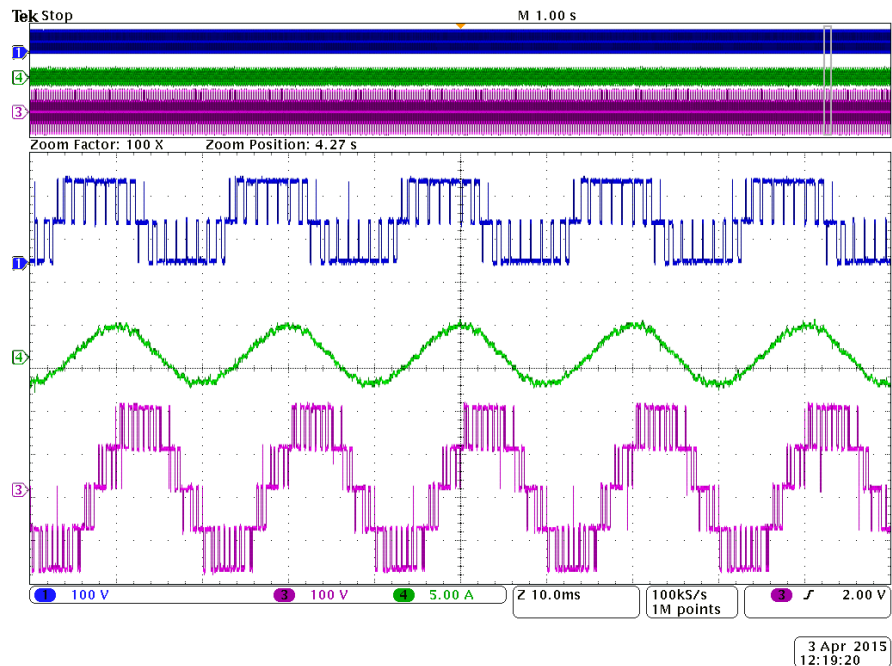
Obr. 2.58: Modulátor SV-PWM - frekvenční spektrum fázového napětí střídače U_w , horizontální osa - spektrální čáry frekvenčního spektra jsou násobky 50 Hz. Spektrální čára pro 50 Hz nabývá hodnoty 1,0 (100%). V grafu je tato hodnota oříznuta, aby byly rozlišitelné spektrální čáry pro vyšší harmonické složky. Hodnota THD je 42,63%



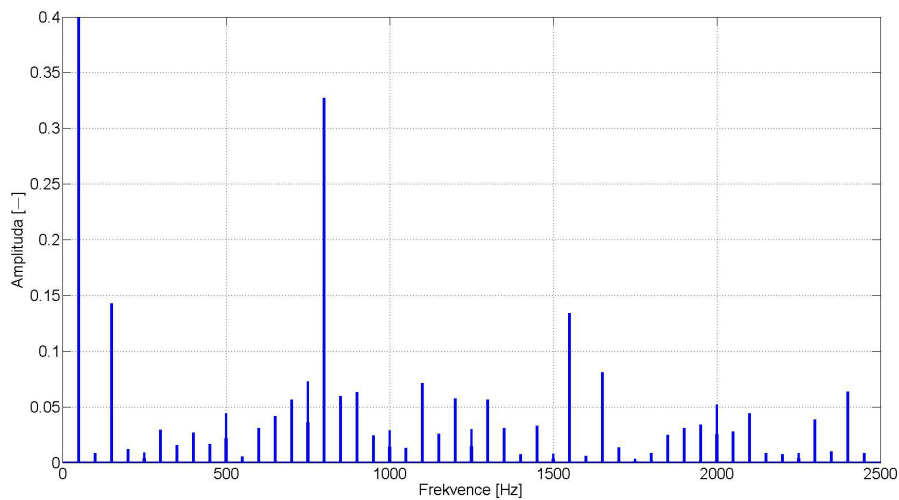
Obr. 2.59: Modulátor SV-PWM - frekvenční spektrum sdruženého napětí střídače U_{uv} , horizontální osa - spektrální čáry frekvenčního spektra jsou násobky 50 Hz. Spektrální čára pro 50 Hz nabývá hodnoty 1,0 (100%). V grafu je tato hodnota oříznuta, aby byly rozlišitelné spektrální čáry pro vyšší harmonické složky. Hodnota THD je 23,29%



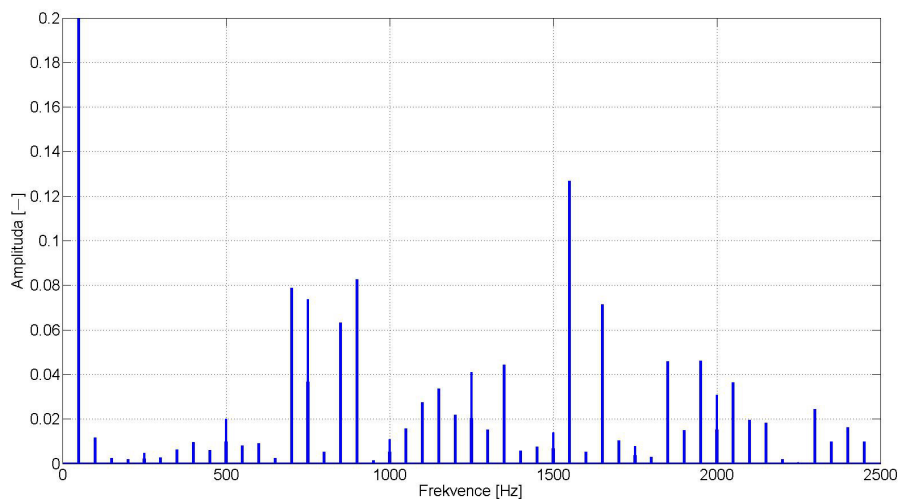
Obr. 2.60: Modulátor SV-PWM - frekvenční spektrum fázového proudu střídače i_w , horizontální osa - spektrální čáry frekvenčního spektra jsou násobky 50 Hz. Spektrální čára pro 50 Hz nabývá hodnoty 1,0 (100%). V grafu je tato hodnota oříznuta, aby byly rozlišitelné spektrální čáry pro vyšší harmonické složky. Hodnota THD je 6,3%



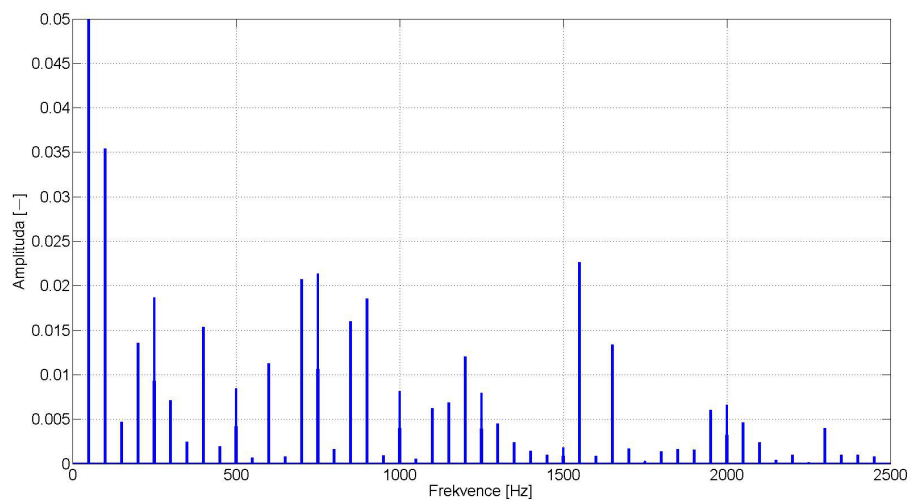
Obr. 2.61: Modulátor zjednodušené SVM - průběh chování tříúrovňového střídače ANPC v ustáleném stavu ($U_{dc} = 200[V]$, hloubka modulace = 0,9, frekvence modulačního signálu 50[Hz], spínací frekvence 800[Hz]), Ch1: fázové napětí střídače U_w [100V/dílek], Ch3: sdružené napětí střídače U_{uv} [100V/dílek], Ch4: fázový proud střídače i_w [5A/dílek]



Obr. 2.62: Modulátor zjednodušené SVM - frekvenční spektrum fázového napětí střídače U_w , horizontální osa - spektrální čáry frekvenčního spektra jsou násobky 50 Hz. Spektrální čára pro 50 Hz nabývá hodnoty 1,0 (100%). V grafu je tato hodnota oříznuta, aby byly rozlišitelné spektrální čáry pro vyšší harmonické složky. Hodnota THD je 45,41%



Obr. 2.63: Modulátor zjednodušené SVM - frekvenční spektrum sdruženého napětí střídače U_{uv} , horizontální osa - spektrální čáry frekvenčního spektra jsou násobky 50 Hz. Spektrální čára pro 50 Hz nabývá hodnoty 1,0 (100%). V grafu je tato hodnota oříznuta, aby byly rozlišitelné spektrální čáry pro vyšší harmonické složky. Hodnota THD je 24,53%



Obr. 2.64: Modulátor zjednodušené SVM - frekvenční spektrum fázového proudu střídače i_w , horizontální osa - spektrální čáry frekvenčního spektra jsou násobky 50 Hz. Spektrální čára pro 50 Hz nabývá hodnoty 1,0 (100%). V grafu je tato hodnota oříznuta, aby byly rozlišitelné spektrální čáry pro vyšší harmonické složky. Hodnota THD je 7,08%

2.3.4 Dílčí závěr

Byly analyzovány známé algoritmy řízení ANPC, které byly následně upraveny pro potřeby prototypu uvažovaného typu pohonu. Funkčnost implementace modulačních algoritmů, byla ověřena měřeními na prototypu tříúrovňového střídače ANPC. Naměřené průběhy jsou uvedeny na obrázcích 2.57 a 2.61. Z naměřených dat vycházejí následující hodnoty THD (přehled viz souhrnná tabulka 2.11) u fázového proudu střídače: modulátor SV-PWM - 6,3%, modulátor zjednodušené SVM - 7,08%. Výpočet THD pro fázové napětí střídače: modulátor SV-PWM - 23,29%, modulátor zjednodušené SVM - 24,53%. Dalším výstupem je výpočet THD pro sdružené napětí střídače: modulátor SV-PWM - 42,63%, modulátor zjednodušené SVM - 45,41%. Ve srovnání hodnot THD pro fázové napětí, sdružené napětí a fázový proud střídače dosahuje lepšího výsledku modulátor SV-PWM. V porovnání s výsledky výpočtu THD pro fázové napětí u tříúrovňového měniče NPC vychází THD u tříúrovňového střídače ANPC v průměru o 18 % horší. Usuzuji, že tento výsledek je způsoben změnou spínací sekvence u střídače ANPC, kde jsou spínány jak kombinace vyvažující, tak i kombinace rozvažující, což přináší větší počet přepnutí než u tříúrovňového měniče NPC.

Tab. 2.11: Vypočtené hodnoty THD pro jednotlivé modulace

3L-ANPC	SV-PWM	Zjednodušená SVM
Fázový proud	6,3 %	7,08 %
Fázové napětí	42,63 %	45,41 %
Sdružené napětí	23,29 %	24,53 %

U posledního zjišťovaného parametru implementační náročnosti vychází lépe modulátor zjednodušené SVM, oproti modulátoru SV-PWM nevyžaduje jeho algoritmus výpočet goniometrických funkcí.

Spotřebované zdroje jednotky FPGA implementací jednotlivých modulátorů jsou uvedeny v přehledové tabulce 2.12. Datová cesta udává časový údaj od změny dat na vstupu entity do změny dat na výstupu entity. Nejhorší datová cesta pak udává nejdelší datovou cestu ze všech dílčích entit tvořících entitu modulátoru.

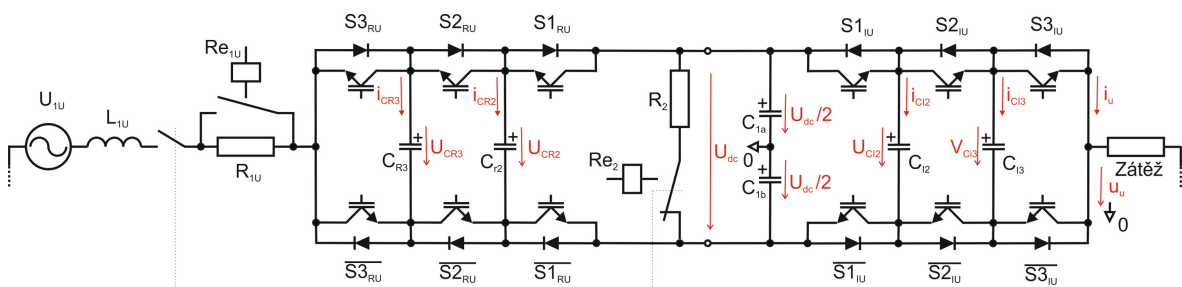
Tab. 2.12: Spotřebované zdroje v jednotce FPGA

Modulátor	Logické buňky	Registry	Celkem	Nejhorší cesta dat
SV-PWM	5164	836	6766 (17%)	19,638 ns
Zjednodušená SVM	4021	666	5594 (14%)	15,899 ns

2.4 Čtyřúrovňový měnič FLC

Topologie celého čtyřúrovňového měniče FLC je sestavena z usměrňovačové a střídačové části. Tyto části jsou spojeny skrze stejnosměrný meziobvod. Jak usměrňovač tak i střídač je složen ze tří komplementárních dvojic spínaných prvků ($S1_{KL}$, $S2_{KL}$, $S3_{KL}$, $\overline{S3_{KL}}$, $\overline{S2_{KL}}$, $\overline{S1_{KL}}$, kde K zastupuje označení usměrňovač (R), střídač (I) a L zastupuje označení fází U, V, W) a dvou plovoucích kondenzátorů (C_2 , C_3). Hodnota napětí na kondenzátoru ve stejnosměrném obvodu měniče je $\frac{U_{dc}}{2}$, napětí na plovoucích kondenzátorech C_2 a C_3 se odvíjí od napětí na kondenzátoru ve stejnosměrném obvodu ($\frac{2U_{dc}}{3}$ pro C_2 a $\frac{U_{dc}}{3}$ pro C_3). Na obrázku 2.65 je schéma jedné fáze třífázového měniče 4L-FLC.

Takto rozložená napětí na kondenzátorech definují čtyři hladiny fázového napětí měniče v závislosti na spínací kombinaci. Spínací kombinace včetně napěťové úrovně a kódového označení úrovně jsou uvedené v následující tabulce 2.13. Detailnější informace vztahující se k měničům s plovoucími kondenzátory lze nalézt v pracích [42], [43], [44] či [45].



Obr. 2.65: Třífázový měnič 4L-FLC

Tab. 2.13: Spínání jedné fáze 4L-FLC

4L-FLC	$S1_{KL}$	$S2_{KL}$	$S3_{KL}$	$\overline{S3_{KL}}$	$\overline{S2_{KL}}$	$\overline{S1_{KL}}$
$-\frac{1}{2}U_{dc}$	"0"	0	0	0	1	1
$-\frac{1}{6}U_{dc}$	"1"	0	0	1	0	1
$-\frac{1}{6}U_{dc}$	"1"	0	1	0	1	0
$-\frac{1}{6}U_{dc}$	"1"	1	0	0	1	0
$\frac{1}{6}U_{dc}$	"2"	1	1	0	1	0
$\frac{1}{6}U_{dc}$	"2"	1	0	1	0	1
$\frac{1}{6}U_{dc}$	"2"	0	1	1	0	1
$\frac{1}{2}U_{dc}$	"3"	1	1	1	0	0

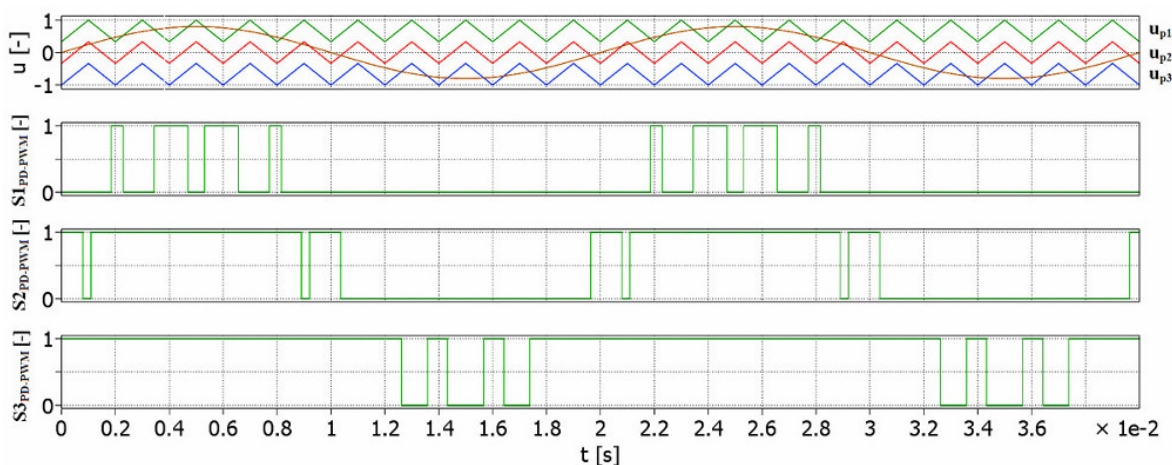
2.4.1 PD-PWM modulace

Obecný princip modulace PD-PWM je uveden v kapitole 1.1.2.3. Pro čtyřúrovňový měnič je číslo N rovno čtyřem a modulace PD-PWM bude pracovat se třemi nosnými signály u_{p1} , u_{p2} a u_{p3} (viz obrázek 2.66). Tyto signály jsou porovnávány s požadovaným modulačním signálem a výsledkem jsou signály $S1_{PD-PWM}$, $S2_{PD-PWM}$ a $S3_{PD-PWM}$. Tyto signály je potřeba dekodovat. Různé metody dekodování výstupních signálů modulace PD-PWM pro použití s měničem s plovoucími kondenzátory jsou uvedeny například v pracích [20] a [22]. Jednou z možností jak tyto signály dekodovat je tzv. balancovací tabulka.

Balancovací tabulka využívá redundantních spínacích kombinací a zpětné vazby od napětí na plovoucích kondenzátorech a polarity proudu. Na základě stavu napětí na plovoucích kondenzátorech je potom z tabulky vybrána vhodná spínací kombinace, která napětí na kondenzátorech stabilizuje na stanovenou hodnotu. Využívá se při tom redundantních spínacích kombinací pro danou napěťovou hladinu viz tabulka 2.14. V tabulce je uveden vliv na napětí plovoucích kondenzátorů: nabíjení ("+"), aktivní vybíjení přes zátěž ("-") a pasivní vybíjení přes paralelní vybíjecí odpor ("Nc"). Kromě spínací kombinace hraje vliv i polarita fázového proudu. Tabulka 2.14 je sestavena pro kladný fázový proud měniče. Pokud by byl fázový proud záporný, vliv na napětí na plovoucích kondenzátorech by byl přesně opačný, tj. tam kde je "+" by bylo "-" a kde je "-" by bylo "+", vliv "Nc" zůstává beze změny.

2.4.2 Popis funkce modulátoru PD-PWM

Obrázek 2.67 dokumentuje blokové schéma zapojení navržené řídicí jednotky včetně vnitřní komunikační struktury vývojové desky MLC interface a datové cesty ovládající činnost čtyřúrovňového usměrňovače a střídače FLC. Výpočet algoritmu je rozdělen do dvou částí, v kontroléru DSC je proveden výpočet algoritmu řízení a měření fázových proudů a napětí na plovoucích kondenzátorech. Výpočet algoritmu PD-PWM modulátoru s balancováním je

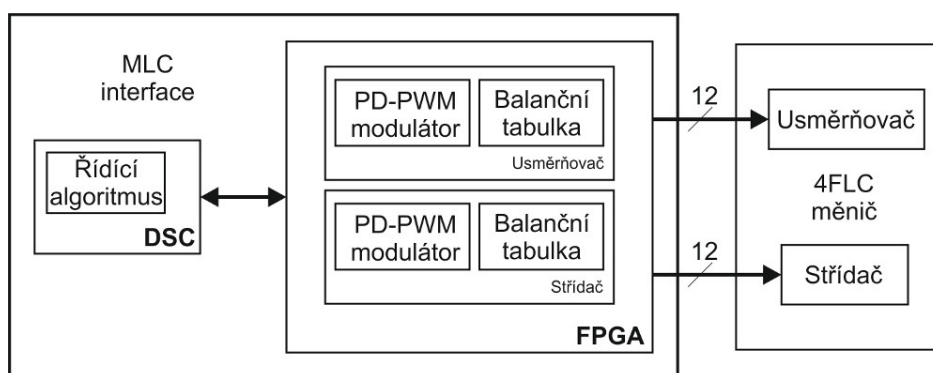


Obr. 2.66: Princip spínání PD-PWM pro 4L-FLC měnič [46]

Tab. 2.14: Vliv spínacích kombinací na napětí plovoucích kondenzátorů pro jednu fázi 4L-FLC měniče pro kladnou polaritu proudu

4L-FLC		S1	S2	S3	$\overline{S3}$	$\overline{S2}$	$\overline{S1}$	U_{C2}	U_{C3}
$-\frac{1}{2}V_d$	"0"	0	0	0	1	1	1	Nc	Nc
$-\frac{1}{6}V_d$	"1"	0	0	1	0	1	1	Nc	-
$-\frac{1}{6}V_d$	"1"	0	1	0	1	0	1	-	+
$-\frac{1}{6}V_d$	"1"	1	0	0	1	1	0	+	Nc
$\frac{1}{6}V_d$	"2"	1	1	0	1	0	0	-	Nc
$\frac{1}{6}V_d$	"2"	1	0	1	0	1	0	+	-
$\frac{1}{6}V_d$	"2"	0	1	1	0	0	1	Nc	+
$\frac{1}{2}V_d$	"3"	1	1	1	0	0	0	Nc	Nc

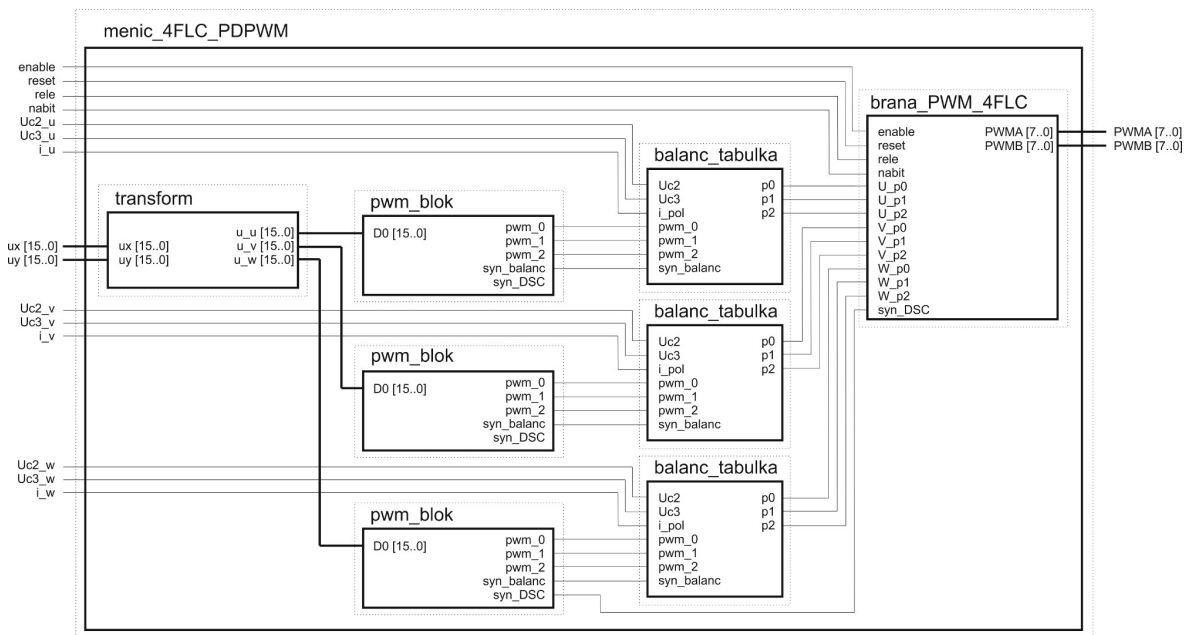
zpracován hradlovým polem FPGA. Sada vypočtených a změřených hodnot, která je předávána z DSC do FPGA, zahrnuje požadovaný napěťový vektor pro usměrňovač (u_{x_u}, u_{y_u}) a pro střídač (u_{x_s}, u_{y_s}), informaci o polaritě fázových proudů usměrňovače ($i_{u_u}, i_{v_u}, i_{w_u}$) a střídače ($i_{u_s}, i_{v_s}, i_{w_s}$), informaci o stavu napětí na plovoucích kondenzátorech usměrňovače ($U_{c2u_u}, U_{c3u_u}, U_{c2v_u}, U_{c3v_u}, U_{c2w_u}, U_{c3w_u}$) a střídače ($U_{c2u_s}, U_{c3u_s}, U_{c2v_s}, U_{c3v_s}, U_{c2w_s}, U_{c3w_s}$).



Obr. 2.67: Blokové schéma řídicí jednotky MLC interface a měniče 4L-FLC

Struktura PD-PWM modulátoru (entita (*menic_4FLC_PDPWM*) s balancováním je tvořena spojením čtyř entit *transform*, *pwm_block_800*, *bal* a *brana_PWM*. Návrh algoritmu vychází z technické zprávy [23]. Struktura a celkové zapojení jednotlivých entit je přibližena na obrázku 2.68, větší obrázek je pak uveden v příloze Obr. 4.1. Jak je z výše uvedeného obrázku 2.67 patrné, pro řízení celého měniče je nutné použít dvakrát entitu *menic_4FLC_PDPWM*, jedna její instance bude ovládat usměrňovač a druhá střídač. Obě entity pracují paralelně a nezávisle na sobě navzájem.

Kontrolér DSC vystaví výstupní data sběrnici, kde si je přečte entita *bus_read_write* z nadřazené struktury MLC driveru a předá příslušnou část ke zpracování entitě (*menic_4FLC_PDPWM*) obsluhujícím řízení usměrňovače i střídače. Entita *transform* převe-

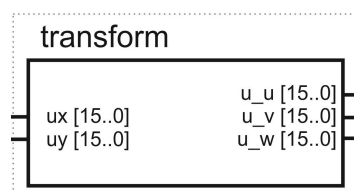


Obr. 2.68: Vnitřní struktura PD-PWM modulátoru

de požadovaný napěťový vektor (\vec{u}_0) na tři hodnoty definující fázová napětí (u_u , u_v , u_w). Hodnoty fázových napětí představují modulační signály a jsou zpracovány entitou *pwm_block_800*, která vyhodnotí okamžiky koincidence s třemi nosnými pilovými signály a vygeneruje řídicí signály PWM, frekvence pilového signálu je 800Hz. Následně jsou trojice PWM signálů zpracovány entitou *balanc_tabulka*, která sestaví výsledné spínací kombinace pro prvky měniče. Všechny řídicí signály ze všech tří fází vstupují do poslední entity *brana_PWM_4FLC*, která sjednotí jednotlivé signály, tak aby odpovídaly pozičně i označením signálům na vstupech driverů měniče.

2.4.2.1 Entita *transform*

Vstupní a výstupní signály entity *transform* jsou přiblíženy na obrázku 2.69.

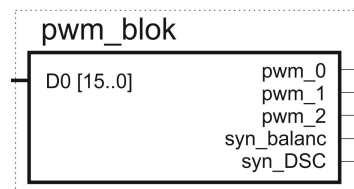


Obr. 2.69: Entita *transform*

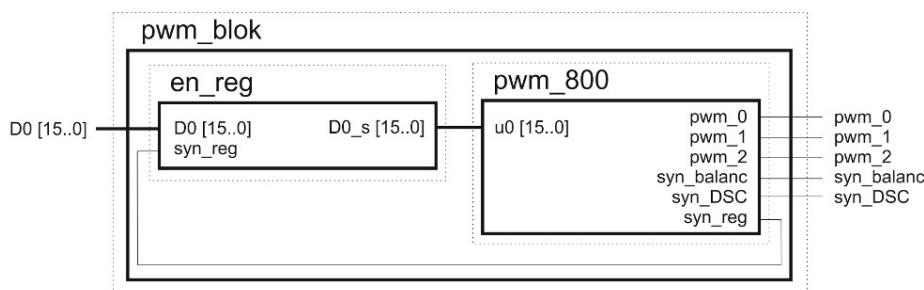
Funkcí entity *transform* je převést napěťový vektor \vec{u}_0 určený složkami u_x a u_y , na složky třífázového napětí u_u , u_v a u_w .

2.4.2.2 Entita *pwm_block*

Vstupní a výstupní signály entity *pwm_block_800* jsou zachyceny na obrázku 2.70. Struktura entity *pwm_block_800* je tvořena spojením dvou entit *en_reg* a *pwm_800*, jejich propojení uvedeno na obrázku 2.71.



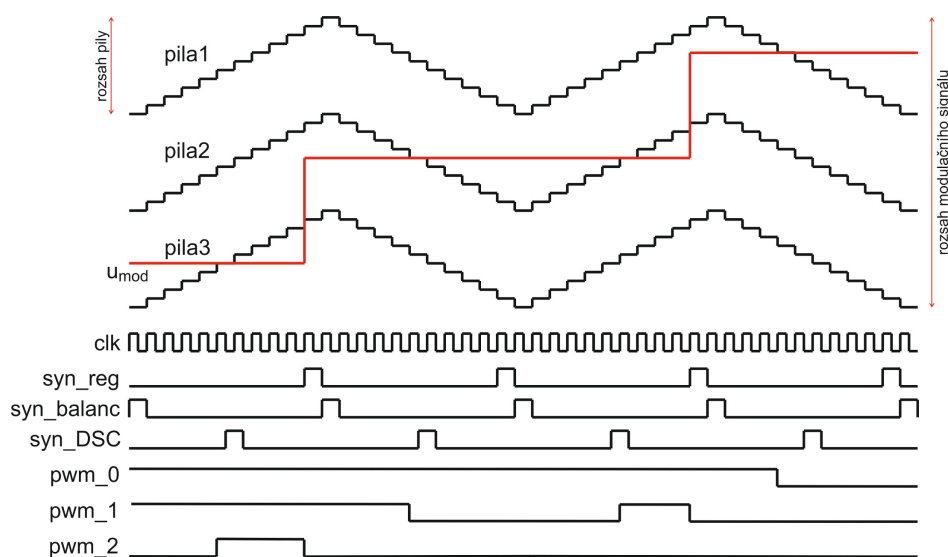
Obr. 2.70: Entita *pwm_block*



Obr. 2.71: Vnitřní zapojení entity *pwm_block*

Entita *en_reg* pracuje jako registr, který se synchronizačním impulsem přesune 16bitové data k dalšímu zpracování entitou *pwm_800*. Entita *pwm_800* plní funkci PD-PWM modulátoru. Je tvořena třemi generátory pilového signálu, jejichž rozsahy jsou pozičně umístěny nad sebou, tak aby pokryly celý rozsah modulačního signálu. Rozsah jedné pily odpovídá $\frac{1}{3}$ rozsahu modulačního signálu. Okamžik koincidence s modulačním signálem je vyhodnocován paralelně pro každý ze tří pilových signálů. Výsledkem je vygenerování tří řídicích PWM signálů. Tyto signály reprezentují kódové označení, které je využito jako část adresy do tabulky pro balancování. Entita *pwm_800* generuje také synchronizační pulsy jak pro entitu *en_reg* a *bal*, tak pro kontrolér DSC. Funkce modulátoru je podrobněji znázorněna na obrázku 2.72.

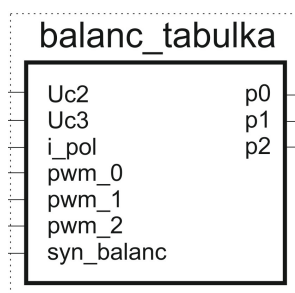
Synchronizační pulsy *syn_reg* pro entitu *en_reg* jsou generovány jak v maximu-1, tak i v minimu+1 nosného pilového signálu. Synchronizační pulsy *syn_balanc* pro entitu *balanc_tabulka* jsou generovány v maximu a v minimu nosného pilového signálu. Synchronizační pulsy *syn_DSC* pro kontrolér DSC jsou generovány v polovině rozsahu nosného pilového signálu tak, aby byl dostatek času pro výpočet nových hodnot složek (u_x, u_y) .



Obr. 2.72: Funkce PD-PWM modulátoru

2.4.2.3 Entita *balanc_tabulka*

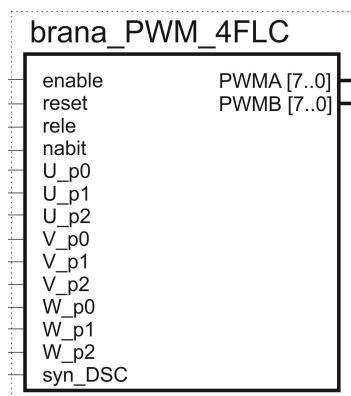
Vstupní a výstupní signály entity *balanc_tabulka* jsou přiblíženy na obrázku 2.73. Základem entity *balanc_tabulka* je tabulka reálných spínacích kombinací pro balancování měniče 4L-FLC. Jednotlivé vstupy (U_{c2} , U_{c3} , i_{pol} , pwm_0 , pwm_1 , pwm_2) entity tvoří adresu do tabulky s balancováním a jednotlivé výstupy ($p0$, $p1$, $p2$) reprezentují spínací kombinaci přispívající k vyvažování napětí na plovoucích kondenzátorech, tyto spínací kombinace jsou uloženy na příslušných adresách. Horní polovina adresy (pwm_0 , pwm_1 , pwm_2) je obnovována s náběžnou hranou hodinového signálu. Dolní polovina adresy (U_{c2} , U_{c3} , i_{pol}) je oproti tomu obnovována se synchronizačním impulsem *syn_balanc* generovaného entitou *pwm_800*. Balancovací byla převzata z práce [23].



Obr. 2.73: Funkce PD-PWM modulátoru

2.4.2.4 Entita *brana_PWM_4FLC*

Vstupní a výstupní signály entity *brana_PWM* jsou zobrazeny na obrázku 2.74.

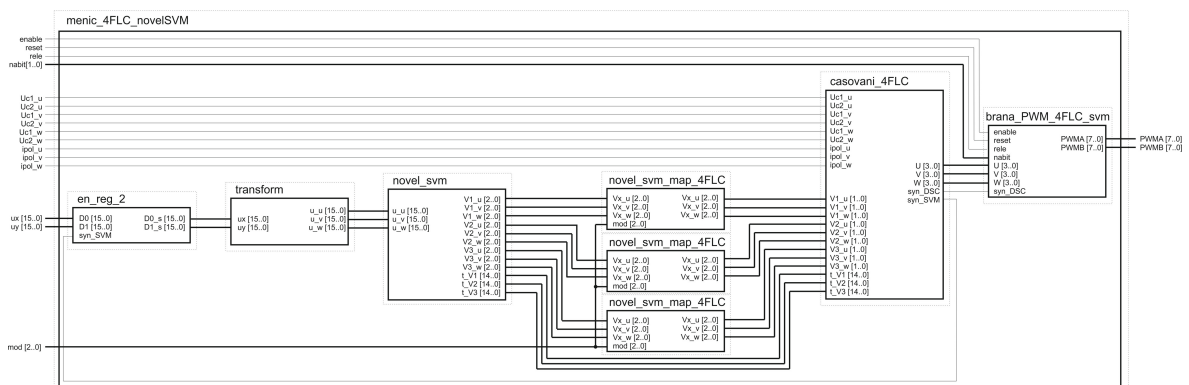


Obr. 2.74: Entita *brana_PWM_4FLC*

Entita *brana_PWM_4FLC* přijme jednotlivé řídicí signály, pozmění jejich jména i pozici a předá na příslušné výstupy. Výstupní signály *PWMX_i* jsou řízeny aktivní úrovní (log. '1') řídicího signálu *enable*. Signál *reset* slouží k resetování měniče. Dalším řídicím signálem je *nabit* definující stav přednabíjecí sekvence. Signál *nabit* je tvořen dvojicí informačních bitů. Přednabíjecí sekvence se skládá ze tří fází, každá z těchto fází je jednoznačně definována hodnotou dvou informačních bitů. Bitovou hodnotu signálu *nabit* určuje procesor DSC na základě měření napětí na příslušných kondenzátorech. V první fázi je nabíjeno všech pět kondenzátorů C_{1ab} , C_{r2} , C_{r3} a C_{i2} , C_{i3} na hodnotu $\frac{1}{3}U_{dc}$ (viz. 2.65). Ve druhé fázi jsou nabíjeny tři kondenzátory C_{1ab} , C_{r2} a C_{i2} na hodnotu $\frac{2}{3}U_{dc}$ a ve třetí je nabíjen samotný kondenzátor C_{1ab} na hodnotu U_{dc} . Pro jednotlivé fáze jsou postupně nastavovány příslušné kombinace sepnutí jednotlivých spínacích prvků čtyř-úrovňového měniče FLC. Samotná přednabíjecí sekvence proběhne ve chvíli, kdy je rozpoznán požadavek na přednabítí měniče definovaný kombinací dvou řídicích signálů (*enable* = '0', *rele* = '1') generovaných kontrolérem DSC.

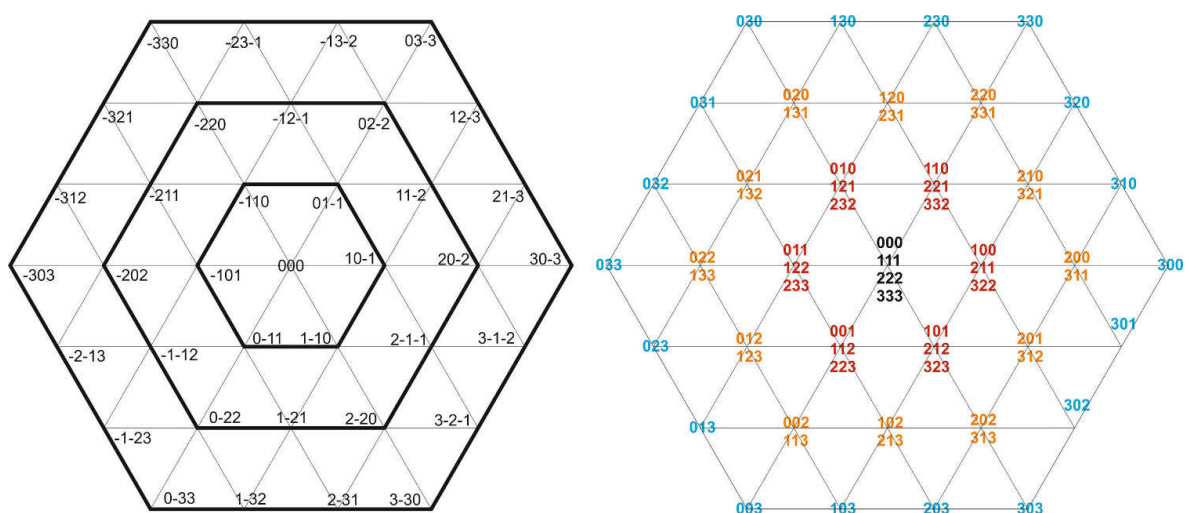
2.4.3 Popis funkce modulátoru zjednodušené SVM

Blokové schéma řešeného vektorového modulátoru zjednodušené SVM pro měnič 4L-FLC je totožné s obrázkem 2.67. Rozdíl oproti klasické modulaci SVM spočívá v použitém algoritmu určení pozice požadovaného vektoru u_x , u_y v rámci trojúhelníkové sítě. Struktura modulátoru zjednodušené SVM je tvořena spojením šesti samostatných entit *en_reg_2*, *transform*, *svm_alg_4LFLC*, *svm_mapping_4L_FLC*, *timings_4L_FLC* a *brana_PWM*. Struktura a celkové zapojení jednotlivých entit je uvedeno na obrázku 2.75, větší obrázek je pak uveden v příloze Obr. 4.6.



Obr. 2.75: Vnitřní struktura modulátoru zjednodušené SVM pro 4L-FLC

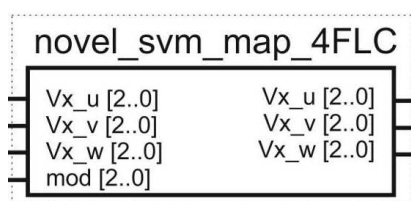
Entity *en_reg_2*, *transform* a *svm_alg_4LFLC* plní obdobnou funkci jako v předchozích kapitolách. Drobný rozdíl spočívá v rozsahu výstupních hodnot entity *svm_alg_4LFLC*, tyto hodnoty jsou nyní z intervalu $< -3, 3 >$, protože algoritmus určuje pozici vektoru v čtyřúrovňové trojúhelníkové síti, viz levá část obrázku 2.76.



Obr. 2.76: Struktura trojúhelníkovitých oblastí zjednodušené SVM (vlevo) a reálné spínací kombinace (vpravo) pro čtyřúrovňový vektorový modulátor

2.4.3.1 Entita *svm_mapping_4L_FLC*

Vstupní a výstupní signály entity *svm_mapping_4L_FLC* jsou přiblíženy na obrázku 2.77. Entita *svm_mapping_4L_FLC* přiřadí vektory definující trojúhelníkovou oblast s kódovým označením spínací kombinace měniče 4L-FLC (kód představuje napěťovou úroveň měniče). K této operaci využije tříbitové číslo *mod* [2..0], které představuje úroveň fázového napětí (0 - úroveň 1 - vnitřní šestiúhelník v trojúhelníkové oblasti, 1 - úroveň 2 - prostřední prstenec v trojúhelníkové oblasti, 2 - úroveň 3 - vnější prstenec v trojúhelníkové oblasti). Číslo *mod* [2..0] je generováno v kontroléru DSC. Například je-li požadovaný vektor \vec{v}_0 oblasti danou vektory 01-1, 11-2, 02-2 a *mod* = 1, pak budou vybrány spínací kombinace 221, 210 a 220, viz pravá část obrázku 2.76.



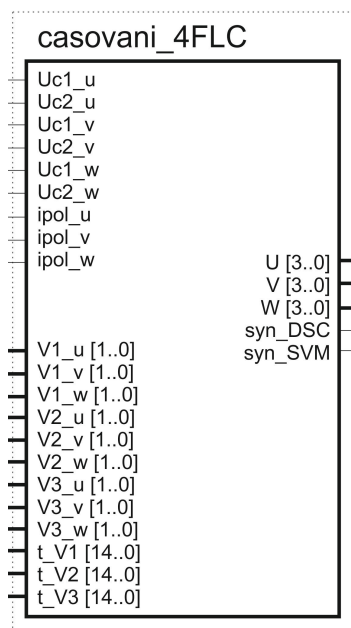
Obr. 2.77: Entita *svm_mapping_4L_FLC*

2.4.3.2 Entita *timings_4L_FLC*

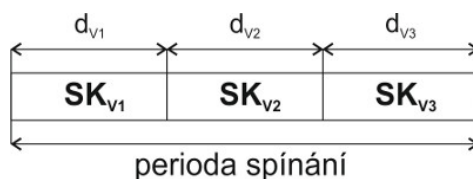
Vstupní a výstupní signály entity *timings_4L_FLC* jsou zobrazeny na obrázku Obr. 2.78. Entita *timings_4L_FLC* přijme jednotlivé kódy spínací kombinace a doby jejich sepnutí. Pokud je k dispozici více než jedna možná reálná spínací kombinace pro vytvoření požadované napěťové úrovně, pak je vybrána ta, která přispěje k balancování napětí na plovoucích kondenzátorech měniče. Výběr reálné spínací kombinace pro čtyřúrovňový měnič FLC je provedeno podle tabulky 2.13, kde pro kódové označení je definovaná napěťová úroveň měniče: $3 = \frac{1}{2}U_{dc}$, $2 = \frac{1}{6}U_{dc}$, $1 = -\frac{1}{6}U_{dc}$ a $0 = -\frac{1}{2}U_{dc}$. Tyto hodnoty vystaví na výstupu podle dané sekvence spínání, dle obrázku 2.79. Kde SK_{V_x} je spínací kombinace pro vektor V_x a d_{V_x} je doba sepnutí pro vektor V_x (x nabývá hodnot 1, 2, 3). Další funkcí této entity je vygenerování synchronizačních impulsů pro kontrolér DSC a entitu *en_reg_2*.

2.4.3.3 Entita *brana_PWM_4FLC_svm*

Vstupní a výstupní signály entity *brana_PWM_4FLC_svm* jsou zachyceny na obrázku 2.80. Entita *brana_PWM_4FLC_svm* přijme veškeré řídicí signály pro měnič, přeuspořádá jejich pozici tak, aby odpovídala požadavkům budičů měniče 4L-FLC a pošle je na výstup. Výstupní signály *PWMX_i* jsou řízeny aktivní úrovní (log. '1') řídicího signálu *enable_menic*. Dalším řídicím signálem je *nabit* definující start a ukončení přednabíjecí sekvence. Signály *nabit* je tvořen dvojicí informačních bitů. Přednabíjecí sekvence se skládá ze tří fází, každá z těchto

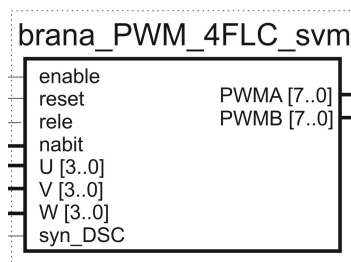


Obr. 2.78: Entita *timings_4L_FLC*



Obr. 2.79: Sekvence spínání pro měnič 4L-FLC

fází je jednoznačně definována hodnotou dvou informačních bitů. Bitovou hodnotu signálu *nabit* určuje procesor DSC na základě měření napětí na příslušných kondenzátorech. V první fázi je nabíjeno všech pět kondenzátorů C_{1ab} , C_{r2} , C_{r3} a C_{i2} , C_{i3} na hodnotu $\frac{1}{3}U_{dc}$ (viz. 2.65). Ve druhé fázi jsou nabíjeny tři kondenzátory C_{1ab} , C_{r2} a C_{i2} na hodnotu $\frac{2}{3}U_{dc}$ a ve třetí je nabíjen samotný kondenzátor C_{1ab} na hodnotu U_{dc} . Pro jednotlivé fáze jsou postupně nastavovány příslušné kombinace sepnutí jednotlivých spínacích prvků čtyř-hladinového měniče FLC. Samotná přednabíjecí sekvence proběhne ve chvíli, kdy je rozpoznán požadavek na přednabití měniče definovaný kombinací řídicích signálů *enable_menic* a *rele_menic* generovaných kontrolérem DSC.



Obr. 2.80: Entita *brana_PWM*

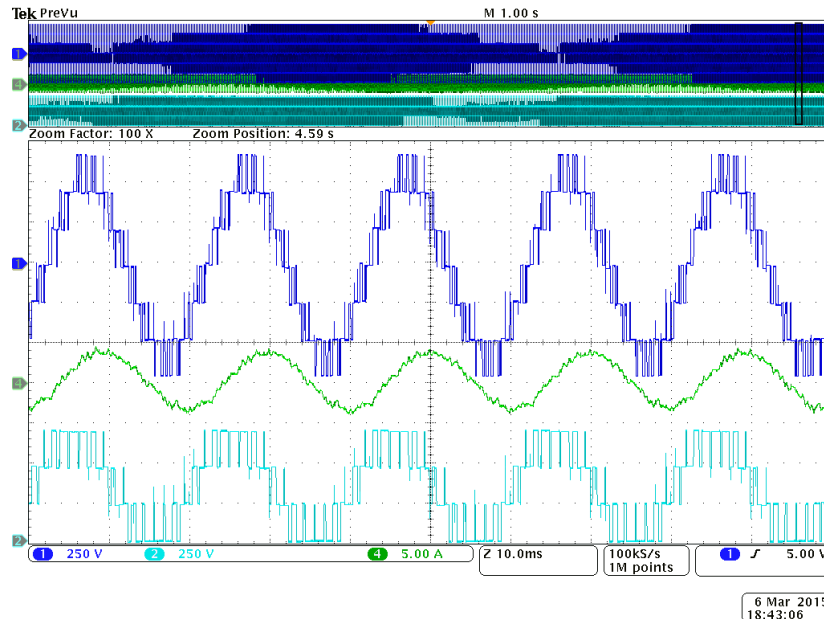
2.4.4 Experimentální měření na prototypu měniče 4L-FLC

Měření bylo provedeno na prototypu čtyřúrovňového měniče FLC. Vektorové řízení bylo implementováno v kontroléru DSC, oba typy modulátorů byly implementovány do hradlového pole FPGA. Jako zátěž byl využit asynchronní motor o jmenovitém výkonu 11kW, který byl zatěžován synchronním motorem o jmenovitém výkonu 10kW. Měřeny byly postupně průběhy fázového proudu střídače i_u , fázového napětí střídače u_u a sdruženého napětí u_{uv} na výstupu střídačové části měniče. Z naměřených dat jednotlivých průběhů byla vypočtena hodnota THD. Výpočet hodnot THD je proveden dle vztahů (2.18), (2.19).

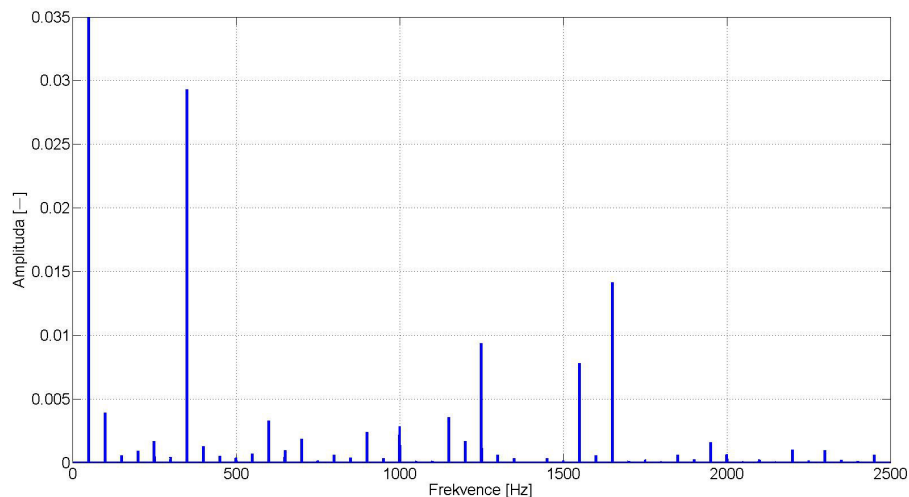
Naměřené a vypočtené hodnoty pro modulátor PD-PWM jsou uvedeny na obrázcích 2.81, 2.82, 2.83 a 2.84. Z naměřených dat vyplývají následující hodnoty THD: fázový proud i_u - 10,92%, fázové napětí u_u - 31,01% a sdružené napětí u_{uv} - 11,32%.

Naměřené a vypočtené hodnoty pro modulátor zjednodušenéSVM jsou uvedeny na obrázcích 2.85, 2.86, 2.87 a 2.88. Z naměřených dat vyplývají následující hodnoty THD: fázový proud i_u - 12,76%, fázové napětí u_u - 34,03% a sdružené napětí u_{uv} - 13,99%.

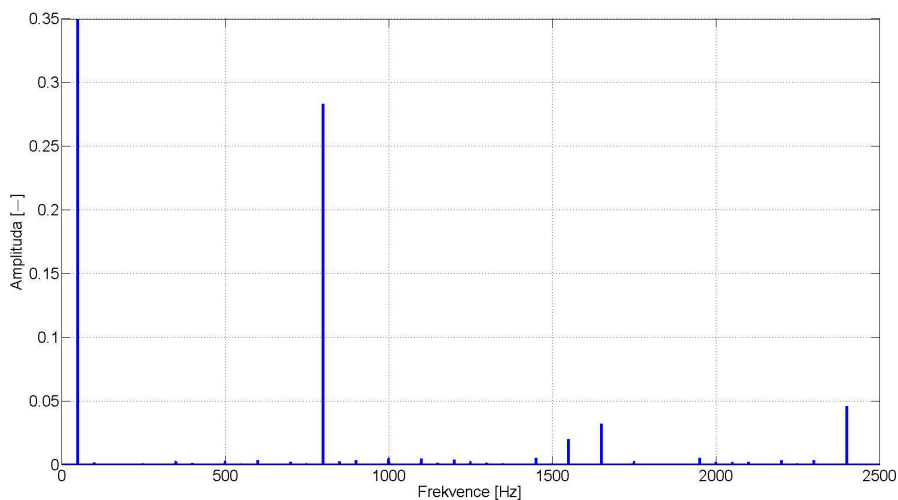
Měření probíhala ve dvou fázích, a to s nezatíženým i zatíženým motorem. Vliv změny otáček z 25 Hz na -25 Hz a zpět na 25 Hz na napětí plovoucích kondenzátorů a na napětí kondenzátorů ve stejnosměrném meziobvodu měniče je pro modulátor PD-PWM zachycen na obrázku 2.89 a pro modulátor zjednodušené SVM na obrázku 2.90. Vliv změny proudu i_q z 10 A na -10 A a zpět na 10 A při konstantních otáčkách 25 Hz na napětí plovoucích kondenzátorů a na napětí kondenzátorů ve stejnosměrném meziobvodu měniče je pro modulátor PD-PWM přiblížen na obrázku 2.91 a pro modulátor zjednodušené SVM na obrázku 2.92.



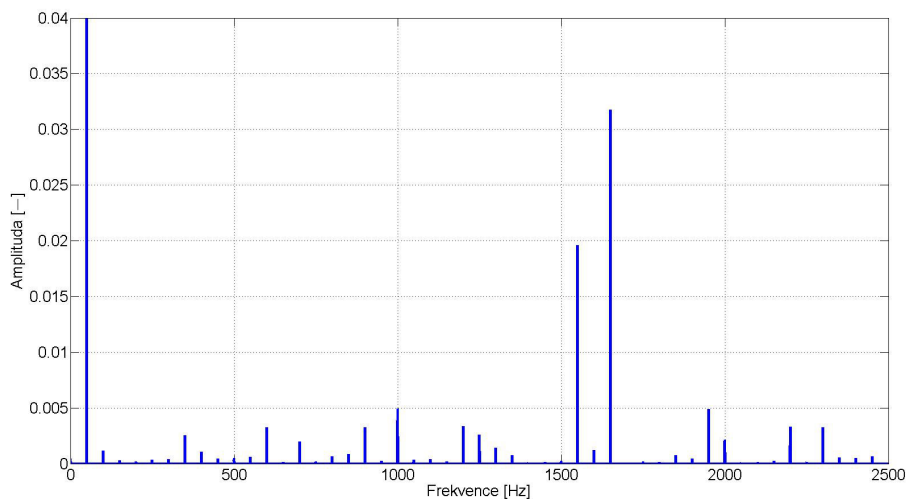
Obr. 2.81: Modulátor PD-PWM, ustálený stav, statorová frekvence 50Hz, CH1: Sdružené napětí střídače U_{uv} (250 V/dílek), CH2: Fázové napětí střídače U_u (250 V/dílek), CH4: Fázový proud střídače i_u (5 A/dílek)



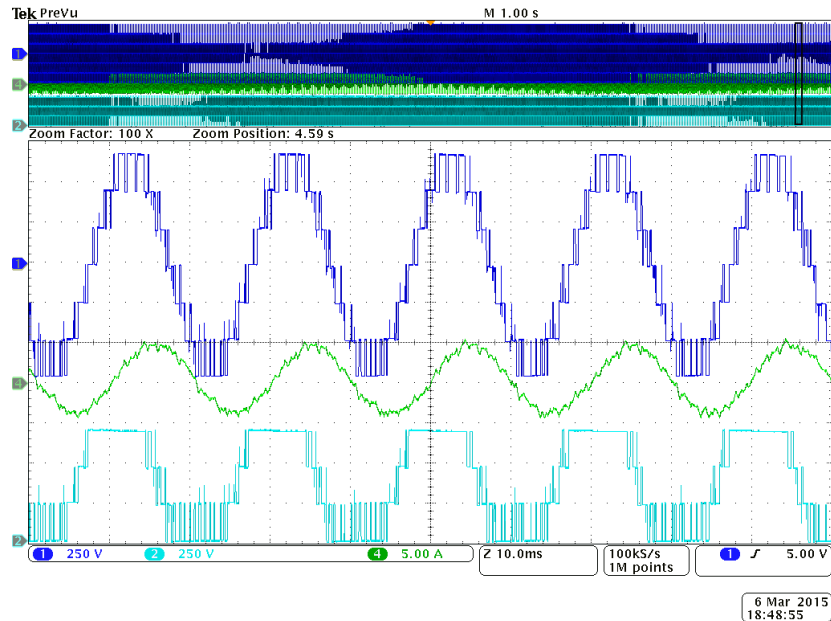
Obr. 2.82: Modulátor PD-PWM, Frekvenční spektrum fázového proudu střídače i_u , horizontální osa - spektrální čáry frekvenčního spektra jsou násobky 50 Hz. Spektrální čára pro 50 Hz nabývá hodnoty 1,0 (100%). V grafu je tato hodnota oříznuta, aby byly rozlišitelné spektrální čáry pro vyšší harmonické složky. Hodnota THD je 10,91%



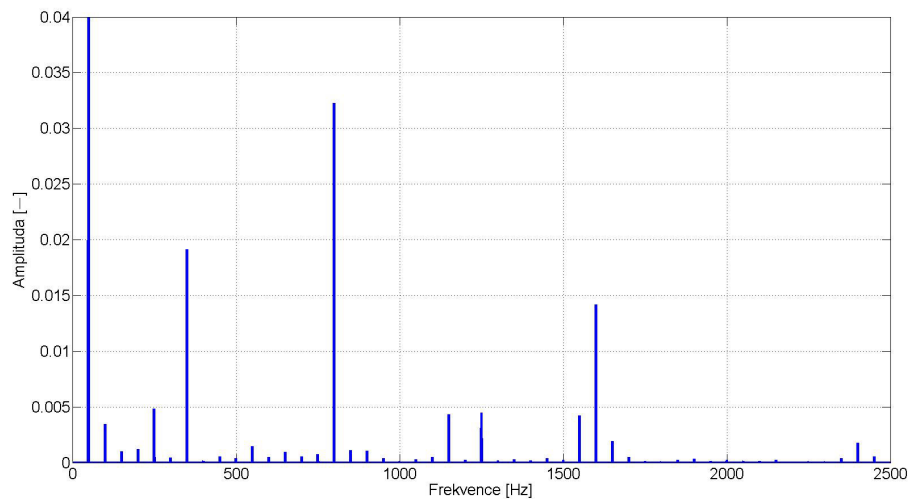
Obr. 2.83: Modulátor PD-PWM, Frekvenční spektrum fázového napětí střídače U_u , horizontální osa - spektrální čáry frekvenčního spektra jsou násobky 50 Hz. Spektrální čára pro 50 Hz nabývá hodnoty 1,0 (100%). V grafu je tato hodnota oříznuta, aby byly rozlišitelné spektrální čáry pro vyšší harmonické složky. Hodnota THD je 30,81%



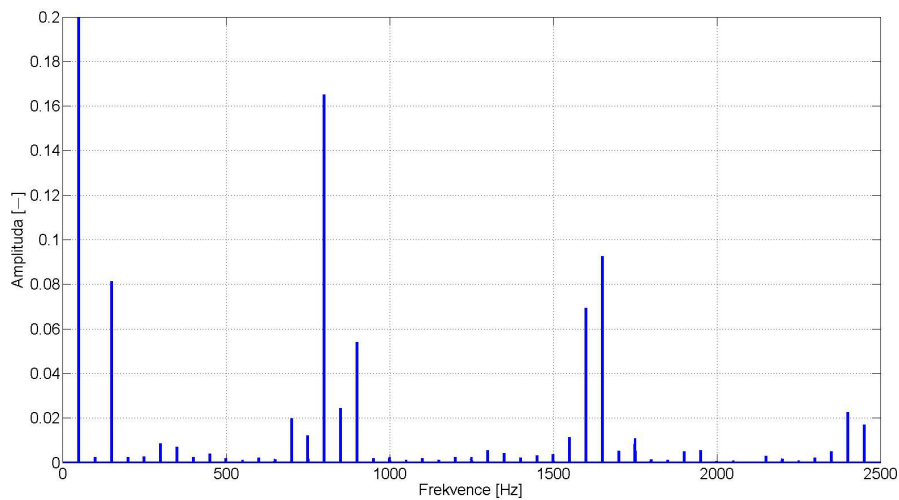
Obr. 2.84: Modulátor PD-PWM, Frekvenční spektrum sdruženého napětí střídače U_{uv} , horizontální osa - spektrální čáry frekvenčního spektra jsou násobky 50 Hz. Spektrální čára pro 50 Hz nabývá hodnoty 1,0 (100%). V grafu je tato hodnota oříznuta, aby byly rozlišitelné spektrální čáry pro vyšší harmonické složky. Hodnota THD je 11,01%



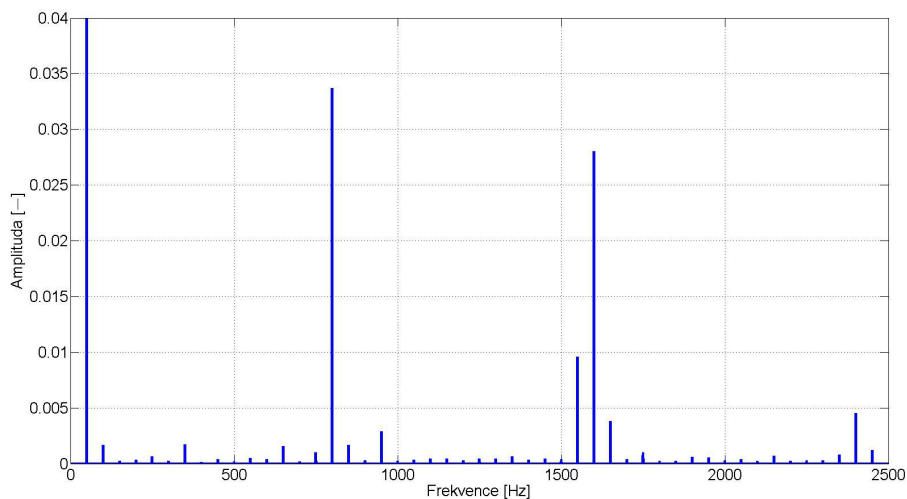
Obr. 2.85: Modulátor zjednodušené SVM, ustálený stav, statorová frekvence 50Hz, CH1: Sdružené napětí střídače U_{uv} (250 V/dílek), CH2: Fázové napětí střídače U_u (250 V/dílek), CH4: Fázový proud střídače i_u (5 A/dílek)



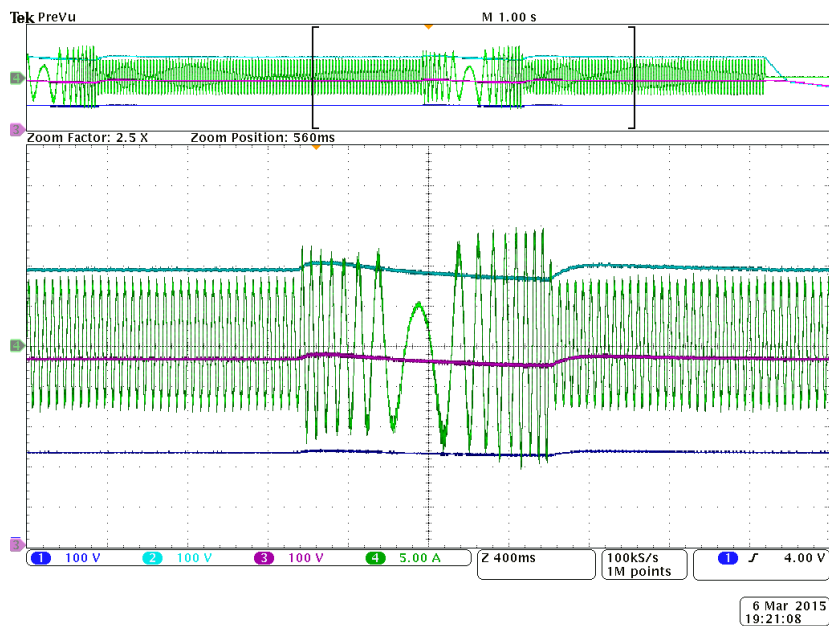
Obr. 2.86: Modulátor zjednodušené SVM, Frekvenční spektrum fázového proudu střídače i_u , horizontální osa - spektrální čáry frekvenčního spektra jsou násobky 50 Hz. Spektrální čára pro 50 Hz nabývá hodnoty 1,0 (100%). V grafu je tato hodnota oříznuta, aby byly rozlišitelné spektrální čáry pro vyšší harmonické složky. Hodnota THD je 12,76%



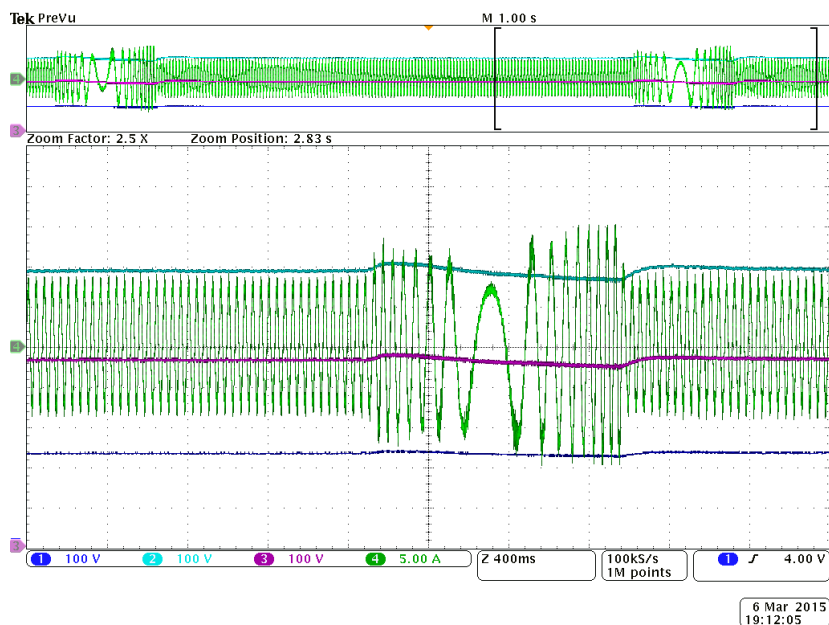
Obr. 2.87: Modulátor zjednodušené SVM, Frekvenční spektrum fázového napětí střídače U_u , horizontální osa - spektrální čáry frekvenčního spektra jsou násobky 50 Hz. Spektrální čára pro 50 Hz nabývá hodnoty 1,0 (100%). V grafu je tato hodnota oříznuta, aby byli rozlišitelné spektrální čáry pro vyšší harmonické složky. Hodnota THD je 33,76%



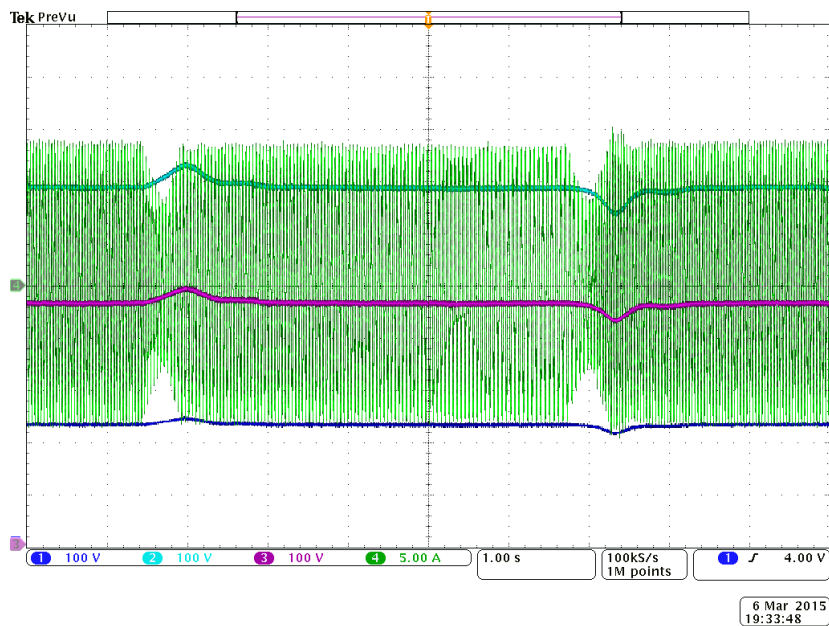
Obr. 2.88: Modulátor zjednodušené SVM, Frekvenční spektrum sdruženého napětí střídače U_{uv} , horizontální osa - spektrální čáry frekvenčního spektra jsou násobky 50 Hz. Spektrální čára pro 50 Hz nabývá hodnoty 1,0 (100%). V grafu je tato hodnota oříznuta, aby byli rozlišitelné spektrální čáry pro vyšší harmonické složky. Hodnota THD je 13,99%



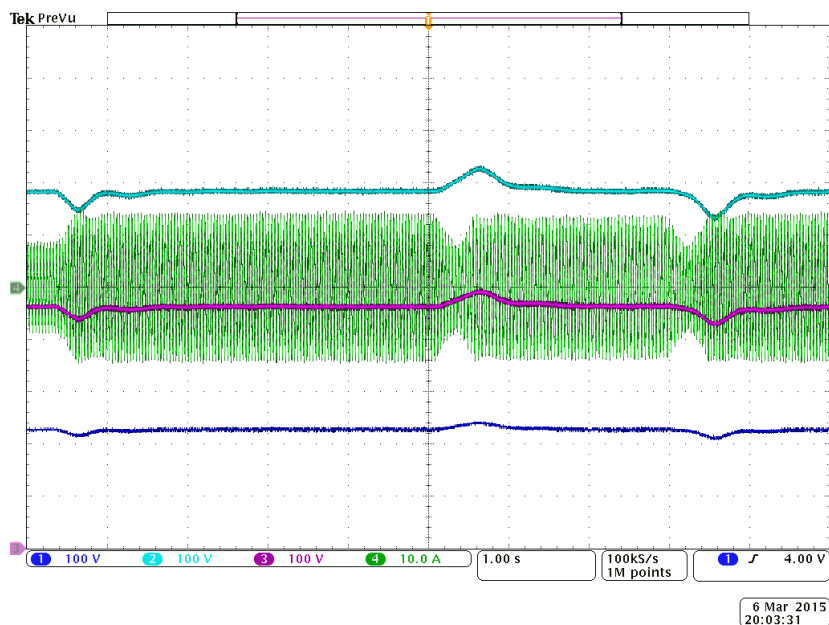
Obr. 2.89: Modulátor PD-PWM, ukázka balancování, změna otáček postupně 25 Hz, -25 Hz, 25 Hz, nezatíženo, CH1: Napětí na kondenzátoru C_{i3} (100 V/dílek), CH2: Napětí na kondenzátoru C_{i2} (100 V/dílek), CH3: Napětí na kondenzátoru C_1 (100 V/dílek), CH4: Fázový proud střídače i_u (5 A/dílek)



Obr. 2.90: Modulátor zjednodušené SVM, ukázka balancování, změna otáček postupně 25 Hz, -25 Hz, 25 Hz, nezatíženo, , CH1: Napětí na kondenzátoru C_{i3} (100 V/dílek), CH2: Napětí na kondenzátoru C_{i2} (100 V/dílek), CH3: Napětí na kondenzátoru C_1 (100 V/dílek), CH4: Fázový proud střídače i_u (5 A/dílek)



Obr. 2.91: Modulátor PD-PWM, ukázka balancování, otáčky 25 Hz, změna i_q postupně 10 A, -10 A, 10 A, zatíženo, CH1: Napětí na kondenzátoru C_{i3} (100 V/dílek), CH2: Napětí na kondenzátoru C_{i2} (100 V/dílek), CH3: Napětí na kondenzátoru C_1 (100 V/dílek), CH4: Fázový proud střídače i_u (5 A/dílek)



Obr. 2.92: Modulátor zjednodušené SVM, test balancování, otáčky 25 Hz, změna i_q postupně -10 A, 10 A, -10 A, 10 A, zatíženo, , CH1: Napětí na kondenzátoru C_{i3} (100 V/dílek), CH2: Napětí na kondenzátoru C_{i2} (100 V/dílek), CH3: Napětí na kondenzátoru C_1 (100 V/dílek), CH4: Fázový proud střídače i_u (10 A/dílek)

2.4.5 Dílčí závěr

Byly implementovány dva různé modulační algoritmy s cílem ověřit jejich funkčnost, náročnost samotné implementace a vzájemné srovnání uváděných modulačních algoritmů. Funkčnost implementace modulačních algoritmů byla ověřena měřením na prototypu čtyřúrovňového měniče FLC. Naměřené hodnoty jsou uvedeny na obrázcích 2.81 a 2.85. Z naměřených dat vycházejí následující hodnoty THD (přehled viz souhrnná tabulka 2.15) u fázového proudu střídače: modulátor PDPWM - 10,91%, modulátor zjednodušené SVM - 12,76%. Výrazný vliv na hodnotu THD u fázových proudů mají násobky spínací frekvence 800Hz. Výpočet THD pro fázové napětí střídače: modulátor PDPWM - 30,81%, modulátor zjednodušené SVM - 33,76%. Dalším výstupem je výpočet THD pro sdružené napětí střídače: modulátor PDPWM - 11,01%, modulátor zjednodušené SVM - 13,99%. Ve srovnání hodnot THD pro fázové napětí, sdružené napětí a fázový proud střídače dosahuje lepšího výsledku modulátor PDPWM.

Tab. 2.15: Vypočtené hodnoty THD pro jednotlivé modulace

4L-FLC	PD-PWM	Zjednodušená SVM
Fázový proud	10,91 %	12,76 %
Fázové napětí	30,81 %	33,76 %
Sdružené napětí	11,01 %	13,99 %

U posledního zjišťovaného parametru implementační náročnosti vychází rovněž lépe modulátor PDPWM, oproti modulátoru zjednodušené SVM nevyžaduje jeho algoritmus žádný další dodatečný výpočet vystačí výpočtem PWM.

Spotřebované zdroje jednotky FPGA implementací jednotlivých modulátorů jsou uvedeny v přehledové tabulce 2.16. Datová cesta udává časový údaj od změny dat na vstupu entity do změny dat na výstupu entity. Nejhorší datová cesta pak udává nejdelší datovou cestu ze všech dílčích entit tvořících entitu modulátoru.

Tab. 2.16: Spotřebované zdroje v jednotce FPGA

Modulátor	Logické buňky	Registry	Celkem	Nejhorší cesta dat
PD-PWM	1241	207	3830 (10%)	10,688 ns
Zjednodušená SVM	1814	224	4961 (13%)	15,980 ns

3 Univerzální modulátor s aktivním balancováním a modulární strukturou pro víceúrovňového měniče

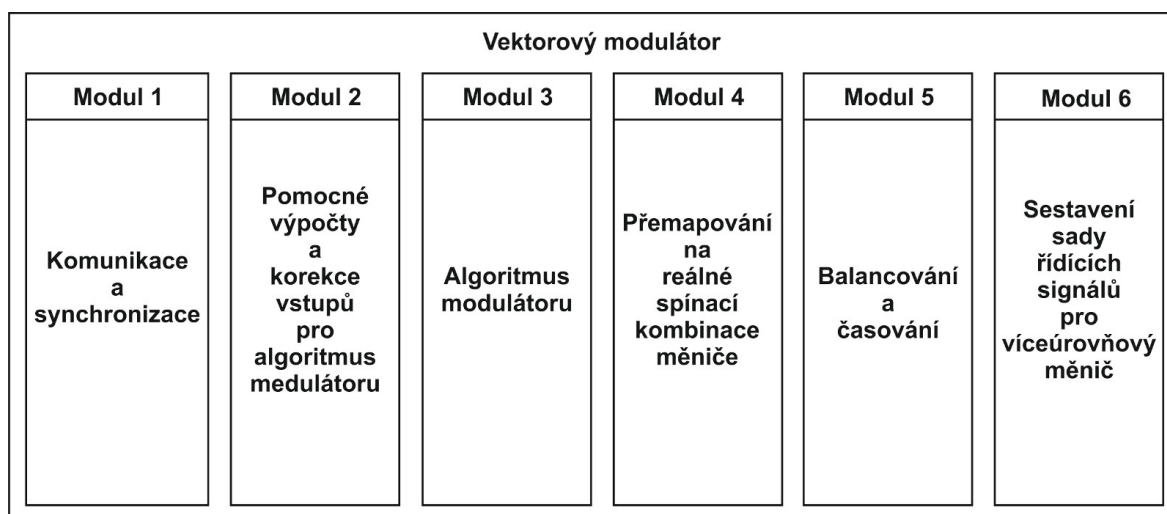
Hlavní myšlenka návrhu univerzálního modulátoru vychází z řešených algoritmů modulátorů pro jednotlivé topologie vybraných víceúrovňových měničů. Samotný návrh byl rozdělen do dvou samostatných částí. První část návrhu spočívala ve výběru vhodného algoritmu určení polohy vstupního požadovaného napěťového vektoru. Druhou část návrhu tvoří výběr algoritmu zajišťující aktivní balancování napětí, které je závislé na topologii víceúrovňového měniče. Zvolená kritéria pro výběr algoritmu v první části návrhu byla univerzálnost, implementační náročnost a snadná rozšiřitelnost pro více úrovní. Univerzálností algoritmu v první části návrhu se rozumí nezávislost algoritmu na topologii víceúrovňového měniče. Kritériem implementační náročnosti v první části návrhu souvisí především s výpočtem goniometrických funkcí. Pokud algoritmus vyhodnocující polohu neobsahuje výpočet goniometrických funkcí, je v této práci považován za implementačně méně náročný než algoritmus, který goniometrické funkce obsahuje. Toto kritérium slouží k zohlednění běžně dostupných knihovních funkcí programovatelného logického pole FPGA. Kritérium rozšiřitelnosti úzce souvisí s komplexností logické funkce vyhodnocující polohu v závislosti na počtu úrovní.

Pro ověření funkčnosti navrženého univerzálního modulátoru byla vybrána topologie s plovoucími kondenzátory. Výběr byl podmíněn především náročností hardwarového řešení pro tento typ víceúrovňového měniče, které je ve srovnání s topologií využívající upínací diody méně náročné pro sedmiúrovňovou variantu měniče. Sedmi úrovňová varianta měniče byla stanovena na základě parametrů vývojové řídicí desky MLC interface, konkrétně se jedná o počet uživatelsky využitelných signálů PWM.

3.1 Dekompozice vektorového modulátoru pro víceúrovňové měniče FLC

Na obrázku 3.1 jsou zobrazeny hlavní moduly, ze kterých se bude skládat struktura vektorového modulátoru. Modul 1 (Komunikace a synchronizace) přijímá se synchronizačním impulsem sadu dat vystavených kontrolérem DSC na sběrnici, synchronizační impuls je generován modulem 5 (Balancování a časování). Modul 2 (Pomocné výpočty a korekce vstupů pro algoritmus modulátoru) zpracuje data z výstupu modulu 1 podle požadavků modulu 3 (Algoritmus modulátoru), požadavkem může být například převod prostorového vektoru de-

finovaného v osách x a y na tři složky fází U , V a W , nebo výpočet goniometrických funkcí sinus a cosinus. Modul 3 vypočte algoritmus modulace, čímž určí pozici požadovaného vektoru uvnitř trojúhelníkové oblasti a stanoví dobu sepnutí vektorů ve vrcholech oblasti. Modul 4 (Přemapování na reálné spínací kombinace měniče) ztotožní pozice tří vektorů s odpovídajícími reálnými spínacími kombinacemi měniče. Modul 5 (Balancování a časování) vybere spínací kombinace přispívající k vyvažování napětí na plovoucích kondenzátorech a sepne je v pořadí určeném spínací sekvencí na danou dobu sepnutí. Druhou úlohou modulu 5 je generování synchronizačních impulsů pro kontrolér DSC a modul 1. Poslední modul 6 definuje pořadí v rámci osmibitových PWM signálů podle požadavků driverů prototypu zvoleného měniče.



Obr. 3.1: Dekompozice vektorového modulátoru

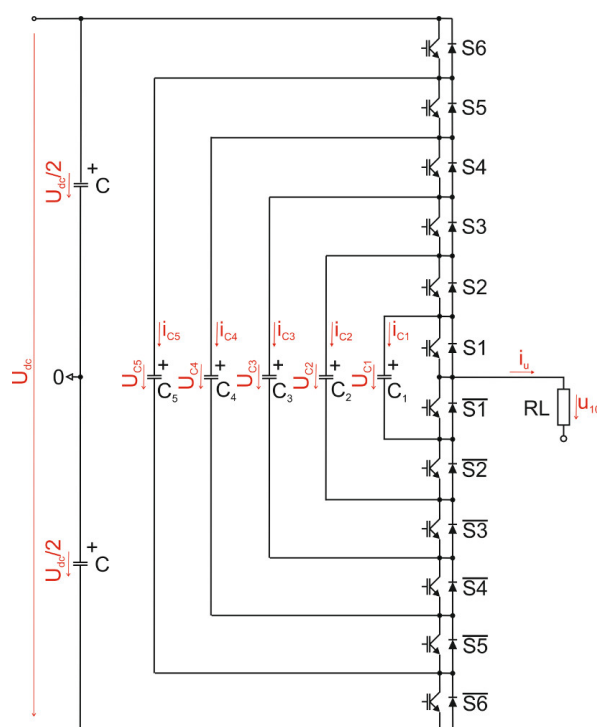
Navržená modulární struktura vychází ze zkušeností získaných z řešených modulátorů popsaných v kapitole 2. Modulární struktura je vytvořena tak, aby bylo jednoduché nahradit jednotlivé moduly v závislosti na vybraném typu modulace a samotné topologii víceúrovňového měniče. Změna typu modulace si vyžádá nezbytné úpravy v modulech 2 a 3, obdobně pak změna topologie měniče vyvolá úpravy v modulech 4, 5 a 6. Poslední uvažovanou změnou v návrhu modulátoru je zvýšení počtu úrovní měniče, tato změna si vyžádá úpravy v modulech 2, 3, 4, 5 a 6.

Uváděné úpravy v modulech jsou vázány na výběr modulace, topologii a počet úrovní měniče, čili pokud nenastane důvod ke změně vybrané modulace (zjednodušená SVM) a počtu úrovní (sedm úrovní), zůstanou pouze úpravy vázané na topologii měniče tj. úpravy v modulech 4, 5 a 6. Těmto úpravám se vyhnout nelze, neboť reálné spínací kombinace měniče a aktivní balancování napětí jsou topologicky závislé. Nicméně pokud by se stanovila množina používaných topologií měničů, lze pro tuto množinu topologií připravit sadu upravených modulů 4, 5 a 6 přímo ve struktuře FPGA. Tímto krokem se ve své podstatě problematika

výběru topologie zúží na zadání jednoho parametru v nadřazené řídicí jednotce DSC, který aktivuje příslušnou sadu modulů pro daný typ topologie.

3.2 Návrh vektorového modulátoru pro sedmiúrovňový měnič FLC

Vektorový modulátor pro sedmiúrovňový měnič FLC dodržuje filozofii naznačenou v úvodu kapitoly 3. Schéma jedné fáze je uvedena na obrázku 3.2. Modulátor je tvořen spojením šesti základních modulů, každý jeden z nich vykonává dílčí část algoritmu vektorové modulace (viz obrázek 3.1)

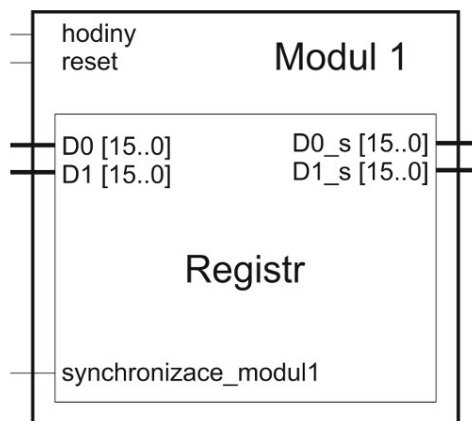


Obr. 3.2: Schéma zapojení jedné fáze 7L-FLC

3.2.1 Modul 1 (Komunikace a synchronizace)

Modul 1 přijímá pouze datovou část přenášeného bloku dat mezi kontrolérem DSC a hradlovým polem FPGA. Obsluha komunikace na sběrnici s kontrolérem DSC je řešena o úroveň výše, tj. v nadřazené entitě *bus_read_write* vývojové desky MLC interface. Přijatá datová část je předána k dalšímu zpracování se synchronizačním pulsem jednou za periodu. Funkce modulu je řešena jednoduchým registrem s řízeným zápisem na výstup (viz obrázek 3.3). Režie modulu 1 spočívá ve čtení řídicích vstupů *reset* a *synchronizace* s náběžnou hranou hodinového signálu. Pokud není na signálu *reset* aktivní úroveň (log. "0") pak aktivní úroveň (log. "1") na signálu *synchronizace* přepíše data za vstupů ($D0$, $D1$) na výstup ($D0_s$, $D1_s$).

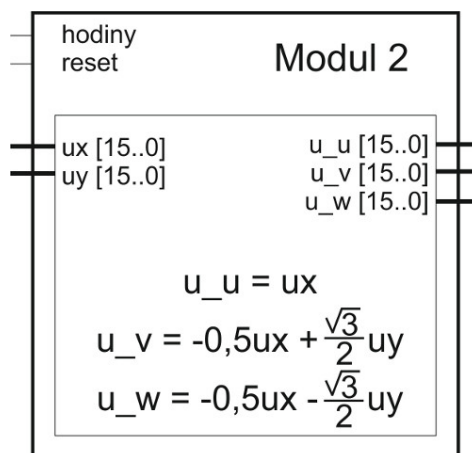
Řídící a stavové bity tvořící řídicí část přenášeného bloku dat jsou zavedeny přímo k příslušným modulům. Čtení řídicích a stavových bitů je v ostatních modulech provedeno s každou náběžnou hranou vnitřního hodinového signálu hradlového pole FPGA.



Obr. 3.3: Blokové schéma funkce modulu 1 (Komunikace a synchronizace)

3.2.2 Modul 2 (Pomocné výpočty a korekce vstupů pro algoritmus modulátoru)

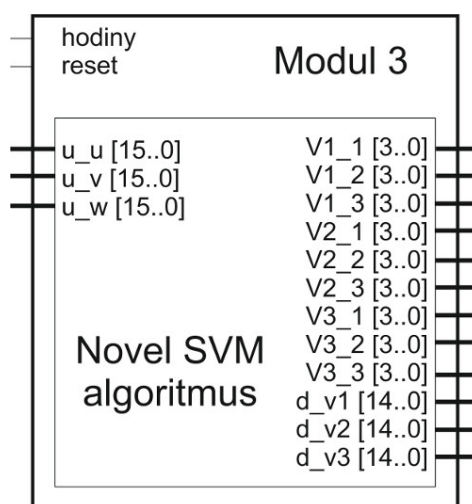
Modul 2 zpracuje data vystavená na výstupu modulu 1. Algoritmus zjednodušené SVM modulace vyžaduje vstup požadovaného napěťového vektoru rozloženého do formy tří složek reprezentující fázová napětí U, V a W. Modul 2 rozklad na tři fáze vypočte dle vztahů uvedených na obrázku 3.4 a předá výsledek na své výstupy. Pokud není řídicí signál *reset* v aktivní úrovni (log. "0"), výpočet je proveden s náběžnou hranou hodinového signálu.



Obr. 3.4: Blokové schéma funkce modulu 2 (Pomocné výpočty a korekce vstupů pro algoritmus modulátoru)

3.2.3 Modul 3 (Algoritmus modulátoru)

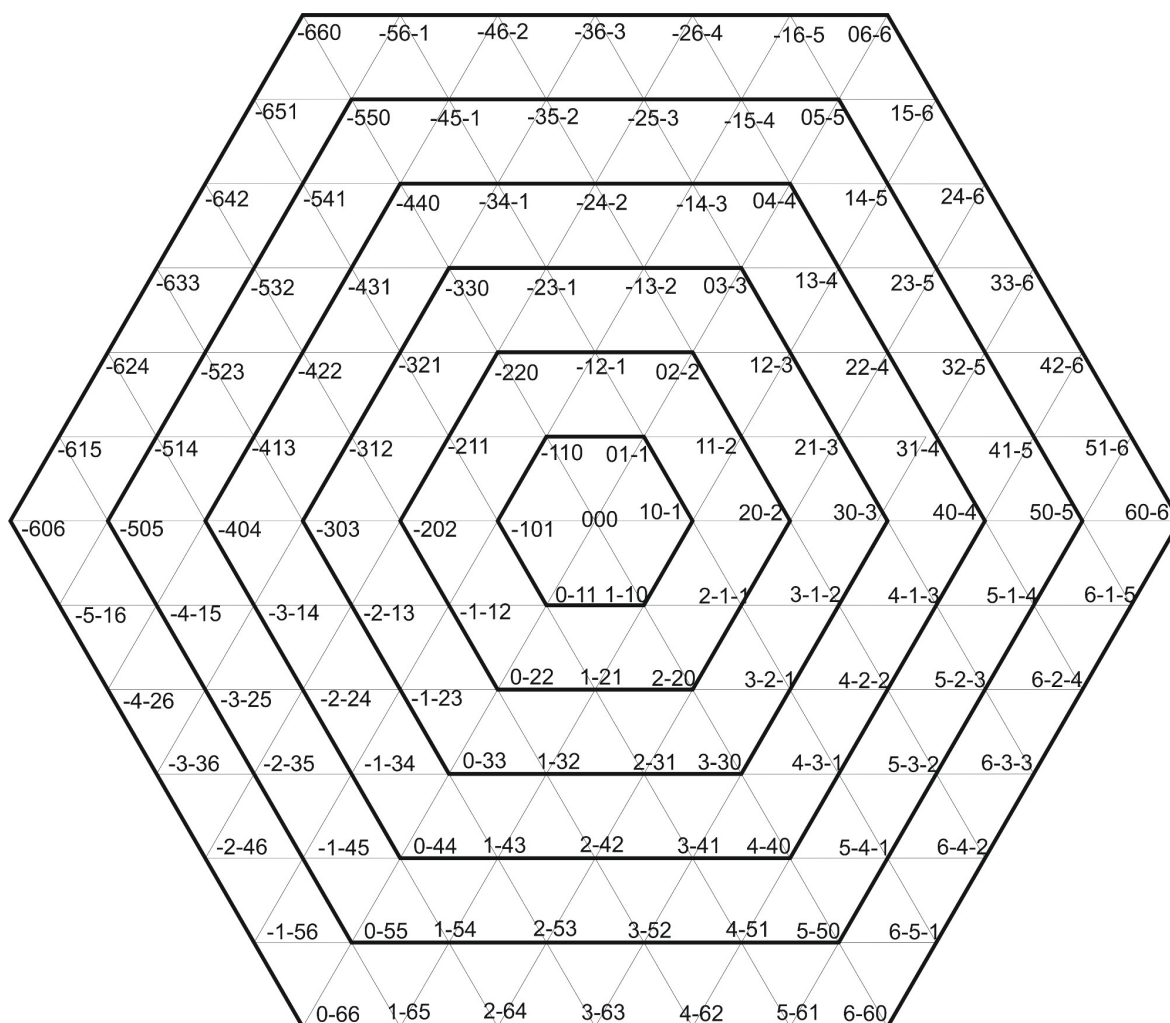
Modul 3 vypočítává algoritmus zjednodušené SVM modulace, podle vztahů uvedených v tabulce 3.1. Algoritmus je podrobněji popsán v kapitole 2.2.5, kde je uveden popis čtyřúrovňové varianty modulátoru, jediný rozdíl pro sedmiúrovňovou variantu FLC měniče spočívá v rozsahu výstupních hodnot ($V1_1, \dots, V3_3$) definující pozici vektoru v rámci trojúhelníkové sítě. Rozsah výstupů je v intervalu $\langle -6, 6 \rangle$, jak je přiblíženo na obrázku 3.6. Pokud není řídicí signál *reset* v aktivní úrovni (log. "0"), výpočet je proveden s náběžnou hranou hodinového signálu.



Obr. 3.5: Blokové schéma funkce modulu 3 (Algoritmus modulátoru)

Tab. 3.1: Výpočet algoritmu zjednodušené SVM

$\text{floor}(u_u) + \text{floor}(u_v) + \text{floor}(u_w) = -1$	$\text{floor}(u_u) + \text{floor}(u_v) + \text{floor}(u_w) \neq -1$
$V1_1 = \text{floor}(u_u)$	$V1_1 = \text{floor}(u_u)$
$V1_2 = \text{floor}(u_v)$	$V1_2 = \text{ceil}(u_v)$
$V1_3 = \text{ceil}(u_w)$	$V1_3 = \text{ceil}(u_w)$
$d_v1 = u_w - \text{floor}(u_w)$	$d_v1 = \text{ceil}(u_u) - u_u$
$V2_1 = \text{ceil}(u_u)$	$V2_1 = \text{ceil}(u_u)$
$V2_2 = \text{floor}(u_v)$	$V2_2 = \text{ceil}(u_v)$
$V2_3 = \text{floor}(u_w)$	$V2_3 = \text{floor}(u_w)$
$d_v2 = u_u - \text{floor}(u_u)$	$d_v2 = \text{ceil}(u_w) - u_w$
$V3_1 = \text{floor}(u_u)$	$V3_1 = \text{ceil}(u_u)$
$V3_2 = \text{ceil}(u_v)$	$V3_2 = \text{floor}(u_v)$
$V3_3 = \text{floor}(u_w)$	$V3_3 = \text{ceil}(u_w)$
$d_v3 = u_v - \text{floor}(u_v)$	$d_v3 = \text{ceil}(u_v) - u_v$

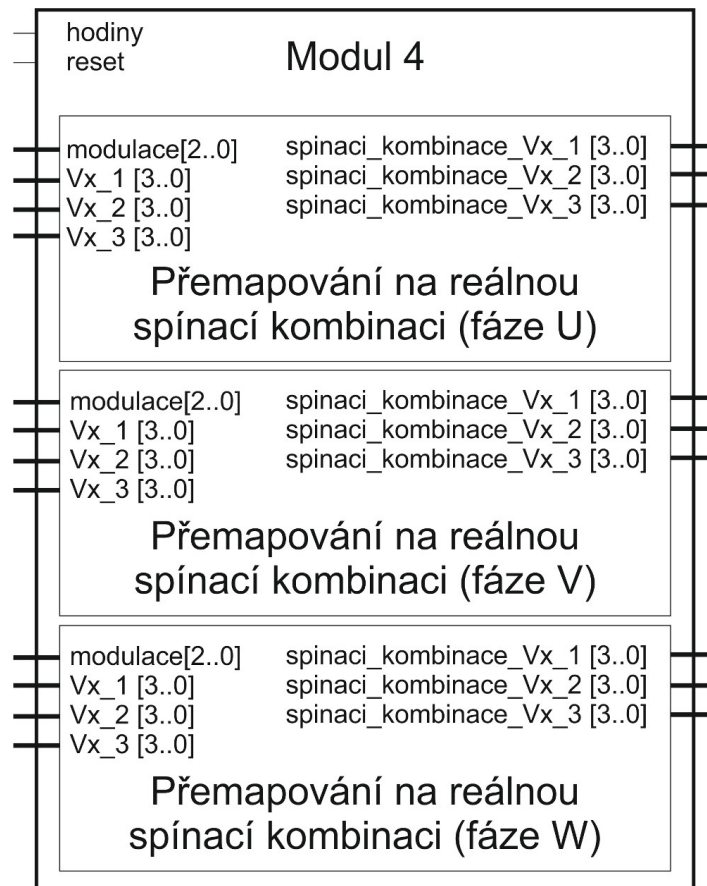


Obr. 3.6: Struktura trojúhelníkové sítě pro sedmiúrovňový vektorový modulátor

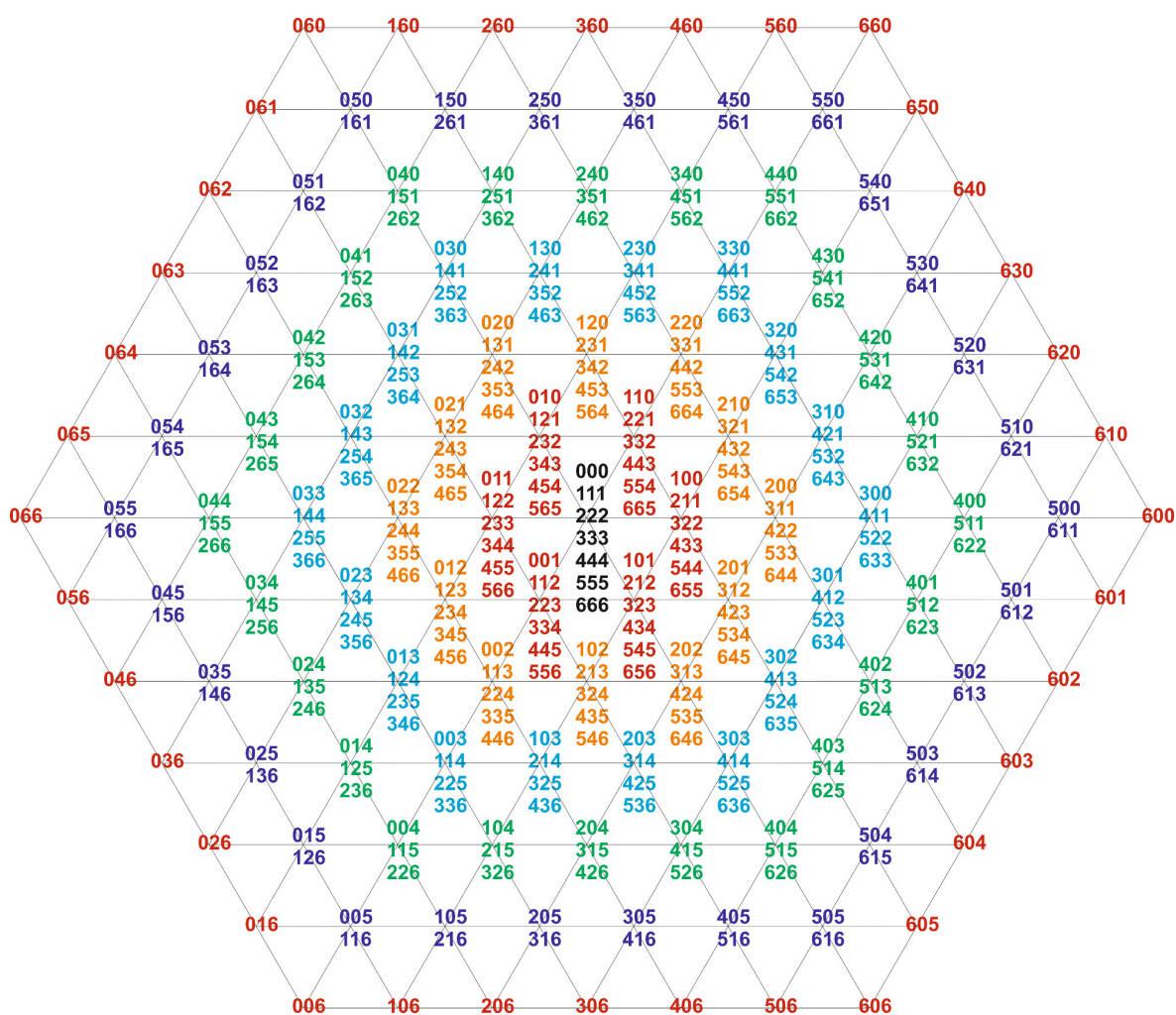
3.2.4 Modul 4 (Přemapování na reálné spínací kombinace měniče)

Modul 4 (obrázek 3.7) přemapovává trojúhelníkovou síť (viz. obrázek 3.6), kterou využívá algoritmus zjednodušené SVM, na reálné spínací kombinace pro měnič FLC. Spínací kombinace jsou přiblíženy na obrázku 3.8, každá spínací kombinace je složena ze tří hodnot určující velikost fázového napětí (UVW) (tj. hodnoty 0, 1, 2, 3, 4, 5 a 6 definují fázové úrovně měniče $-\frac{1}{2}U_{dc}$, $-\frac{1}{3}U_{dc}$, $-\frac{1}{6}U_{dc}$, 0, $\frac{1}{6}U_{dc}$, $\frac{1}{3}U_{dc}$ a $\frac{1}{2}U_{dc}$). Z důvodu zjednodušení kódu je modul 4 sloučen ze tří totožných entit přemapovávajících vždy jednu z fází. Dalším zjednodušením výběru reálné spínací kombinace je zavedení tříbitového řídicího signálu, který svou hodnotou definuje index modulace, a tím určuje, kterou spínací kombinaci využít. Například je-li index modulace 5 (tj. požadavek na pět úrovní) budou využity spínací kombinace, v jejichž kódovém označení je na libovolné pozici hodnota 4 a na ostatních dvou pozicích je hodnota menší než 4 (například: je-li vybrán trojúhelník 11-2, 21-3, 20-2 a index modulace je 5, pak

vybrané spínací kombinace jsou 432, 421, 422) Pokud není řídicí signál *reset* v aktivní úrovni (log. "0"), výpočet je proveden s náběžnou hranou hodinového signálu.



Obr. 3.7: Blokové schéma funkce modulu 4 (Přemapování na reálné spínací kombinace měniče)

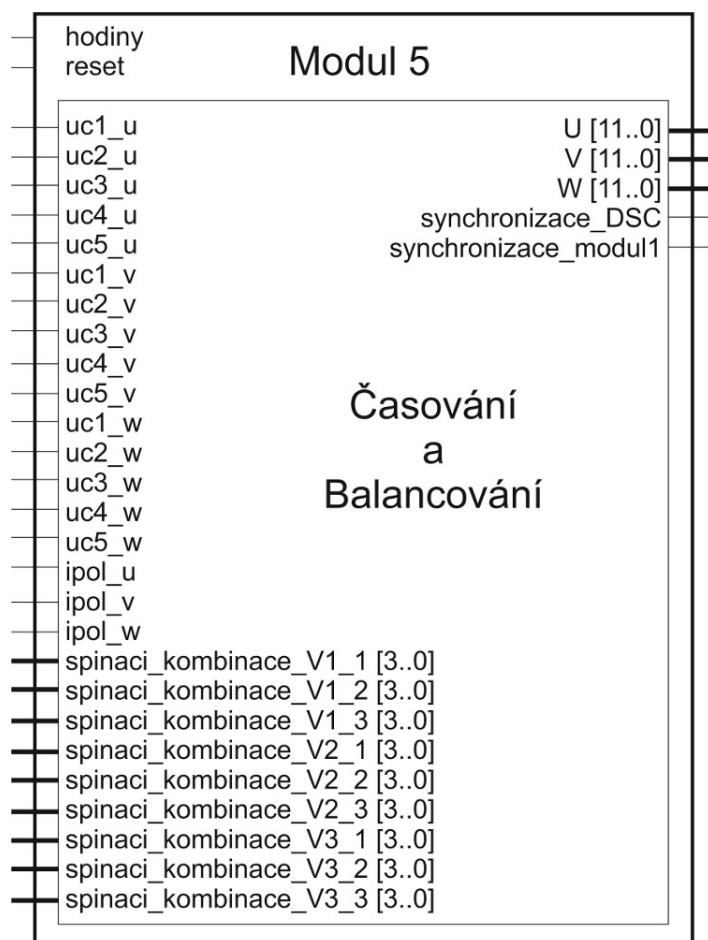


Obr. 3.8: Struktura reálných spínacích kombinací pro sedmiúrovňový měnič FLC

3.2.5 Modul 5 (Balancování a časování)

Modul 5 zajišťuje výběr spínací kombinace pro jednotlivé fáze v závislosti na indexu modulaže, polaritě fázového proudu a stavu napětí na plovoucích kondenzátorech tak, aby bylo docíleno požadovaného poměru napětí na jednotlivých plovoucích kondenzátorech ($\frac{1}{6}U_{dc}$, $\frac{2}{6}U_{dc}$, $\frac{3}{6}U_{dc}$, $\frac{4}{6}U_{dc}$, $\frac{5}{6}U_{dc}$). Vliv spínací kombinace na napětí na jednotlivých plovoucích kondenzátorech je definován v tabulkách 3.2 a 3.3, kde jsou uvedeny vlivy (0 = neutrální, -1 = vybíjí a 1 = nabíjí kondenzátor) pro kladný fázový proud. Pro záporný fázový proud se pouze obrátí vliv na napětí plovoucích kondenzátorech. Pokud pro kladný fázový proud spínací kombinace vybíjí kondenzátor (-1), pak pro záporný proud bude tato kombinace kondenzátor nabíjet (1). Logická funkce pro vyhodnocení balancování je založena na následujících pravidlech: přednost má nabíjení kondenzátoru před jeho vybíjením. Pokud je na kondenzátoru vyšší napětí než požadované a není možné jej vybíjet z důvodu prvního pravidla je pro něj nastaven neutrální vliv, tj. kondenzátor se bude vybíjet samovolně přes svůj paralelně připojený vybíjecí odpor. Funkce vyhodnocující balancování napětí využívá informační bity

o stavu napětí na jednotlivých kondenzátorech (ucx_u , ucx_v , ucx_w , kde x je z intervalu $< 1, 5 >$) a o polaritě proudů v jednotlivých fázích ($ipol_u$, $ipol_v$, $ipol_w$). Kromě logické funkce zajišťující balancování, je součástí modulu 5 čítač počítající náběžné hrany hodinového signálu. Čítač vytváří periodický symetrický pilovitý signál o frekvenci 800Hz, který je následně využit k řízení spínací sekvence. Druhou úlohu čítače je generování synchronizačních pulsů pro kontrolér DSC a modul 1.



Obr. 3.9: Blokové schéma funkce modulu 5 (Balancování a časování)

Tab. 3.2: Vliv spínacích kombinací na napětí plovoucích kondenzátorů 1 pro kladný fázový proud

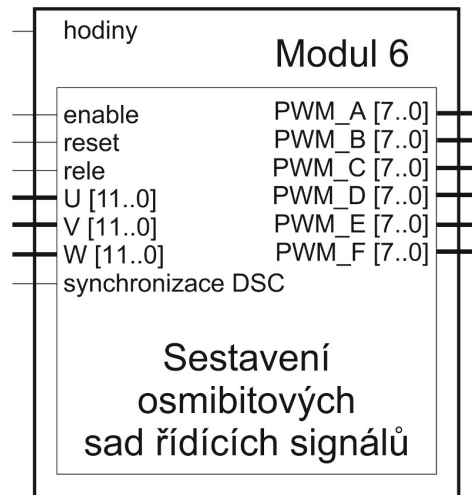
	Index modulace	$\frac{S_6 S_5 S_4 S_3 S_2 S_1}{S_1 S_2 S_3 S_4 S_5 S_6}$	Fázové napětí střídače	C5C4C3C2C1
1	0	00000111111	$-\frac{1}{2}U_{dc}$	00000
2	1	00001011111	$-\frac{1}{3}U_{dc}$	0000-1
3	1	00001010111	$-\frac{1}{3}U_{dc}$	000-11
4	1	00010011011	$-\frac{1}{3}U_{dc}$	00-110
5	1	001000111011	$-\frac{1}{3}U_{dc}$	0 1100
6	1	010000111101	$-\frac{1}{3}U_{dc}$	-11000
7	1	100000111110	$-\frac{1}{3}U_{dc}$	10000
8	2	000011001111	$-\frac{1}{6}U_{dc}$	000-10
9	2	000110100111	$-\frac{1}{6}U_{dc}$	00-101
10	2	001100110011	$-\frac{1}{6}U_{dc}$	0-1010
11	2	011000111001	$-\frac{1}{6}U_{dc}$	-10100
12	2	110000111100	$-\frac{1}{6}U_{dc}$	01000
13	2	000101010111	$-\frac{1}{6}U_{dc}$	00-11-1
14	2	001010101011	$-\frac{1}{6}U_{dc}$	0-11-11
15	2	010100110101	$-\frac{1}{6}U_{dc}$	-11-110
16	2	101000111010	$-\frac{1}{6}U_{dc}$	1-1100
17	2	001001011011	$-\frac{1}{6}U_{dc}$	0-110-1
18	2	010010101101	$-\frac{1}{6}U_{dc}$	-110-11
19	2	100100110110	$-\frac{1}{6}U_{dc}$	10-110
20	2	010001011101	$-\frac{1}{6}U_{dc}$	-1100-1
21	2	100010101110	$-\frac{1}{6}U_{dc}$	100-11
22	2	100001011110	$-\frac{1}{6}U_{dc}$	1000-1
23	3	000111000111	$0U_{dc}$	00-100
24	3	001110100011	$0U_{dc}$	0-1001
25	3	011100110001	$0U_{dc}$	-10010
26	3	001011001011	$0U_{dc}$	0-11-10
27	3	010110100101	$0U_{dc}$	-11-101
28	3	010011001101	$0U_{dc}$	-110-10
29	3	001101010011	$0U_{dc}$	0-101-1
30	3	011010101001	$0U_{dc}$	-101-11
31	3	011001011001	$0U_{dc}$	-1010-1

Tab. 3.3: Vliv spínacích kombinací na napětí plovoucích kondenzátorů 2

	Index modulace	$\overline{S6 S5 S4 S3 S2 S1}$ $\overline{S1 S2 S3 S4 S5 S6}$	fázové napětí střídače	C5C4C3C2C1
32	3	0101010101	$0U_{dc}$	-11-11-1
33	3	1010101010	$0U_{dc}$	1-11-11
34	3	100110100110	$0U_{dc}$	10-101
35	3	100101010110	$0U_{dc}$	10-11-1
36	3	110010101100	$0U_{dc}$	010-11
37	3	101100110010	$0U_{dc}$	1-1010
38	3	101001011010	$0U_{dc}$	1-110-1
39	3	110100110100	$0U_{dc}$	01-110
40	3	100011001110	$0U_{dc}$	100-10
41	3	110001011100	$0U_{dc}$	0100-1
42	3	111000111000	$0U_{dc}$	00100
43	4	011110100001	$\frac{1}{6}U_{dc}$	-10001
44	4	011101010001	$\frac{1}{6}U_{dc}$	-1001-1
45	4	101110100010	$\frac{1}{6}U_{dc}$	1-1001
46	4	011011001001	$\frac{1}{6}U_{dc}$	-101-10
47	4	101101010010	$\frac{1}{6}U_{dc}$	1-101-1
48	4	110110100100	$\frac{1}{6}U_{dc}$	01-101
49	4	010111000101	$\frac{1}{6}U_{dc}$	-11-100
50	4	101011001010	$\frac{1}{6}U_{dc}$	1-11-10
51	4	110101010100	$\frac{1}{6}U_{dc}$	01-11-1
52	4	111010101000	$\frac{1}{6}U_{dc}$	001-11
53	4	001111000011	$\frac{1}{6}U_{dc}$	0-1000
54	4	100111000110	$\frac{1}{6}U_{dc}$	10-100
55	4	110011001100	$\frac{1}{6}U_{dc}$	010-10
56	4	111001011000	$\frac{1}{6}U_{dc}$	0010-1
57	4	111100110000	$\frac{1}{6}U_{dc}$	00010
58	5	011111000001	$\frac{1}{3}U_{dc}$	-10000
59	5	101111000010	$\frac{1}{3}U_{dc}$	1-1000
60	5	110111000100	$\frac{1}{3}U_{dc}$	01-100
61	5	111011001000	$\frac{1}{3}U_{dc}$	001-10
62	5	111101010000	$\frac{1}{3}U_{dc}$	0001-1
63	5	111110100000	$\frac{1}{3}U_{dc}$	00001
64	6	111111000000	$\frac{1}{2}U_{dc}$	00000

3.2.6 Modul 6 (Sestavení sady řídicích signálů pro víceúrovňový měnič)

Modul 6 zajišťuje závěrečné sestavení řídicích signálů do osmibitových sad, tak aby byly na správné pozici požadované drivery měniče.



Obr. 3.10: Blokové schéma funkce modulu 6 (Sestavení sady řídicích signálů pro víceúrovňový měnič)

3.3 Aktivní balancování napětí plovoucích kondenzátorů podle napěťového modelu

Další možnou variantou aktivního balancování napětí na plovoucích kondenzátorech je využití matematického modelu napětí na plovoucích kondenzátorech. Princip matematického modelu vychází z FCS-MPC regulátoru uvedeného v kapitole 2.2.7. Algoritmus vedoucí k výběru vhodné spínací kombinace je vykonáván stavovým automatem. Nejdříve je identifikován požadavek na napěťovou hladinu. Pak následuje výpočet odhadu napětí na plovoucích kondenzátorech. Výpočet je proveden pro všechny spínací kombinace, které vytvoří danou napěťovou hladinu. Výpočty odhadů napětí pro jednotlivé plovoucí kondenzátory ve fázi U je proveden dle rovnic (3.1) až (3.5).

$$uc1_{U,k+1} = uc1_{U,k} + \frac{i_u \cdot stav_C \cdot hr}{C1} + \frac{\frac{uc1_{U,k} \cdot hr}{R_V}}{C1} \quad (3.1)$$

$$uc2_{U,k+1} = uc2_{U,k} + \frac{i_u \cdot stav_C \cdot hr}{C2} + \frac{\frac{uc2_{U,k} \cdot hr}{R_V}}{C2} \quad (3.2)$$

$$uc3_{U,k+1} = uc3_{U,k} + \frac{i_u \cdot stav_C \cdot hr}{C3} + \frac{\frac{uc3_{U,k} \cdot hr}{R_V}}{C3} \quad (3.3)$$

$$uc4_{U,k+1} = uc4_{U,k} + \frac{i_u \cdot stav_C \cdot hr}{C4} + \frac{\frac{uc4_{U,k} \cdot hr}{R_V}}{C4} \quad (3.4)$$

$$uc5_{U,k+1} = uc5_{U,k} + \frac{i_u \cdot stav_C \cdot hr}{C5} + \frac{\frac{uc5_{U,k} \cdot hr}{R_V}}{C5}, \quad (3.5)$$

kde hr je časová konstanta a proměnná $stav_C$ udává, jaký bude mít vliv na napětí kondenzátoru reálná spínací kombinace, pro kterou je výpočet odhadu napětí proveden.

V dalším stavu automatu je proveden výpočet ztrátové funkce pro danou reálnou spínací kombinaci dle vztahu (3.6). Počet vypočítávaných ztrátových funkcí se liší podle požadované napěťové úrovně fázového napětí střídače. Pro úrovně $-\frac{1}{3}U_{dc}$ a $\frac{1}{3}U_{dc}$ se spočítá šest ztrátových funkcí, pro úrovně $-\frac{1}{6}U_{dc}$ a $\frac{1}{6}U_{dc}$ se spočítá 15 ztrátových funkcí a pro úroveň 0 se spočítá 20 ztrátových funkcí. Pro úrovně $-\frac{1}{2}U_{dc}$ a $\frac{1}{2}U_{dc}$ se ztrátové funkce nepočítají, protože jsou tyto úrovně vytvořeny pouze jednou reálnou spínací kombinací.

$$uc_x = \left(\frac{1}{6}Uc - uc1_{U,k+1}\right)^2 + \left(\frac{2}{6}Uc - uc2_{U,k+1}\right)^2 + \left(\frac{3}{6}Uc - uc3_{U,k+1}\right)^2 + \quad (3.6)$$

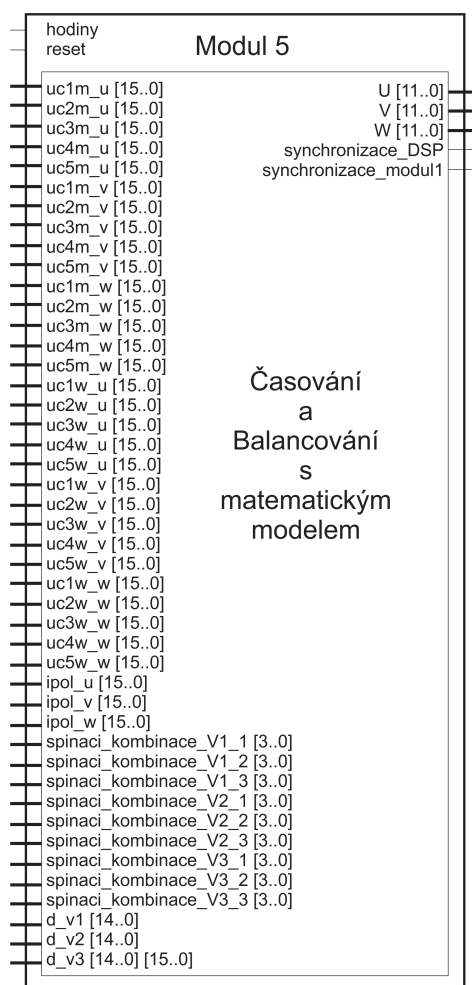
$$+ \left(\frac{4}{6}Uc - uc4_{U,k+1}\right)^2 + \left(\frac{5}{6}Uc - uc5_{U,k+1}\right)^2, \quad (3.7)$$

kde x nabývá hodnot podle počtu reálných spínacích kombinací v příslušné napěťové úrovni.

Následně je vybrána reálná spínací kombinace s nejmenší ztrátovou funkcí. Tato reálná spínací kombinace je sepnuta na dobu danou spínací sekvencí.

3.3.1 Modul 5 (Balancování s matematickým modelem a časování)

Upravený modul 5 zajišťuje výběr reálné spínací kombinace pro jednotlivé fáze v závislosti na indexu spínací kombinace, naměřených hodnot napětí na plovoucích kondenzátorech ($uc1m_x$, kde x reprezentuje označení fází u , v , w), požadovaných hodnot napětí na plovoucích kondenzátorech ($uc1w_x$, kde x opět nabývá hodnot u , v , w), naměřených hodnot fázového proudu a stavu napětí na plovoucích kondenzátorech tak, aby bylo docíleno požadovaného poměru napětí na jednotlivých plovoucích kondenzátorech ($\frac{1}{6}U_{dc}$, $\frac{2}{6}U_{dc}$, $\frac{3}{6}U_{dc}$, $\frac{4}{6}U_{dc}$, $\frac{5}{6}U_{dc}$). Vliv spínací kombinace na napětí jednotlivých plovoucích kondenzátorů je uveden v předchozí kapitole v tabulce 3.2. Výběr reálné spínací kombinace je definovaný minimální hodnotou ztrátové funkce. Kromě výpočtu ztrátové funkce zajišťující balancování, je součástí upraveného modulu 5 čítač počítající náběžné hrany hodinového signálů. Čítač vytváří periodický symetrický pilovitý signál o frekvenci 800 Hz, který je následně využit k řízení spínací sekvence. Druhou úlohou čítače je generování synchronizačních pulsů pro kontrolér DSC a modul 1.



Obr. 3.11: Blokové schéma funkce modulu 5 (Balancování a časování)

3.4 Ověření funkčnosti navrženého modulátoru - simulační model

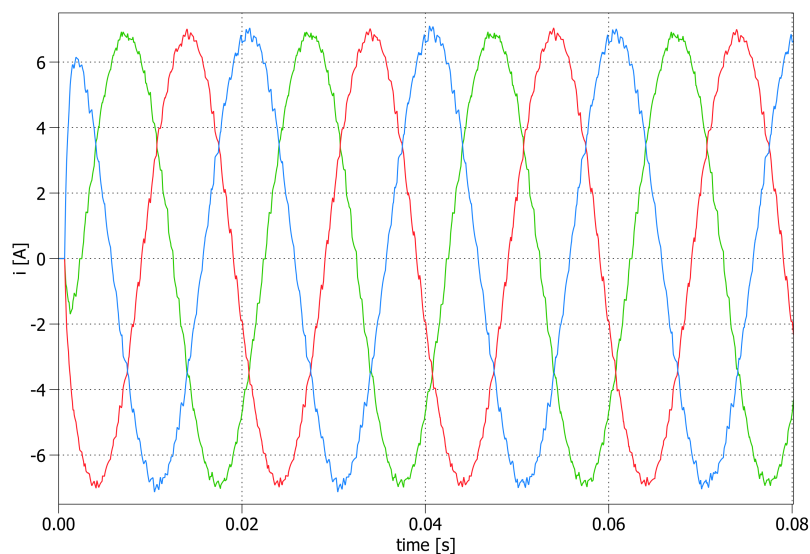
Byl sestaven simulační model pro sedmiúrovňový střídač FLC s modulátorem založeným na algoritmu zjednodušené SVM se dvěma variantami balancování popsány v kapitolách 3.2 a 3.3. Simulace byly provedeny v programu Matlab Simulink a Plecs. Simulována byla střídačová část měniče 7L-FLC. Střídač je v simulaci spojen s RL zátěží zapojenou do hvězdy. Parametry simulovaného střídače s RL zátěží: spínací frekvence 800 Hz, napětí ve stejnosměrném obvodu 600 V, modulační signál 50 Hz, hloubka modulace 1,0, kapacita plovoucích kondenzátorů 40 μF , odpor zátěže 50 Ω , indukčnost zátěže 20 mH. Cílem simulací bylo ověřit jak funkčnost algoritmu zjednodušené SVM rozšířeného na sedm úrovní, tak i funkčnost dvou navržených možností balancování.

Výsledky simulace pro zjednodušený SVM modulátor jsou uvedeny na obrázcích: obrázek 3.12 - fázové proudy střídače, obrázek 3.13 - sdružené napětí střídače, obrázek 3.14 - fázová napětí zátěže.

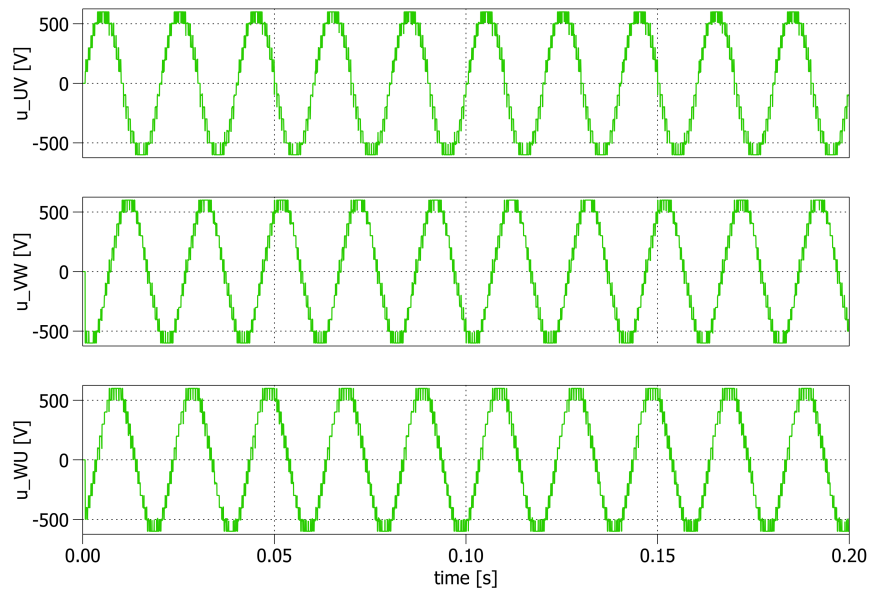
Výsledky simulace pro zjednodušený SVM modulátor s matematickým modelem napětí na plovoucích kondenzátorech jsou uvedeny na obrázcích: obrázek 3.15 - fázové proudy střídače, obrázek 3.16 - sdružené napětí střídače, obrázek 3.17 - fázová napětí zátěže.

Srovnání výsledků balancování je pak uvedeno na obrázcích: obrázek 3.18 - napětí na pěti plovoucích kondenzátorech při použití modulátoru zjednodušené SVM, obrázek 3.19 - napětí na plovoucích kondenzátorech při použití modulátoru zjednodušené SVM s matematickým modelem napětí na plovoucích kondenzátorech, obrázek 3.20 - průměrná odchylka napětí na plovoucích kondenzátorech při použití modulátoru zjednodušené SVM, obrázek 3.21 - průměrná odchylka napětí na plovoucích kondenzátorech při použití modulátoru zjednodušené SVM s matematickým modelem napětí na plovoucích kondenzátorech.

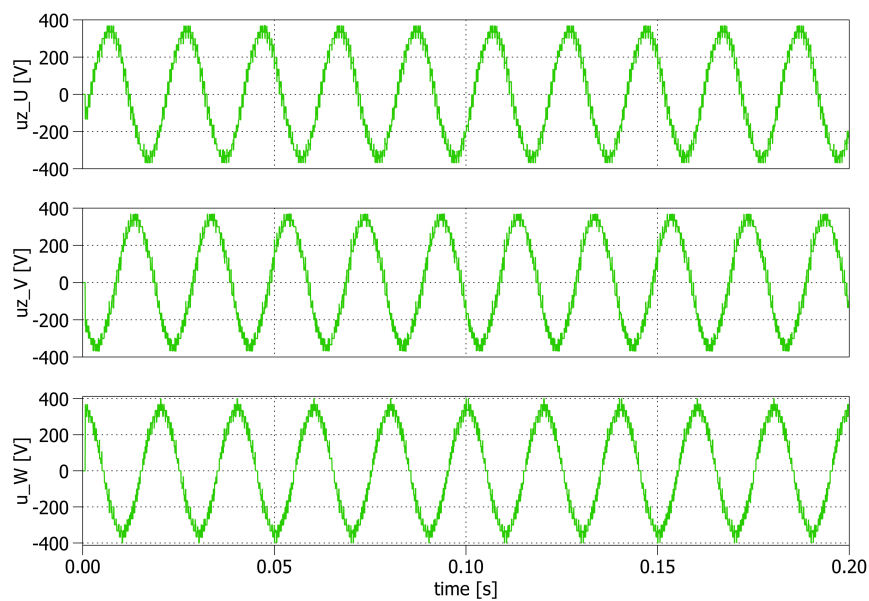
Jak je vidět ze simulovaných výsledků, průběhy jednotlivých zkoumaných veličin jsou si velice podobné. Drobný rozdíl mezi modulátory je vidět až u průměrné odchylky napětí od požadovaného napětí na plovoucích kondenzátorech C_1 , C_2 , C_4 a C_5 . V tomto srovnání vychází lépe modulátor zjednodušené SVM s matematickým modelem, který dosahuje přibližně o 2 [V] nižšího průměrného rozkmitu.



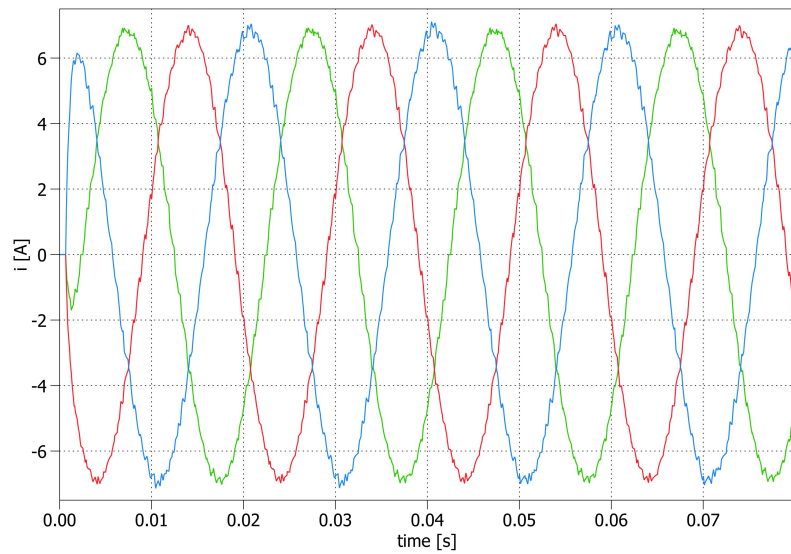
Obr. 3.12: Zjednodušený SVM modulátor: Fázové proudy střídače 7L-FLC



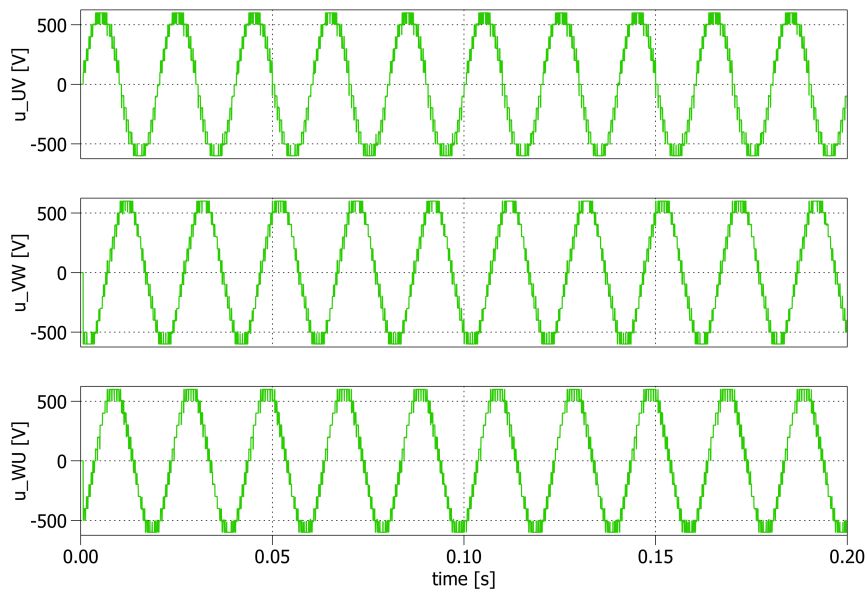
Obr. 3.13: Zjednodušený SVM modulátor: Sdružené napětí střídače střídače 7L-FLC



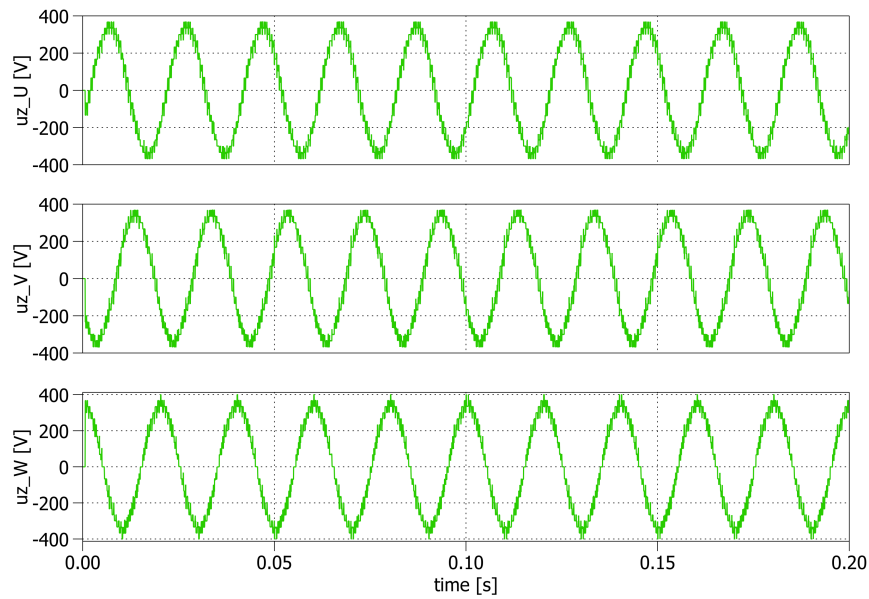
Obr. 3.14: Zjednodušený SVM modulátor: Fázové napětí zátěže 7L-FLC



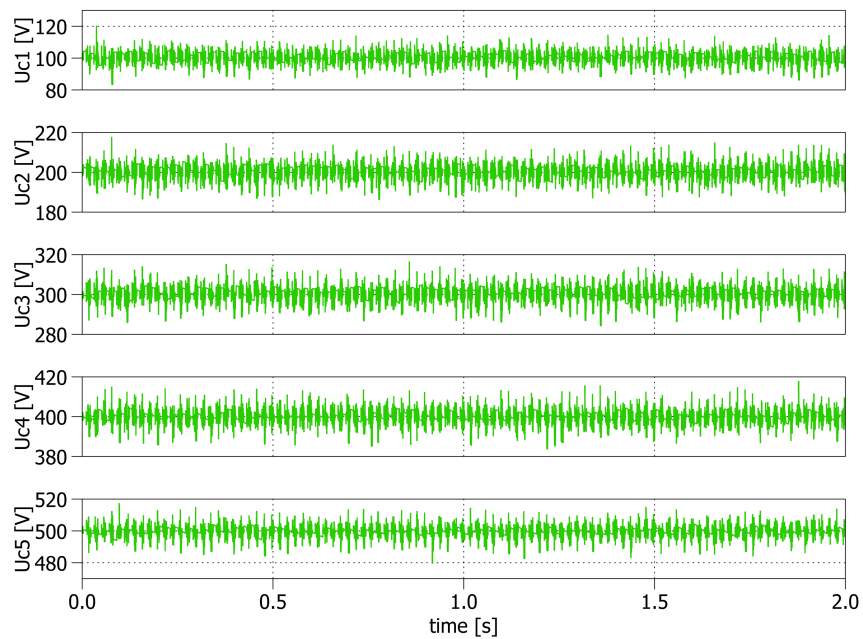
Obr. 3.15: Zjednodušený SVM modulátor s matematickým modelem napětí na plovoucích kondenzátorech: Fázové proudy střídače 7L-FLC



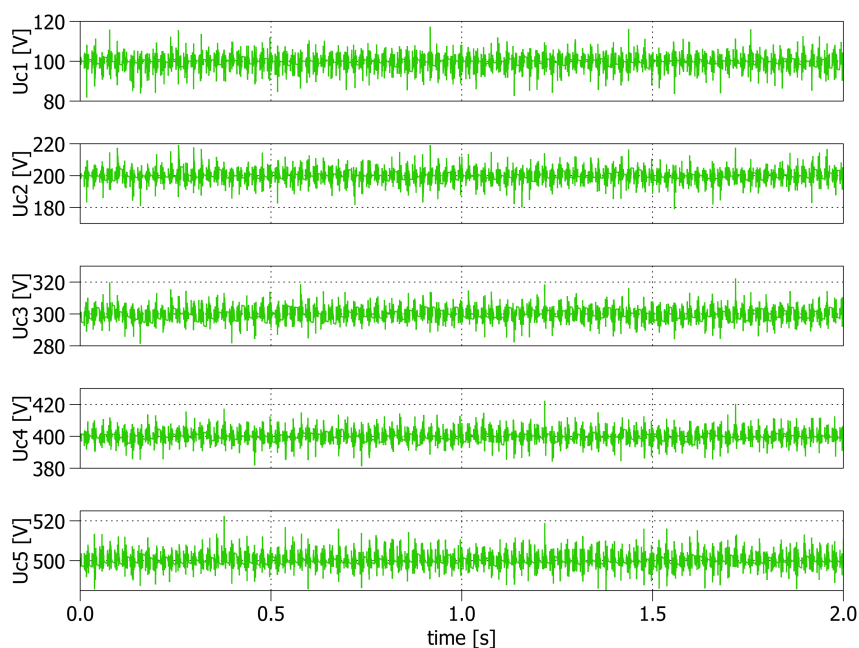
Obr. 3.16: Zjednodušený SVM modulátor s matematickým modelem napětí na plovoucích kondenzátorech: Sdružené napětí střídače 7L-FLC



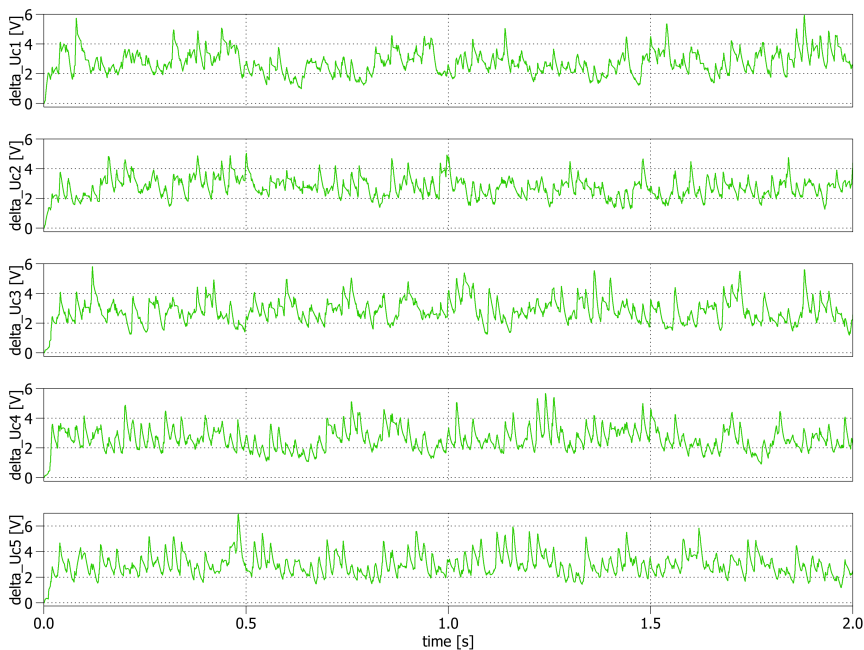
Obr. 3.17: Zjednodušený SVM modulátor s matematickým modelem napětí na plovoucích kondenzátorech: Fázové napětí zátěže 7L-FLC



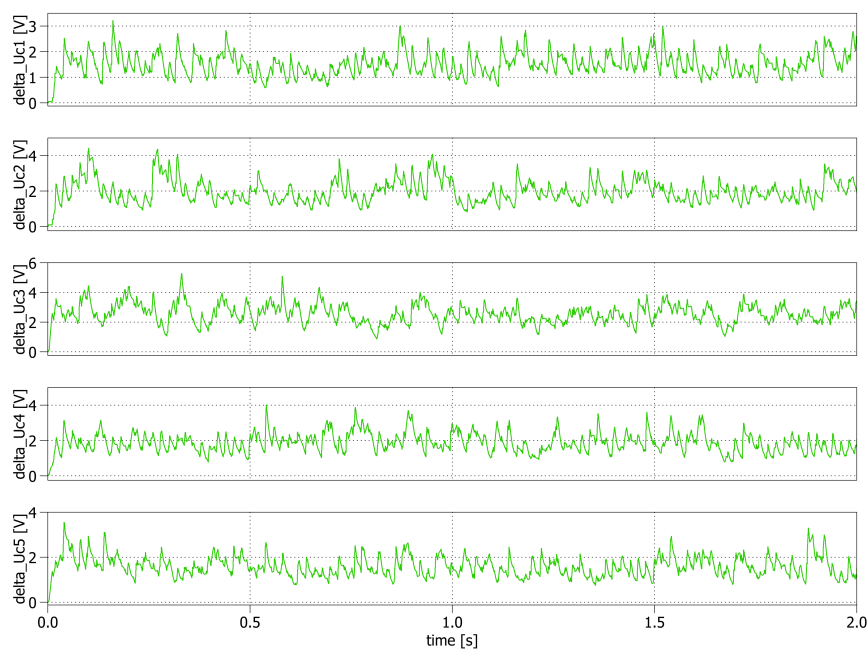
Obr. 3.18: Zjednodušený SVM modulátor: Napětí na plovoucích kondenzátorech 7L-FLC



Obr. 3.19: Zjednodušený SVM modulátor s matematickým modelem napětí na plovoucích kondenzátorech: Napětí na plovoucích kondenzátorech 7L-FLC



Obr. 3.20: Zjednodušený SVM modulátor: Odchylka napětí na plovoucích kondenzátorech 7L-FLC



Obr. 3.21: Zjednodušený SVM modulátor s matematickým modelem napětí na plovoucích kondenzátorech: Odchylka napětí na plovoucích kondenzátorech 7L-FLC

3.5 Dílčí závěr

Cílem simulací bylo ověřit funkčnost navrženého modulátoru jako celku a porovnat různé přístupy k otázce aktivního balancování napětí. Byly navrženy a odsimulovány dvě různé strategie pro aktivní balancování napětí plovoucích kondenzátorů. Obě strategie balancování byly simulovány v součinnosti s modulačním algoritmem zjednodušené SVM, který byl vybrán z důvodu nízkých výpočetních nároků a bezproblémové rozšiřitelnosti související s přechodem na více napěťových hladin. Na základě výsledků simulací uvedených v předchozí kapitole lze navržený modulátor prohlásit za simulačně funkční. Z výsledků je rovněž patrné, že aktivní balancování založené na matematickém modelu napětí na plovoucích kondenzátorech dosahuje menšího průměrného rozkmitu napětí na plovoucích kondenzátorech C_1 , C_2 , C_4 a C_5 . Na plovoucím kondenzátoru C_3 je rozkmit napětí přibližně shodný pro obě strategie aktivního balancování. Další výhodou strategie s matematickým modelem spočívá ve výpočtu ztrátové funkce a jejích možnostech rozšiřitelnosti o další parametry vylepšující vliv na samotný měnič, např. rovnoměrné rozdělení spínacích ztrát.

4 Závěr

Autor se v rámci této disertační práce podílel na návrhu a stavbě nových prototypů víceúrovňových měničů určených pro náročné jak průmyslové, tak i trakční aplikace. Konkrétně se jednalo o měniče vycházející z následujících technologií: CHB, NPC, ANPC, FLC. Původním přínosem této práce je pak výzkum nových resp. modifikovaných modulačních algoritmů pro řízení víceúrovňových měničů a tvorba odpovídajícího softwarového vybavení do programovatelného logického pole FPGA. Hlavním cílem této práce bylo na základě dílčích kroků vývoje jednotlivých typů modulací navrhnout strukturu univerzálního modulátoru bez ohledu na počet úrovní a topologii víceúrovňových měničů. V rámci postupného vývoje univerzálního modulátoru byly implementovány modulátory PS-PWM, PD-PWM, SV-PWM, zjednodušená SVM a regulátor založený na prediktivním řízení FCS-MPC (tzn. přímé prediktivní řízení měniče bez použití PWM modulátoru). Cílem bylo ověřit jejich funkčnost v součinnosti s různými topologiemi víceúrovňových měničů a mj. náročnost samotné implementace jednotlivých modulačních algoritmů. Pro testy funkčnosti byly vybrány víceúrovňové měniče založené na topologiích CHB, NPC, ANPC a FLC. Konkrétně se jednalo o devítiúrovňový měnič CHB, tříúrovňový měnič NPC, tříúrovňový střídač ANPC a čtyřúrovňový měnič FLC.

Jako první byl navržen regulátor pro devítiúrovňový měnič CHB. Vyvinutý PS-PWM modulátor umožňuje řídit až čtyři kaskádně řazené H-můstky. V této práci byla funkce navrženého modulátoru ověřena konkrétně na primárním napěťovém pulzním usměrňovači (topologie CHB), který je součástí nové generace trakčního měniče se středofrekvenčním transformátorem. Implementace PS-PWM modulátoru v hradlovém poli FPGA umožňuje průběžné vyhodnocování modulačního signálu tak, jak je generován algoritmem regulace, tj. modulátor akceptuje novou hodnotu modulačního signálu s každou dokončenou periodou výpočtu algoritmu v DSC. Spotřebované zdroje a výpočetní náročnost v jednotce FPGA jsou uvedeny v přehledové tabulce 4.1.

Druhá topologie, řešená v této práci s ohledem na požadavky běžících výzkumných projektů a úkolů, je čtyřúrovňový měnič s plovoucími kondenzátory. Pro tento měnič byl navržen a otestován modulátor s modulací PD-PWM, a potom se zjednodušenou SVM. Ve srovnání hodnot THD pro fázové napětí, sdružené napětí a fázový proud střídače dosahuje lepšího výsledku modulátor PD-PWM. U posledního zjišťovaného parametru implementační náročnosti vychází rovněž lépe modulátor PD-PWM, oproti modulátoru zjednodušené SVM nevyžaduje jeho algoritmus žádný další dodatečný výpočet. Hlavní výhoda modulátoru zjednodušené SVM spočívá ve nenáročném rozšiřitelnosti na vyšší počet úrovní. Algoritmus

výpočtu zjednodušené SVM zůstává stejný, zvětšuje se jen interval vstupních a výstupních proměnných algoritmu. Spotřebované zdroje a výpočetní náročnost v jednotce FPGA jsou uvedeny v přehledové tabulce 4.1.

Další uvažovanou topologií byl tříúrovňový měnič NPC, pro kterou byly navrženy a vyvinuty modulátory SVM, zjednodušené SVM a regulátor založený na FCS-MPC. Ve srovnání hodnot THD pro fázové proudy zátěže dosahuje nejlepšího výsledku modulátor zjednodušené SVM. Implementační náročnost vychází nejlépe pro modulátor zjednodušené SVM, oproti zbývajícím dvěma modulátorům nevyžaduje jeho algoritmus výpočet goniometrických funkcí. Nejnáročněji vychází z principu regulátor FCS-MPC, protože součástí jeho algoritmu je prediktivní regulátor proudu, který musí počítat predikovaný stav pro velké množství spínacích kombinací, a výpočet ztrátové funkce, která zajišťuje balancování. Zbylé dva modulátory využívají pro balancování logickou funkci. Pokud bychom chtěli během fáze výpočtu balancování napětí zajišťovat i rovnoměrné rozložení spínacích ztrát, pak by byl ve výhodě modulátor FCS-MPC, a to právě díky výpočtu ztrátové funkce, kde by stačilo přidat parametr penalizující několikanásobné sepnutí stejného prvku v rámci jedné spínací periody. Spotřebované zdroje a výpočetní náročnost v jednotce FPGA jsou uvedeny v přehledové tabulce 4.1.

Dalším v pořadí byly navrženy modulátory SVM a zjednodušené SVM pro tříúrovňový střídač ANPC. Ve srovnání hodnot THD pro fázové napětí, sdružené napětí a fázový proud střídače dosahuje lepšího výsledku modulátor SVM. U posledního zjišťovaného parametru implementační náročnosti vychází lépe modulátor zjednodušené SVM, oproti modulátoru klasické SVM nevyžaduje jeho algoritmus výpočet goniometrických funkcí. Spotřebované zdroje a výpočetní náročnost v jednotce FPGA jsou uvedeny v přehledové tabulce 4.1.

Na základě řešení dílčích kroků vývoje byl navržen univerzální modulátor. Univerzálnost spočívá v jeho modulovém systému. Každý dílčí krok výpočtu algoritmu modulátoru je soustředěn v samostatném modulu. V závislosti na volbě topologie měniče, počtu úrovní, způsobu balancování napětí na kondenzátorech, se vyberou příslušné moduly, jejichž propojením se sestaví požadovaný modulátor pro daný víceúrovňový měnič. Tento výběr je v současnosti řešen manuálně. Nicméně vzhledem k velikostem, které jednotlivé moduly zabírají v prostoru FPGA, je možné tento proces v budoucnu zautomatizovat přímo ve struktuře FPGA.

Algoritmus modulátoru je implementován v hradlovém poli FPGA, tato skutečnost přináší značné paměťové ulehčení digitálnímu signálovému kontroléru DSC, protože s rostoucím počtem úrovní měniče exponenciálně roste i počet spínacích kombinací (tj. roste podle funkce 2^{N-1} , kde N je počet úrovní měniče), které vytvoří požadovanou napěťovou úroveň. Úměrně k rostoucí množině spínacích kombinací roste náročnost výpočtu vhodné spínací kombinace v modulu aktivního balancování. Většina výpočetního výkonu kontroléru DSC je uvolněna pro implementaci nadřazených regulačních algoritmů elektrického pohonu.

Navržené nové řešení univerzálního modulárního modulátoru bylo demonstrováno na sedmiúrovňovém střídači s plovoucími kondenzátory. Jako vhodný zástupce modulačních algoritmů byl vybrán algoritmus zjednodušené SVM, který přináší značné výhody zejména tím, že ke své funkci nepotřebuje výpočet goniometrických funkcí a navíc, s rostoucím počtem úrovní roste pouze interval indexů určující pozici vektoru v rámci trojúhelníkové sítě. Na základě výsledků srovnávacího testu dvou variant balancování napětí na kondenzátorech bylo vybráno nově navržené prediktivní aktivní balancování. Díky vyvinutému algoritmu s matematickým modelem bylo dosaženo menšího zvlnění napětí na plovoucích kondenzátorech. Hlavní výhoda prediktivního balancování spočívá ve výpočtu ztrátové funkce. Ta přináší značné zjednodušení při rozšiřování o další parametry modulace vylepšující vliv na samotný měnič. Příkladem takového vylepšení modulace může být rovnoměrné rozložení spínacích ztrát měniče.

Tab. 4.1: Spotřebované zdroje v jednotce FPGA

Měnič	Modulátor	Logické buňky	Registry	Celkem	Nejhorší cesta dat
9L-CHB	PS-PWM	779	286	1065 (4%)	8,461 ns
3L-NPC	SV-PWM	2174	373	3765 (10%)	19,638 ns
	Zjednodušená SVM	1249	185	2869 (7%)	10,243 ns
3L-ANPC	SV-PWM	5164	836	6766 (17%)	19,638 ns
	Zjednodušená SVM	4021	666	5594 (14%)	15,899 ns
4L-FLC	PD-PWM	1241	207	3830 (10%)	10,688 ns
	Zjednodušená SVM	1814	224	4961 (13%)	15,980 ns

Datová cesta udává časový údaj od změny dat na vstupu entity do změny dat na výstupu entity. Nejhorší datová cesta pak udává nejdelší datovou cestu ze všech dílčích entit tvořících entitu modulátoru.

Perspektivní směry dalšího zkoumání:

- Ověřit další možnosti výběru spínacích kombinací v závislosti na napěťové úrovni před aplikací balancovacích pravidel, což by mohlo přinést zlepšení kvality výstupního napětí měniče.
- Navrhnout matematický model pro výpočet napětí na plovoucích kondenzátorech (uvedený v kapitole 3.3) v pevné řádové čárce pro 7L-FLC měnič. Na základě výsledků experimentů navrhnout obdobný model pro zbylé topologie.
- Provéřit předpoklad závislosti či nezávislosti aktivního balancování na dané topologii na základě dílčích implementací matematického modelu pro balancování.
- Zaměřit se v oblasti řízení na algoritmy prediktivního řízení s delším horizontem predikce, případně na prediktivní řízení se spojitým prostorem akčních zásahů.

Literatura

- [1] FRANQUELO, Leopoldo G, RODRIGUEZ, Jose, LEON, Jose, KOURO, Samir, PORTILLO, Ramon et al. *The age of multilevel converters arrives*. Industrial Electronics Magazine, IEEE. 2008, roč. 2, č. 2, s. 28–39.
- [2] WANG, Chenchen, LI, Yondong. *A survey on topologies of multilevel converters and study of two novel topologies*. In 2009 IEEE 6th International Power Electronics and Motion Control Conference. 2009.
- [3] EDPUGANTI, Amarendra, RATHORE, Akshay Kumar. *A survey of low-switching frequency modulation techniques for medium-voltage multilevel converters*. In Industry Applications Society Annual Meeting, 2014 IEEE. 2014, s. 1–8.
- [4] RODRÍGUEZ, José, BERNET, Steffen, WU, Bin, PONTT, Jorge O, KOURO, Samir. *Multilevel voltage-source-converter topologies for industrial medium-voltage drives*. Industrial Electronics, IEEE Transactions on. 2007, roč. 54, č. 6, s. 2930–2945.
- [5] RODRIGUEZ, J., FRANQUELO, L.G., KOURO, S. et al. *Multilevel Converters: An Enabling Technology for High-Power Applications*. Proceedings of the IEEE. 2009, roč. 97, č. 11, s. 1786–1817. Dostupný z WWW: (<http://ieeexplore.ieee.org/stamp/stamp.jsp?arnumber=5290111>).
- [6] RODRIGUEZ, J., LAI, Jih-Sheng, PENG, Fang Zheng. *Multilevel inverters: a survey of topologies, controls, and applications*. 2002, roč. 49, č. 4, s. 724–738. Dostupný z WWW: (<http://ieeexplore.ieee.org/stamp/stamp.jsp?arnumber=1021296>).
- [7] KHOMFOI, Surin, TOLBERT, Leon M. *Chapter 31 Multilevel Power Converters*.
- [8] P., Drábek, J., Fořt, L., Piskač, M., Pittermann, F., Vondrášek. *Aktuální měničové struktury : studie možností aplikace v trakci*. 2006. Výzkumná zpráva č. 22160-09-06.
- [9] JANÍK D. Glasberger T., Peroutka Z. *Topologie vícehladinových měničů*. 2011. Výzkumná zpráva č. 22160-028-2011.
- [10] RODRÍGUEZ, José, PONTT, Jorge, LEZANA, Pablo, KOURO, Samir. *Tutorial on multilevel converters*. In PELINCEC International Conference on Power Electronics and Intelligent Control for Energy Conservation, Warsaw. 2005, s. 17–19.

-
- [11] RODRIGUEZ, Jose, BERNET, Steffen, STEIMER, Peter K, LIZAMA, Ignacio E. *A survey on neutral-point-clamped inverters*. Industrial Electronics, IEEE Transactions on. 2010, roč. 57, č. 7, s. 2219–2230.
- [12] MALINOWSKI, Mariusz, GOPAKUMAR, K, RODRIGUEZ, Jose, PEREZ, Marcelo A. *A survey on cascaded multilevel inverters*. Industrial Electronics, IEEE Transactions on. 2010, roč. 57, č. 7, s. 2197–2206.
- [13] LEON, Jose Ignacio, KOURO, Samir, VAZQUEZ, Sergio et al. *Multidimensional modulation technique for cascaded multilevel converters*. Industrial Electronics, IEEE Transactions on. 2011, roč. 58, č. 2, s. 412–420.
- [14] WANG, Jiacheng. *High-Power Multimodular Matrix Converters and Modulation*. 2012. Disertační práce.
- [15] QUANG, Nguyen Phung, DITTRICH, Jörg-Andreas. *Vector control of three-phase AC machines*. 2008.
- [16] SHUKLA, Anshuman, GHOSH, Arindam, JOSHI, Avinash. *Improved multilevel hysteresis current regulation and capacitor voltage balancing schemes for flying capacitor multilevel inverter*. Power Electronics, IEEE Transactions on. 2008, roč. 23, č. 2, s. 518–529.
- [17] WILKINSON, Richardt H, MEYNARD, Thierry, TOIT MOUTON, Hendrik du et al. *Natural balance of multicell converters: The general case*. Power Electronics, IEEE Transactions on. 2006, roč. 21, č. 6, s. 1658–1666.
- [18] WILKINSON, Richardt H, MEYNARD, Thierry, TOIT MOUTON, Hendrik du et al. *Natural balance of multicell converters: The two-cell case*. Power Electronics, IEEE Transactions on. 2006, roč. 21, č. 6, s. 1649–1657.
- [19] MCGRATH, Brendan Peter, HOLMES, Donald Grahame. *Enhanced voltage balancing of a flying capacitor multilevel converter using phase disposition (PD) modulation*. Power Electronics, IEEE Transactions on. 2011, roč. 26, č. 7, s. 1933–1942.
- [20] MCGRATH, BP, MEYNARD, TA, GATEAU, Guillaume, HOLMES, Donald Grahame. *Optimal modulation of flying capacitor and stacked multicell converters using a state machine decoder*. In Power Electronics Specialists Conference, 2005. PESC'05. IEEE 36th. 2005, s. 1671–1677.
- [21] KANG, Dae-Wook, LEE, Byoung-Kuk, JEON, Jae-Hyun, KIM, Tae-Jin, HYUN, Dong-Seok. *A symmetric carrier technique of CRPWM for voltage balance method of flying-capacitor multilevel inverter*. Industrial Electronics, IEEE Transactions on. 2005, roč. 52, č. 3, s. 879–888.
-

- [22] SHUKLA, Anshuman, GHOSH, Arindam, JOSHI, Avinash. *Natural balancing of flying capacitor voltages in multicell inverter under PD carrier-based PWM*. Power Electronics, IEEE Transactions on. 2011, roč. 26, č. 6, s. 1682–1693.
- [23] KOKEŠ, P., SEMERÁD, R. *Návrh konfigurace pole FPGA pro řízení 4-hladinového střídače s plovoucími kondenzátory*. 2007. Technická zpráva č. T-478/07.
- [24] SEMERÁD, R. *Úpravy konfigurace pole FPGA pro 4-hladinový střídač*. Praha : Ústav termomechaniky AV ČR, v. v. i., 2010. Dodatek k technické zprávě č. T-478/07.
- [25] CELANOVIC, Nikola. *Space vector modulation and control of multilevel converters*, 2000.
- [26] ROSOL, Maciej, PILAT, Adam, TURNAU, Andrzej. *Real-time controller design based on NI Compact-RIO*. In IMCSIT. 2010, s. 825–830.
- [27] KOŠAN, T. *Vybrané problémy z řízení vícehladinových měničů a výpočetně extrémně náročných pokročilých algoritmů regulace elektrických pohonů implementovaných v hradlových polích*. 2014. Disertační práce, Západočeská univerzita v Plzni, Fakulta Elektrotechnická, Katedra elektromechaniky a výkonové elektroniky.
- [28] KOSAN, Tomas, MOLNAR, Jozsef, STREIT, Lubos, POLACEK, Libor, PEROUTKA, Zdenek. *Complete design of down-scale prototype of mining machine converter based on four-level voltage-source converter with flying capacitors*. In Power Electronics and Motion Control Conference (EPE/PEMC), 2012 15th International. 2012, s. DS2b–4.
- [29] STEINER, Michael, REINOLD, Harry. *Medium frequency topology in railway applications*. In Power Electronics and Applications, 2007 European Conference on. 2007, s. 1–10.
- [30] GLINKA, Martin, MARQUARDT, Rainer. *A new AC/AC multilevel converter family*. Industrial Electronics, IEEE Transactions on. 2005, roč. 52, č. 3, s. 662–669.
- [31] VONDRÁŠEK, F. *Víceúrovňové střídače pro elektrické pohony*. 2003. Číslo zprávy: 22160-8-03.
- [32] VOLDER, Jack E. *The CORDIC trigonometric computing technique*. Electronic Computers, IRE Transactions on. 1959, č. 3, s. 330–334.
- [33] MEHER, Pramod Kumar, VALLS, Javier, JUANG, Tso-Bing, SRIDHARAN, K, MAHARATNA, Koushik. *50 years of CORDIC: Algorithms, architectures, and applications*. Circuits and Systems I: Regular Papers, IEEE Transactions on. 2009, roč. 56, č. 9, s. 1893–1907.
- [34] KOCALMIS, A., SUNTER, S. *Simulation of a Space Vector PWM Controller For a Three-Level Voltage-Fed Inverter Motor Drive*. In IEEE Industrial Electronics, IECON 2006 - 32nd Annual Conference on. 2006, s. 1915–1920. Dostupný z WWW: (<http://ieeexplore.ieee.org/stamp/stamp.jsp?arnumber=4152938>).

-
- [35] KAMENICKÝ, P. *Simulační model tříúrovňového měniče s upínacími diodami*. Plzeň : Západočeská univerzita v Plzni, 2011. Číslo zprávy: 22190 - 036 - 2011.
- [36] CELANOVIC, N., BOROYEVICH, D. *A comprehensive study of neutral-point voltage balancing problem in three-level neutral-point-clamped voltage source PWM inverters*. 2000, roč. 15, č. 2, s. 242–249. Dostupný z WWW: (<http://ieeexplore.ieee.org/stamp/stamp.jsp?arnumber=838096>).
- [37] PENG, D., LEE, F.C., BOROYEVICH, D. *A novel SVM algorithm for multilevel three-phase converters*. In Power Electronics Specialists Conference, 2002. pesc 02. 2002 IEEE 33rd Annual. 2002, s. 509–513. Dostupný z WWW: (<http://ieeexplore.ieee.org/stamp/stamp.jsp?arnumber=1022504>).
- [38] RODRIGUEZ, J., KENNEL, R.M., ESPINOZA, J.R. et al. *High-Performance Control Strategies for Electrical Drives: An Experimental Assessment*. 2012, roč. 59, č. 2, s. 812–820. Dostupný z WWW: (<http://ieeexplore.ieee.org/stamp/stamp.jsp?arnumber=5784326>).
- [39] CORTES, P., KAZMIERKOWSKI, M.P., KENNEL, R.M., QUEVEDO, D.E., RODRIGUEZ, J. *Predictive Control in Power Electronics and Drives*. 2008, roč. 55, č. 12, s. 4312–4324. Dostupný z WWW: (<http://ieeexplore.ieee.org/stamp/stamp.jsp?arnumber=4663816>).
- [40] BRUCKNER, T., BERNET, S., GULDNER, H. *The active NPC converter and its loss-balancing control*. 2005, roč. 52, č. 3, s. 855–868. Dostupný z WWW: (<http://ieeexplore.ieee.org/stamp/stamp.jsp?arnumber=1435696>).
- [41] KAMENICKÝ P. a Glasberger, G. *Modulátor pro tříúrovňový měnič s aktivním clampingem*. Plzeň : Západočeská univerzita v Plzni, 2013. Číslo zprávy: 22190 - 041 - 2013.
- [42] MCGRATH, B.P., MEYNARD, T., GATEAU, G., HOLMES, D.G. *Optimal Modulation of Flying Capacitor and Stacked Multicell Converters Using a State Machine Decoder*. 2007, roč. 22, č. 2, s. 508–516. Dostupný z WWW: (<http://ieeexplore.ieee.org/stamp/stamp.jsp?arnumber=4118318>).
- [43] MCGRATH, B.P., HOLMES, D.G. *Analytical Determination of the Capacitor Voltage Balancing Dynamics for Three-Phase Flying Capacitor Converters*. 2009, roč. 45, č. 4, s. 1425–1433. Dostupný z WWW: (<http://ieeexplore.ieee.org/stamp/stamp.jsp?arnumber=4957040>).
- [44] MCGRATH, B.P., HOLMES, D.G. *Natural Capacitor Voltage Balancing for a Flying Capacitor Converter Induction Motor Drive*. 2009, roč. 24, č. 6, s. 1554–1561. Dostupný z WWW: (<http://ieeexplore.ieee.org/stamp/stamp.jsp?arnumber=5067412>).
-

- [45] KHAZRAEI, M., SEPAHVAND, H., CORZINE, K.A., FERDOWSI, M. *Active Capacitor Voltage Balancing in Single-Phase Flying-Capacitor Multilevel Power Converters*. 2012, roč. 59, č. 2, s. 769–778. Dostupný z WWW: (<http://ieeexplore.ieee.org/stamp/stamp.jsp?arnumber=5771996>).
- [46] ZEMAN, M., PEROUTKA, Z. *Aktivní balancování 4L-FLC měniče s využitím samostatné balancovací jednotky*. 2012. Výzkumná zpráva č. 22190-071-2012.

Seznam autorových publikací

Seznam autorových publikací prezentovaných na mezinárodních konferencích (chronologicky)

- [A1] JANÍK, D., PEROUTKA, Z., MOLNÁR, J., KOMRSKA, T., ŽÁK, J. *Control of Primary Active Rectifiers of Traction Converter with Medium-Frequency Transformer: Benefits of Control Unit Combining DSP and FPGA*. In CIPS 2012. Berlin : VDE VERLAG GMBH, 2012, pp. 103–107. ISBN 978-3-8007-3414-6.
- [A2] JANÍK, D., PEROUTKA, Z., MOLNÁR, J., KOMRSKA, T., ŽÁK, J. *Control of Primary Voltage-Source Active Rectifiers of Traction Converter with Medium-Frequency Transformer: Advantages of Control Unit Combining DSP and FPGA*. In EPE PEMC 2012 ECCE Europe - 15th International Power Electronics and Motion Conference and Exposition. New York : IEEE, 2012, pp. ISBN 978-1-4673-1971-3.
- [A3] JANÍK, D., PEROUTKA, Z., TALLA, J. *Vector position identification method for one phase converter control system*. In 2012 International Conference on Applied Electronics. Plzeň : Západočeská univerzita v Plzni, 2012, pp. 115–118. ISBN 978-80-261-0038-6.
- [A4] JANÍK, D., KOŠAN, T., GLASBERGER, T., PEROUTKA, Z. *Comparison of control solutions for control of four-level converter with flying capacitors*. In 2013 International Conference on Applied Electronics. Pilsen : University of West Bohemia, 2013, pp. 117–120. ISBN 978-80-261-0166-6.
- [A5] JANÍK, D., KOŠAN, T., KAMENICKÝ, P., PEROUTKA, Z. *Universal precharging method for dc-Link and flying capacitors of four-level Flying Capacitor Converter*. In Proceedings of the IECON 2013 - 39th Annual Conference of the IEEE Industrial Electronics Society. Vienna : IEEE, 2013, pp. 6322–6327. ISBN 978-1-4799-0224-8.
- [A6] JANÍK, D., TALLA, J., KOMRSKA, T., PEROUTKA, Z. *Optimization of SOGI PLL for single-phase converter control systems : Second Order Generalized Integrator (SOGI)*. In 2013 International Conference on Applied Electronics. Pilsen : University of West Bohemia, 2013, pp. 121–124. ISBN 978-80-261-0166-6.

- [A7] KOMRSKA, T., JANÍK, D., PEROUTKA, Z. *Synchronization of grid-connected converters for single-phase systems*. In EPE 13 ECCE Europe. New York : IEEE, 2013, pp. P.1–P.8. ISBN 978-1-4799-0116-6.
- [A8] KOŠAN, T., ZEMAN, M., STREIT, L., PEROUTKA, Z., JANÍK, D. *Active Voltage Balancing Control with Phase Disposition PWM for 4-level Flying Capacitor Converter*. In EPE 13 ECCE Europe. Brussel : EPE Association, 2013, pp. P.1–P.8. ISBN 978-1-4799-0116-6.
- [A9] JANÍK, D., KOŠAN, T., BLAHNÍK, V. et al. *Complete solution of 4-level flying capacitor converter for medium-voltage drives with active voltage balancing control with phase-disposition PWM*. In The 16th European Conference on Power Electronics and Applications (EPE'14 ECCE EUROPE). Brusel : EPE Association, 2014, s. P.1–P.8. ISBN 978-1-4799-3015-9.
- [A10] JANÍK, D., KOŠAN, T., SADSKÝ, J., PEROUTKA, Z. *Implementation of SVPWM algorithm without trigonometric functions*. In 2014 International Conference on Applied Electronics (APPEL 2014). Pilsen : University of West Bohemia, 2014, pp. 131–134. ISBN 978-80-261-0276-2.
- [A11] JÁRA, M., KOŠAN, T., JANÍK, D., PEROUTKA, Z. *Complete development platform for multi-level converters and complex control algorithms*. In Proceedings of the 16th International Conference on Mechatronics : Mechatronika 2014. Brno : Brno University of technology. Faculty of Mechanical Engineering, 2014, pp. 152–157. ISBN 978-80-214-4816-2.
- [A12] KAMENICKÝ, P., PEROUTKA, Z., JANOUŠ, Š., JANÍK, D., KOŠAN, T. *Comparative study of vector PWM and FS-MPC for 3-level neutral point clamped converter*. In Proceedings of the 16th International Conference on Mechatronics : Mechatronika 2014. Brno : Brno University of technology. Faculty of Mechanical Engineering, 2014, pp. 158–163. ISBN 978-80-214-4816-2.

Seznam autorových publikací prezentovaných na českých konferencích (chronologicky)

- [A13] JANÍK, D., KOMRSKA, T. *Výpočet goniometrických funkcí sinus a cosinus algoritmem CORDIC pro řízení elektrických pohonů programovatelnými logickými obvody*. In Elektrotechnika a informatika 2009. Část 1., Elektrotechnika. Plzeň : Západočeská univerzita, 2009. ISBN 978-80-7043-810-7.

- [A14] JANÍK, D. *Možnosti algoritmu CORDIC realizovaného v obvodu FPGA v řídicích aplikacích elektrických pohonů*. In Elektrické pohony. Praha : Česká elektrotechnická společnost, ÚOS Elektrické pohony, 2011, s. 1–4. ISBN 978-80-02-02308-1.
- [A15] JANÍK, D., TRUNTIČ, M. *Vývoj základních FPGA entit regulátoru dc/dc měniče*. In Elektrotechnika a informatika 2011. Část druhá Elektronika. Plzeň : Západočeská univerzita, 2011, s. 39–42. ISBN 978-80-261-0015-7.
- [A16] JANÍK, D. *Jednoduchý sérioparalelní komunikační protokol pro univerzální řídicí jednotku kombinující DSP a FPGA*. In Elektrotechnika a informatika 2012. Část 2., Elektronika. Plzeň : Západočeská univerzita v Plzni, 2012, s. 49–50. ISBN 978-80-261-0119-2.
- [A17] JANÍK, D., PEROUTKA, Z., KOŠAN, T. *Řídicí platforma pro víceúrovňové měniče s FPGA a DSP ? koncepce řízení 4L-FLC měniče*. In Elektrické pohony : XXXIII. konference. Praha : Česká elektrotechnická společnost, 2013, s. 1–6. ISBN 978-80-02-02457-6.
- [A18] JANOUŠ, Š., JANÍK, D., KOŠAN, T. *FCS-MPC pro vícehladinové měniče*. In Elektrotechnika a informatika 2014, část druhá, Elektronika. Plzeň : Západočeská univerzita v Plzni, 2014, s. 29–32. ISBN 978-80-261-0366-0.

Seznam autorových funkčních vzorků (chronologicky)

- [A19] JANÍK, D., MOLNÁR, J., ŽÁK, J. *Externí PWM modulátor DSP řídicí jednotky pro jednofázový pulsní usměrňovač implementovaný v FPGA*, 2010.
- [A20] FOŘT, J., PITTERMANN, M., KŮS, V., JANÍK, D. *Regulátor pro řízení zvyšovacího pulsního měniče sloužící pro eliminaci negativních vlivů poklesů napájecího napětí*, 2012.

Seznam autorových výzkumných zpráv (chronologicky)

- [A21] JANÍK, D., GLASBERGER, T., PEROUTKA, Z. *Topologie vícehladinových měničů*. Plzeň : Západočeská univerzita v Plzni, FEL, 2011. Číslo zprávy: 22190-028-2011.
- [A22] JANÍK, D., MICHALÍK, J. *Nadřazená řídicí jednotka lineárního motoru pro měnič Unidrive SP Control Technoques*. Plzeň : Západočeská univerzita v Plzni, 2012. číslo zakázky : 229053.
- [A23] JANÍK, D., ZEMAN, M., PEROUTKA, Z. *Implementace PD-PWM modulátoru v obvodu FPGA*. Plzeň : Západočeská univerzita v Plzni, FEL, 2012. Číslo zprávy: 22190-016-2012.

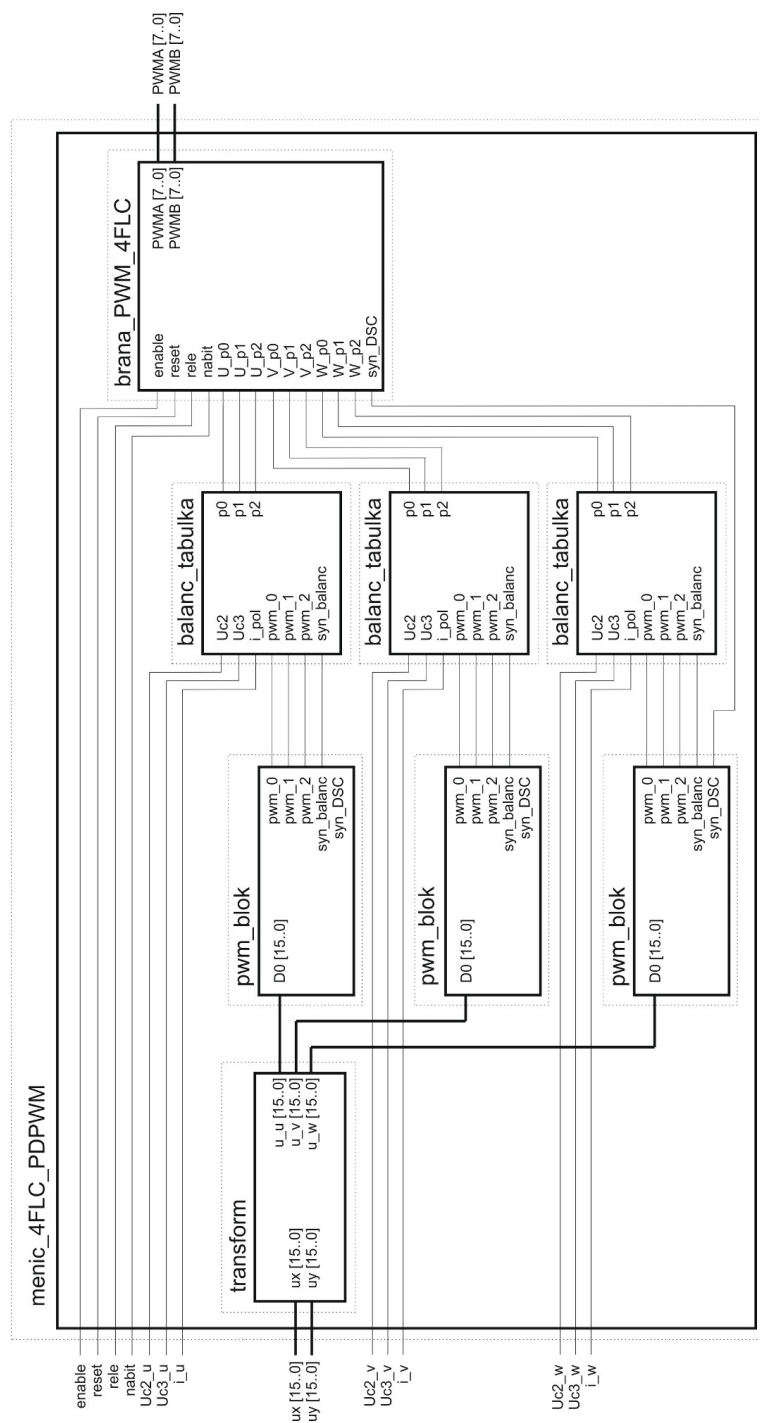
- [A24] ZEMAN, M., JANÍK, D., KOŠAN, T., PEROUTKA, Z. *Aktivní balancování 4L-FLC měniče s využitím samostatné balancovací jednotky*. Plzeň : Západočeská univerzita v Plzni, FEL, 2012. Číslo zprávy: 22190-071-2012.
- [A25] JANÍK, D., GLASBERGER, T., KAMENICKÝ, P., PEROUTKA, Z. *Studie metod vektorové modulace vhodné pro obvody FPGA*. Plzeň : Západočeská univerzita v Plzni, 2013. Číslo zprávy: 22190-040-2013.
- [A26] JANÍK, D., KAMENICKÝ, P., KOŠAN, T., PEROUTKA, Z. *Možnosti přednabíjení plovoucích kondenzátorů FLC měničů*. Plzeň : Západočeská univerzita v Plzni, FEL, 2013. Číslo zprávy: 22190-002-2013.
- [A27] JANÍK, D., KOŠAN, T. *Experimentální studie přednabíjení plovoucích kondenzátorů FLC měniče*. Plzeň : Západočeská univerzita v Plzni, FEL, 2013. Číslo zprávy: 22190-016-2013.
- [A28] JANÍK, D., KOŠAN, T., PEROUTKA, Z. *Test vybrané metody přednabíjení plovoucích kondenzátorů na prototypu FLC měniče*. Plzeň : Západočeská univerzita v Plzni, FEL, 2013. Číslo zprávy: 22190-016-2013.
- [A29] JANÍK, D., ŠTĚPÁNEK, J., BEDNÁŘ, B., PEROUTKA, Z. *Modernizace a implementace tepelného procesu pro průmyslový lis*. Plzeň : Západočeská univerzita v Plzni, 2013. Číslo zprávy: 22160-001-2013.
- [A30] KAMENICKÝ, P., BLAHNÍK, V., KOŠAN, T., JANÍK, D. *Implementace algoritmů řízení a regulace do mikroprocesorového regulátoru MLC interface*. Plzeň : Západočeská univerzita v Plzni, FEL, 2013. Číslo zprávy: 22190-077-2013.
- [A31] KAMENICKÝ, P., JANÍK, D., KOŠAN, T., PEROUTKA, Z. *Vektorové řízení asynchronního motoru s měničem 4L-FLC*. Plzeň : Západočeská univerzita v Plzni, 2013. Číslo zprávy: 22190-055-2013.
- [A32] PEROUTKA, Z., JANÍK, D., KOŠAN, T. *Optimalizovaný návrh PD-PWM modulátoru pro MLC interface*. Plzeň : Západočeská univerzita v Plzni, FEL, 2013. Číslo zprávy: 22190-001-2013.
- [A33] STREIT, L., JANÍK, D., PEROUTKA, Z. *Sériové řazení IGBT - vliv zpoždění řídicích signálů*. Plzeň : Západočeská univerzita v Plzni, 2013. Číslo zprávy: 22190-071-2013.
- [A34] JANÍK, D., JANOUŠ, Š., KOŠAN, T., PEROUTKA, Z. *Návrh a implementace FS-MPC regulátoru pro řízení vícehladinových měničů*. 2014. Číslo zprávy: 22190 - 020 - 2014.
- [A35] JANÍK, D., JANOUŠ, Š., PEROUTKA, Z. *Implementace modulátoru SVPWM pro měnič 3L-ANPC*. 2014. Číslo zprávy: 22190-071-2014.

- [A36] JANÍK, D., KOŠAN, T., KAMENICKÝ, P., PEROUTKA, Z. *Simulace modulátoru s algoritmem SVPWM bez goniometrických funkcí*. 2014. Číslo zprávy: 22190 - 005 - 2014.
- [A37] JANÍK, D., PEROUTKA, Z. *Implementace modulátoru s algoritmem SVPWM bez goniometrických funkcí pro měnič 3L-ANPC*. 2014. Číslo zprávy: 22190 - 072 - 2014.
- [A38] JANÍK, D., PEROUTKA, Z. *Implementace SVMPWM s výpočtem goniometrických funkcí algoritmem CORDIC*. 2014. Číslo zprávy: 22190 - 029 - 2014.
- [A39] JANÍK, D., PEROUTKA, Z., GLASBERGER, T. *Studie metody vektorové modulace bez goniometrických funkcí pro měnič 5L-FLC*. 2014. Číslo zprávy: 22190 - 026 - 2014.
- [A40] JANÍK, D., PEROUTKA, Z., GLASBERGER, T. *Studie metody vektorové modulace bez goniometrických funkcí pro měnič 6L-FLC*. 2014. Číslo zprávy: 22190 - 027 - 2014.
- [A41] JANÍK, D., PEROUTKA, Z., GLASBERGER, T. *Studie metody vektorové modulace bez goniometrických funkcí pro měnič 7L-FLC*. 2014. Číslo zprávy: 22190 - 028 - 2014.
- [A42] JANOUŠ, Š., KOŠAN, T., PEROUTKA, Z., JANÍK, D. *Návrh modulátoru pro 3úrovňový měnič s aktivním clampingem*. 2014. Číslo zprávy: 22190 - 050 - 2014.
- [A43] PEROUTKA, Z., JANÍK, D. *Implementace modulátoru s algoritmem SVPWM bez goniometrických funkcí*. 2014. Číslo zprávy: 22190 - 006 - 2014.
- [A44] STREIT, L., JANÍK, D. *Sérioparalelní řazení IGBT - funkční vzorek 1 kW*. ZČU v Plzni : Západočeská univerzita v Plzni, 2014. Číslo zprávy: 22190 - 087 - 2014.
- [A45] UZEL, D., JANÍK, D., GLASBERGER, T. *Metodika psaní modulárního software*. Plzeň : Západočeská univerzita v Plzni, FEL, 2014. 22190-063-2014.

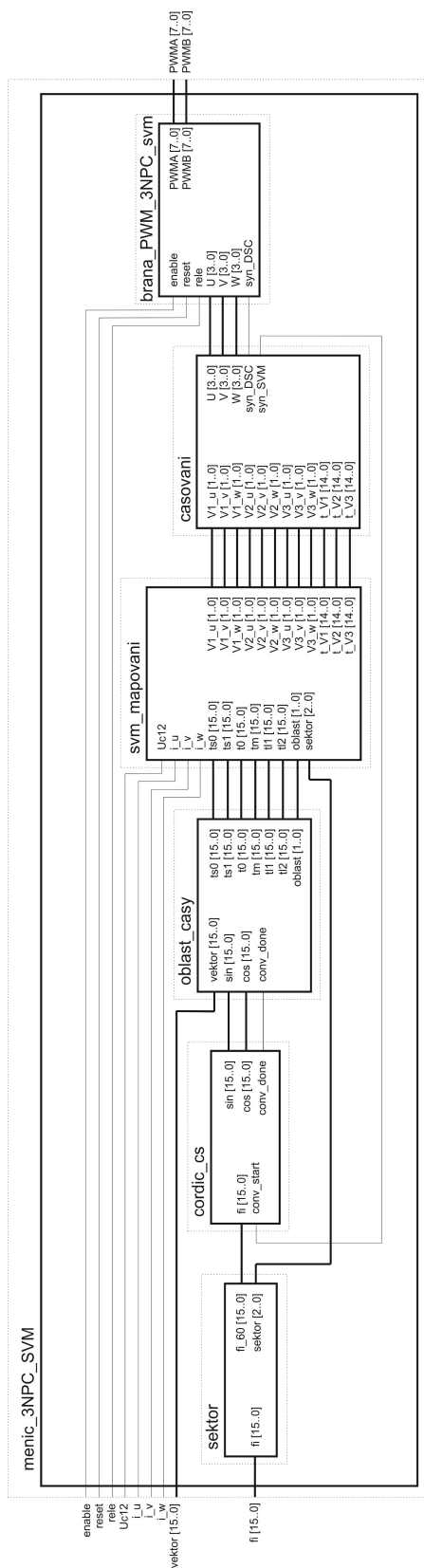
Seznam autora softwaru (chronologicky)

- [A46] JANÍK, D., MICHALÍK, J. *Nadřazená řídicí jednotka lineárního motoru pro měnič Uni-drive SP Control Technoques*. 2012.
- [A47] JANÍK, D., TALLA, J. *Fázový závěs SOGI schopný reakce na skokovou změnu jak amplitudy, tak frekvence vstupního signálu*. 2012.
- [A48] JANÍK, D., KOŠAN, T., PEROUTKA, Z. *Univerzální blokový modulátor pro řízení víceúrovňových měničů implementovaný v obvodu FPGA*. 2013.
- [A49] JANÍK, D., JANOUŠ, Š., PEROUTKA, Z. *Modulátor pro řízení 3úrovňového měniče typu ANPC implementovaný v obvodu FPGA*. 2014.

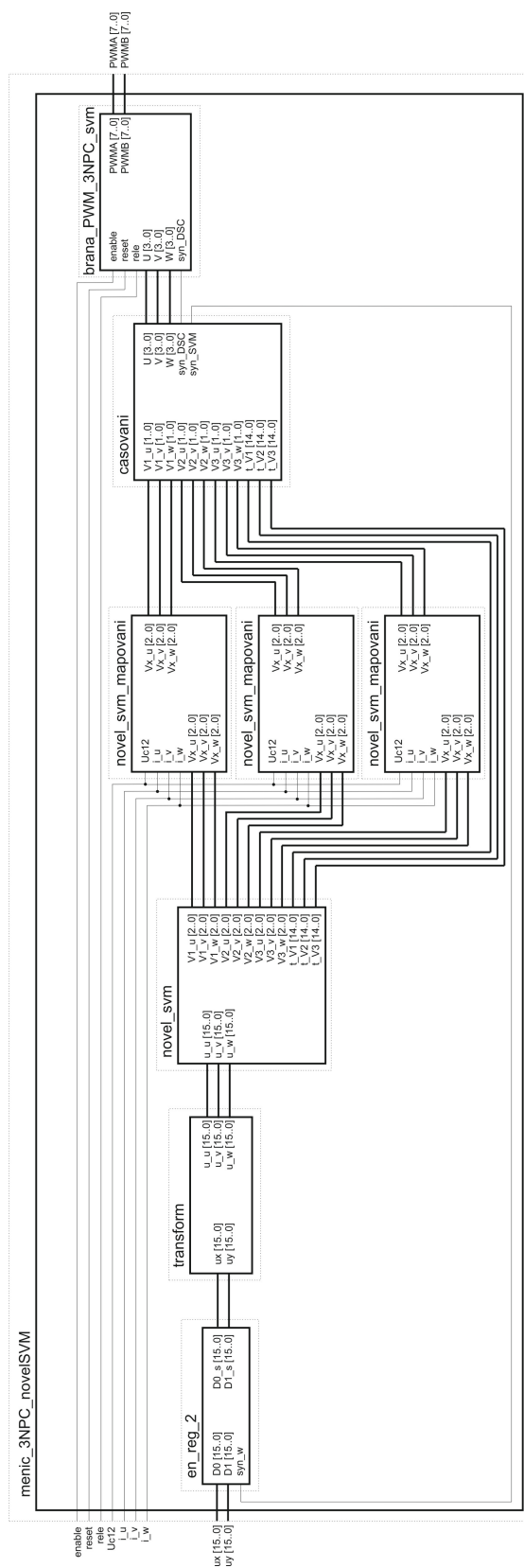
Přílohy



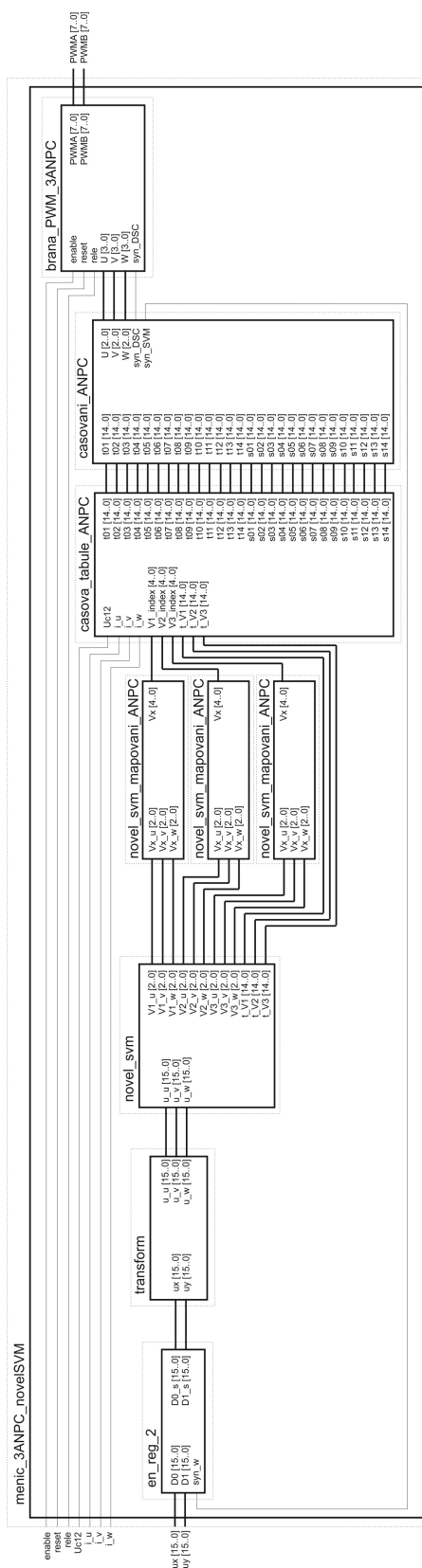
Obr. 4.1: Vnitřní struktura entity PWM modulátoru 4L-FLC (PD-PWM)



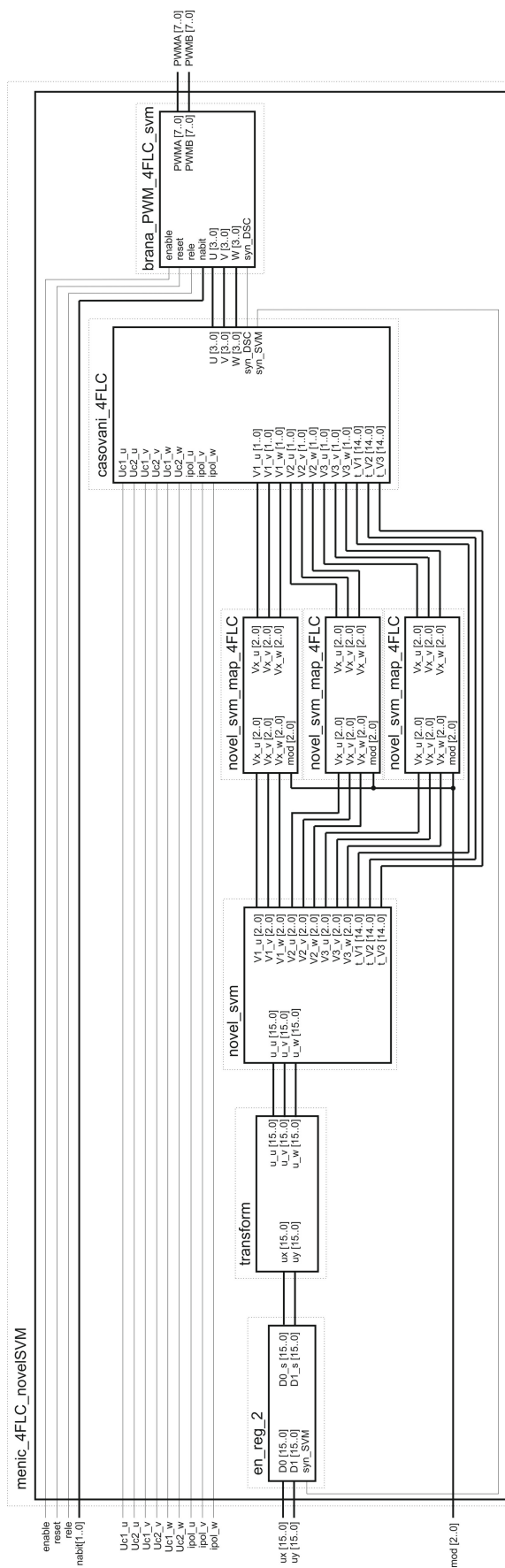
Obr. 4.2: Vnitřní struktura entity vektorového modulátoru 3L-NPC (SV-PWM)



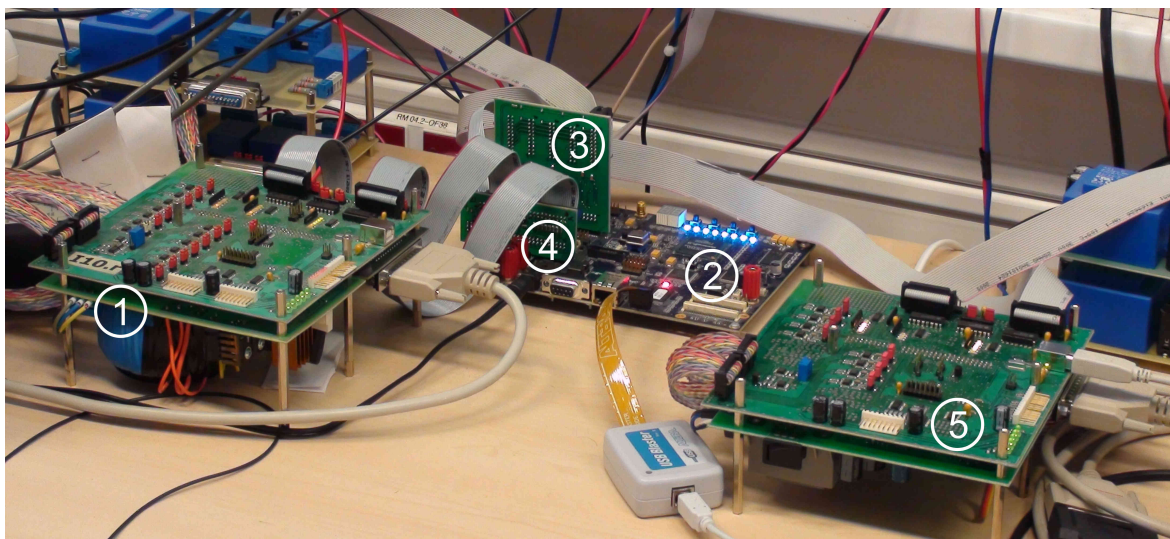
Obr. 4.3: Vnitřní struktura entity vektorového modulátoru 3L-NPC (Zjednodušená SVM)



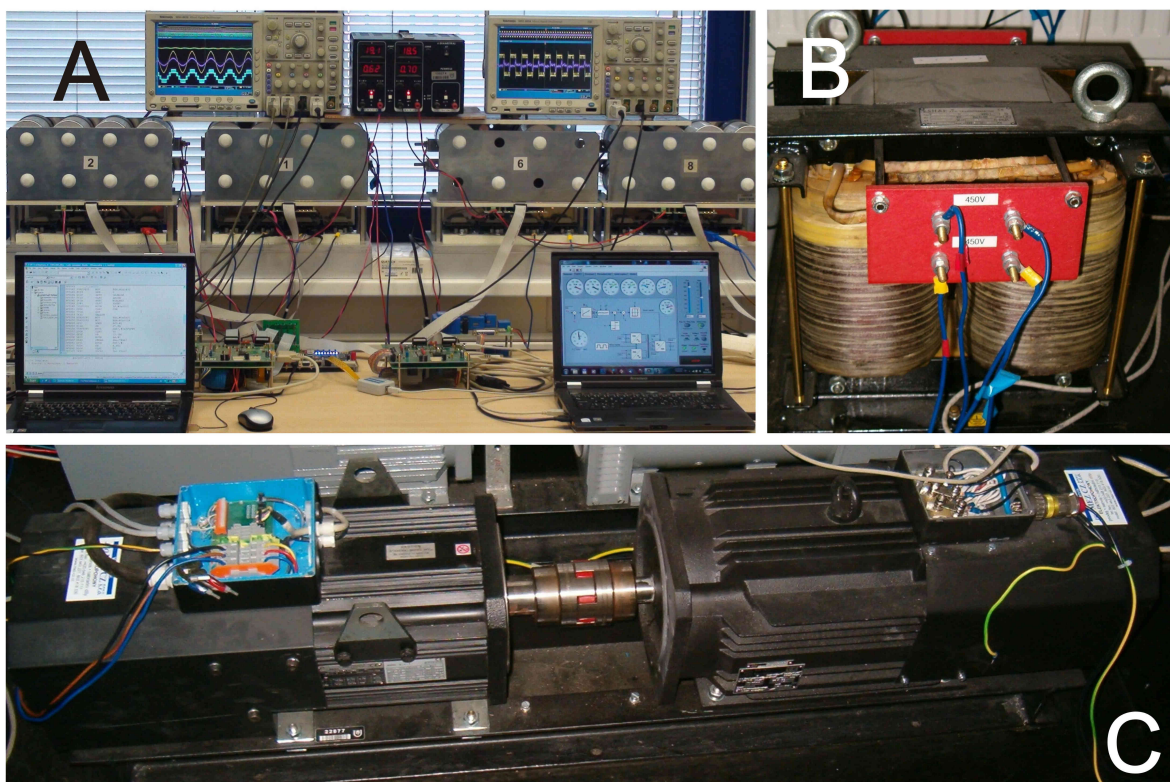
Obr. 4.5: Vnitřní struktura entity vektorového modulátoru 3L-ANPC (Zjednodušená SVM)



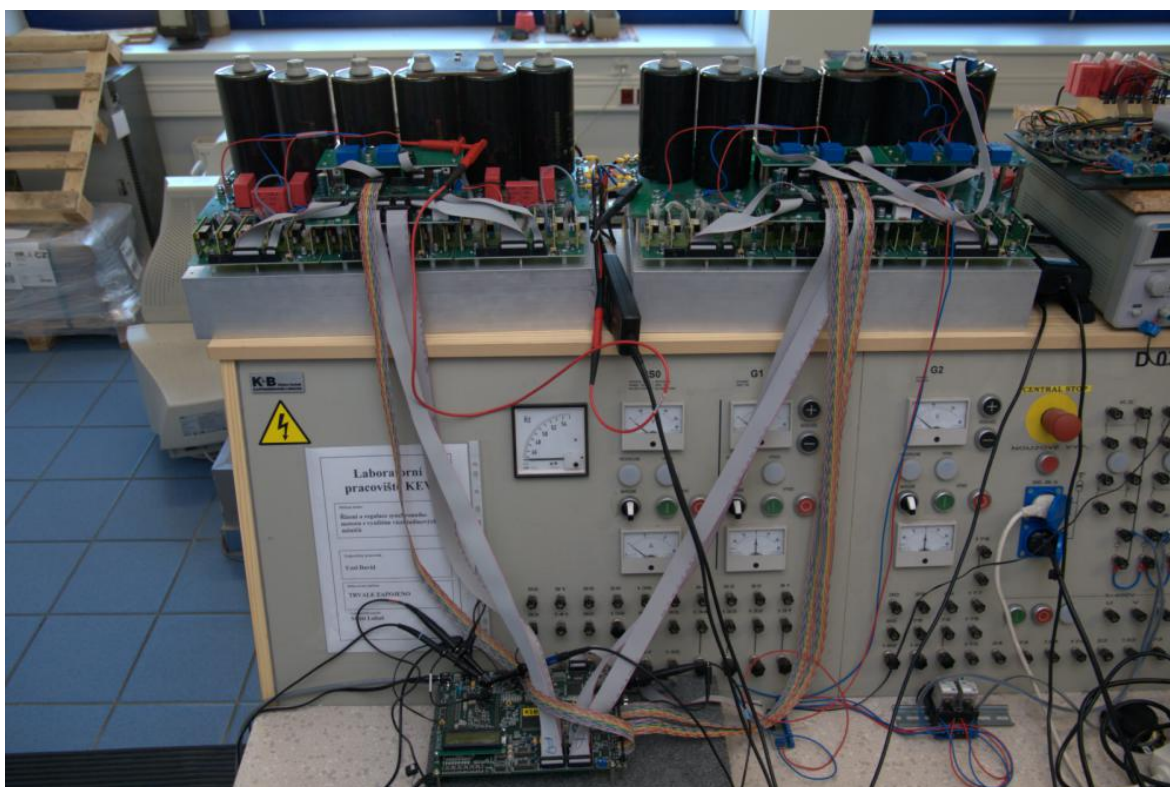
Obr. 4.6: Vnitřní struktura vektorového modulátoru 4L-FLC (Zjednodušená SVM)



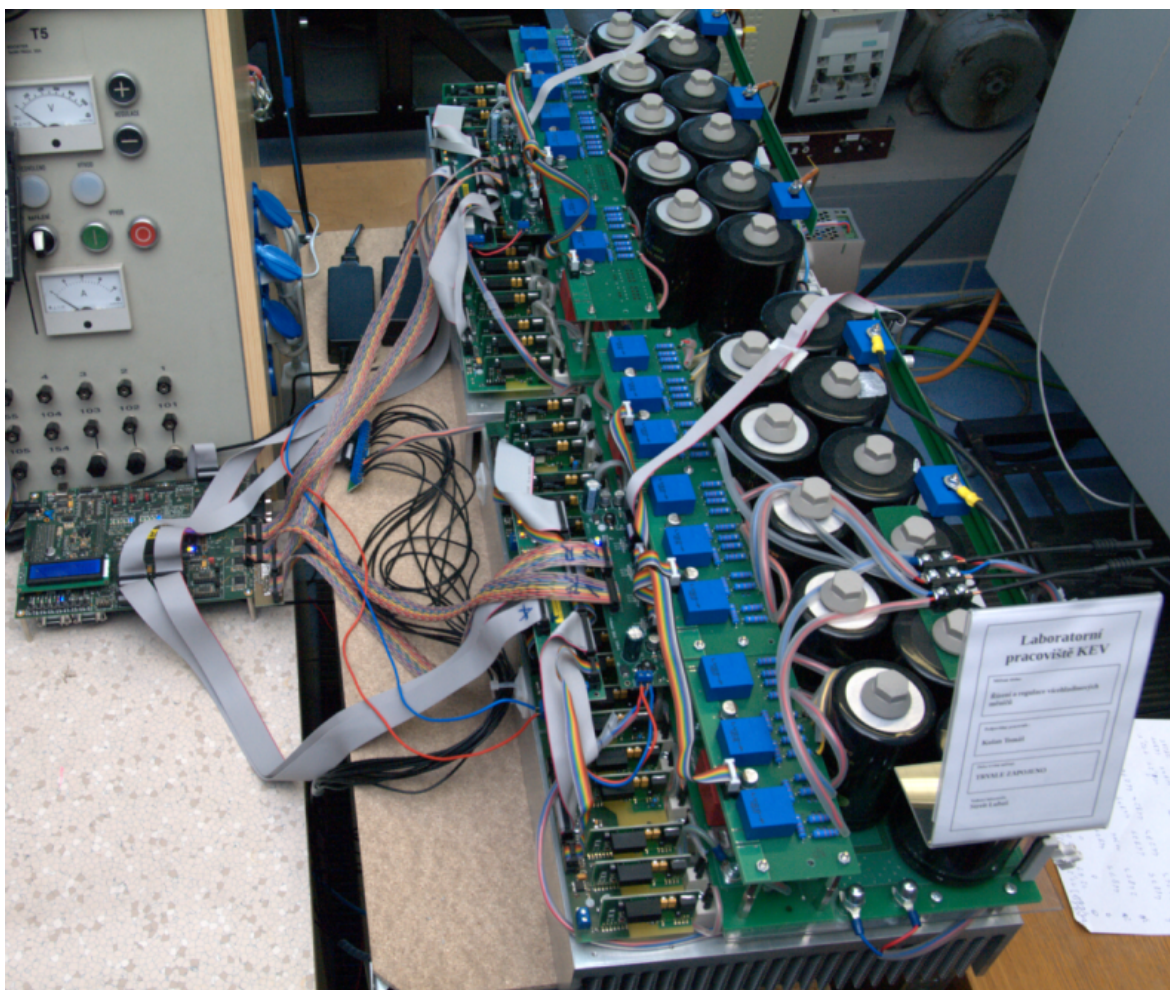
Obr. 4.7: Zapojení řídicích jednotek, 1 - řídicí jednotka DSP pro usměrňovač, 2 - řídicí jednotky FPGA pro usměrňovač, 3 a 4 - napěťové přizpůsobení, 5 - řídicí jednotka DSP pro střídač



Obr. 4.8: Testovaný pohon, A - řídicí jednotky s měničem 9L-CHB, B - středofrekvenční transformátor, C - motorové soustrojí



Obr. 4.9: Zapojení řídicí jednotky MLC interface (dole) a usměrňovačové i střídačové části měniče 3L-NPC/ANPC (nahore)



Obr. 4.10: Zapojení řídicí jednotky MLC interface (vlevo) a usměrňovačové i střídačové části měniče 4L-FLC (vpravo)