

# Tester modulu pro zpracování signálu z Čerenkovova detektoru v projektu AFP

Jan Zich

Katedra aplikované elektroniky a telekomunikací  
Fakulta elektrotechnická  
Západočeská univerzita v Plzni  
zichj@kae.zcu.cz

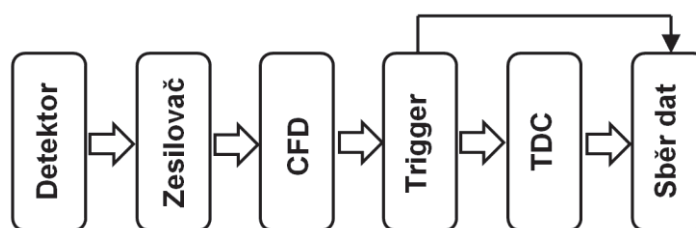
## Signal Processing Module Tester for Cherenkov Detector in AFP Project

**Abstract** – The Cherenkov light produced by the detector is widely used in particle physics in order to detect primary and even secondary charged particles. The photomultiplier that follows the detector converts the Cherenkov light to the electrical signals. Depending on the experiment the photomultiplier output signals are usually amplified, discriminated and digitalized. Defined coincidences of preprocessed digital signals from multichannel Cherenkov detector are selected with trigger module (TM). The aim of the Signal Processing Module Tester (SPMT) is to test the TM performance. The SPMT is FPGA based PCB with additional ICs necessary for TM testing and PC communication.

**Keywords** – AFP; CERN; Cherenkov Detector; Particle Physics; Signal Processing; SmartFusion2; Trigger Module

### I. ÚVOD

Projekt ATLAS Forward Proton (AFP), který se zaměřuje na rozšíření programu pro forward fyziku detektoru ATLAS v CERNu, se zabývá především elastickými srážkami dvou a více protonů. AFP využívá ve svých experimentech dva typy detektorů. K měření hybnosti rozptýlených protonů je určen pixelový silikonový detektor. Time-of-Flight (ToF) detekční systém měří dobu letu částic a redukuje rušivé pozadí vznikající při vícenásobné srážce typu proton-proton [1].



**Obrázek I.** Měřicí řetězec ToF detektoru [2]

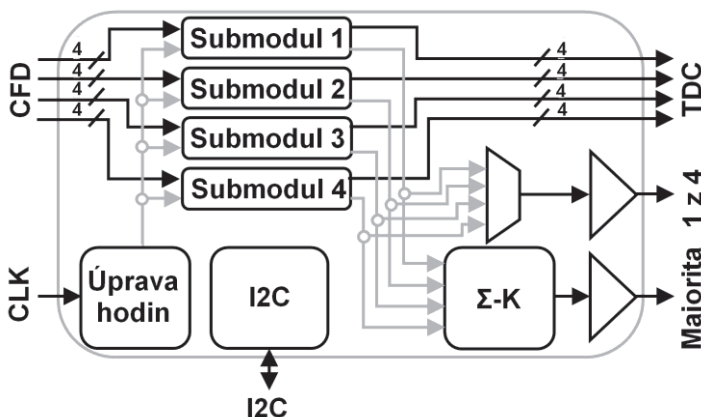
Obrázek I ilustruje zapojení ToF řetězce, přičemž informační tok postupuje chronologicky následujícími bloky: vícekanálový maticový Čerenkovův detektor kombinovaný s fotonásobičem, zesilovač, Constant Fraction Discriminator (CFD), Trigger Modul (TM), Time-to-Digital Converter (TDC) a akvizitní systém. Analogové signály, produkované fotonásobičem při detekci nabitých částic Čerenkovovo detektorem, jsou v následujícím bloku zesíleny. CFD digitalizuje pouze signály odpovídající definovanému spektru energií detekovaných částic a kóduje derivace

amplitud do doby trvání pulzů výstupních digitálních signálů. Trigger modul zpracovává signály z CFD na základě definované koincidence, přičemž signály s požadovanou vzájemnou relací postupují dále do TDC. Tento modul pak převádí délky pulzů do formy vhodné pro počítačové zpracování.

## II. ARCHITEKTURA A FUNKCE

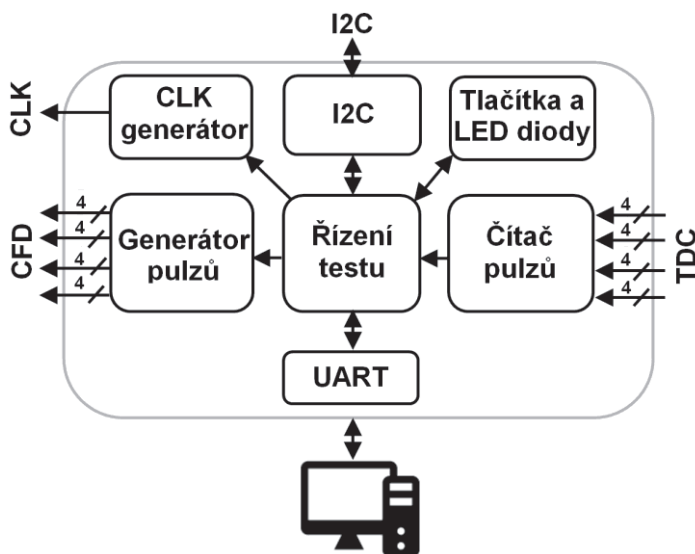
Hlavní myšlenkou testeru TM je generování signálů simulujících výstupy z CFD, přičemž jednotlivé případy koincidence signálů, které mohou reálně nastat, je možno před spuštěním testeru nastavit, a otestovat tak TM ve všech provozních nehavarijních stavech. Výstupní signály z TM jsou pak testerem zpracovány a (na základě parametrů testu a aktuálním nastavení TM) vyhodnoceny. Průběh testu je následující:

- Propojení CFD, TDC a I2C rozhraní TM a testeru, připojení testeru k PC.
- Nastavení parametrů testu (čtyři různé koincidence, počet testovacích pulzů).
- Start testu, aktivace hodin TM, generování definovaného počtu impulzů a analýza výstupu TM.
- Report výsledků testu (účinnost zpracování signálů TM) do terminálu PC.



Obrázek II. Blokový diagram TM

Pro vysvětlení funkce testeru je na obrázku I zobrazen blokový diagram TM. Rozhraní propojující TM s testerem jsou označena jako CFD, CLK, I2C a TDC.



Obrázek III. Blokový diagram FW testeru TM

Blokový diagram na obrázku III popisuje funkční bloky ve firmware FPGA testeru TM. Další obvody nezbytné pro funkci kompletního zařízení jsou kromě FPGA také napájecí zdroje a IO pro převod mezi signalizací proti zemi a diferenciální signalizací. Jedná se tedy o obvody podpůrné a nejsou do diagramu zahrnuty.

Rozhraní pro CFD a TDC mají shodnou šířku 16 bitů. Signály jsou rozděleny do čtveřic, přičemž každá čtveřice přísluší jednomu submodulu v TM. Přes I2C rozhraní lze jednotlivé submoduly v TM nastavit tak, aby propouštěly/zadržovaly odpovídající čtyři vstupní signály v závislosti na jejich požadované koincidenci. V praxi to znamená, že je na daném submodulu nastavena koincidence  $x/4$ , kde  $x$  udává počet signálů, které musí být současně v logické jedničce, aby prošly TM. Pulzy, generované pomocí CFD při měření Čerenkovovo detektorem, se v rámci jedné čtveřice vyznačují typickým rozestupem 100 ps a délkou řádově v jednotkách ns (typicky hodnota blízká 5 ns). TM je schopen pracovat s minimálními délkami pulzů 2,5 ns, přičemž maximální délky nejsou stanoveny. S přihlédnutím k možnostem použitého FPGA SmartFusion2 pracuje Generátor pulzů na frekvenci 40 MHz, přičemž rozestupy pulzů v rámci čtveřice jsou inkrementovány s rostoucím indexem signálu vždy přibližně o 100 ps. Jemných časových rozestupů bylo dosaženo s využitím floorplanneru v syntetizačním nástroji Libero [3]. 16kanálový čítač pulzů inkrementuje při detekci pulzu na daném kanálu stav odpovídajícího registru. Jednotlivé kanály jsou vzorkovány frekvencí 400 MHz z důvodu bezpečné detekce pulzu a určení jeho vztahu ke zbývajícím třem signálům v konkrétní čtveřici.

Výběr konkrétního testu, jeho spuštění a následné vyhodnocení zajišťuje rozhraní UART propojené s PC. V rámci testu je možno nastavit koincidenci  $x/4$  pro TM; počet signálů v dané čtveřici, na kterých budou generovány pulzy (neaktivní signály jsou drženy v logické nule); a počet pulzů, kterými bude TM testován. Výsledky testu jsou vypsané do terminálového okna PC a jejich výňatek se nachází v tabulce I. Na základě účinnosti TM jsou na jednotlivých submodulech nastavovány prahové úrovně figurující v majoritních obvodech využívaných ke zpracování vstupních signálů.

TABULKA I. VÝSLEDKY MĚŘENÍ ÚČINNOSTI TM, SUBMODUL 1, KANÁL 1

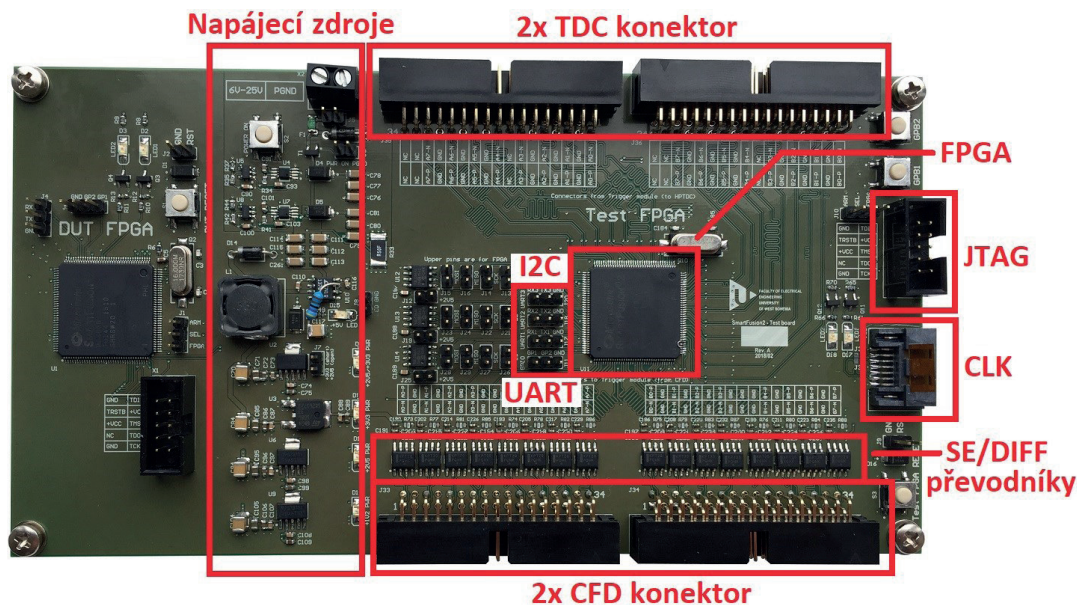
Typ testu a počet pulzů [-]	Submodul, kanál [-]	Přijato pulzů [-]	Účinnost [%]
2/4 TM, 1/4 T, 10 000	1, 1	0	100
2/4 TM, 2/4 T, 10 000	1, 1	9 986	99,86
2/4 TM, 3/4 T, 10 000	1, 1	9 998	99,98
2/4 TM, 4/4 T, 10 000	1, 1	10 000	100

CLK generátor simuluje 40 MHz synchronizační hodinový signál velkého hadronového urychlovače (LHC) a umožňuje otestovat účinnost TM v okamžiku, kdy vysoká úroveň hodinového signálu potvrzuje platnost CFD signálů. V rámci testu TM je pak možné výstup CLK generátoru uvést do stavu logické jedničky a potvrzovat tedy platnost všech CFD signálů nebo generovat pulzní signál a vyhodnocovat pak účinnost TM na základě poměru vyslaných/přijatých pulzů pouze v okamžicích, kdy je CLK signál ve vysokém stavu.

Pro konfiguraci obvodů TM (nastavení koincidence, manipulace s CLK signálem) je v FPGA implementován I2C řadič.

### III. PRAKTICKÁ REALIZACE

Kompletní zařízení je zobrazeno na obrázku IV včetně označení klíčových obvodů a konektorů. PCB je navržena jako víceúčelová a obsahuje tak dvě samostatná FPGA, z čehož je ve funkci testeru použito pouze jedno. Pro ladění FW, diagnostické účely a zjednodušené ovládání testeru jsou na desce rovněž dvě LED diody, dvě tlačítka a několik pinů je vyvedeno z FPGA pro obecné použití.



Obrázek IV. Praktická realizace testeru [2]

### IV. ZÁVĚR

V článku byl představen návrh testeru pro TM používaný pro zpracování signálů z Čerenkovova detektoru v CERNu. Kromě popisu skladby hardware, blokového řešení firmware v FPGA, a metodiky testování TM, je uvedena i tabulka s ukázkou experimentálních výsledků. Tester bude využit při instalaci TM do stanic určených ke zpracování signálů z detektorů projektu AFP na LHC.

### PODĚKOVÁNÍ

Tento článek vznikl za podpory interního projektu na podporu studentských vědeckých konferencí SVK-2018-005 a projektu SGS-2018-001: Výzkum a vývoj elektronických a komunikačních systémů ve vědeckých a inženýrských aplikacích.

### LITERATURA

- [1] S. Grinstein, on behalf of the AFP Collaboration, "The ATLAS Forward Proton Detector," *Nuclear and Particle Physics Proceedings* 273-275, 2016.
- [2] J. Zich, "Trigger jednotka pro difrakční fyziku v projektu AFP," *Přehledka studentských odborných prací FEL ZČU v Plzni*, 2017.
- [3] Libero SoC Design Software. Microsemi Corp. [cit. 26. 9. 2018]. Dostupné z: <https://www.microsemi.com/product-directory/design-resources/1750-libero-soc>