

**ZÁPADOČESKÁ UNIVERZITA V PLZNI  
FAKULTA ELEKTROTECHNICKÁ**

**Katedra elektroniky a informačních technologií**

**DIPLOMOVÁ PRÁCE**

**DAQ systémy pro experimenty v částicové fyzice**

# ZÁPADOČESKÁ UNIVERZITA V PLZNI

Fakulta elektrotechnická

Akademický rok: 2020/2021

## ZADÁNÍ DIPLOMOVÉ PRÁCE

(projektu, uměleckého díla, uměleckého výkonu)

Jméno a příjmení: **Bc. Tomáš KULHÁNEK**  
Osobní číslo: **E19N0063P**  
Studijní program: **N2612 Elektrotechnika a informatika**  
Studijní obor: **Elektronika a aplikovaná informatika**  
Téma práce: **DAQ systémy pro experimenty v částicové fyzice**  
Zadávající katedra: **Katedra elektroniky a informačních technologií**

### Zásady pro vypracování

Navrhňte, realizujte a otestujte systém pro sběr dat (DAQ) v experimentech na poli částicové fyziky. Zařízení koncipujte jako modulární a s ohledem na využití ve výuce.

1. Proveďte rešerši DAQ systémů používaných v částicové fyzice. Popište principy, vlastnosti a parametry jednotlivých topologií.
2. Navrhňte a zkonstruujte modulární DAQ systém použitelný jako učební pomůcka při laboratorním cvičení studentů. Data ukládejte do datového úložiště v laboratoři EU 105.
3. Na funkčním vzorku proveďte měření a zhodnoťte dosažené výsledky.
4. Sestavte manuál pro obsluhu zařízení a návod pro laboratorní úlohu s realizovaným DAQ systémem.

Rozsah diplomové práce: **40 – 60 stran**  
Rozsah grafických prací: **podle doporučení vedoucího**  
Forma zpracování diplomové práce: **tištěná/elektronická**

Seznam doporučené literatury:

1. KNOLL, Glenn F., Radiation Detection and Measurement. New York: John Wiley & Sons, Inc., 2010. ISBN 978-0-470-13148-0.
2. Další zdroje dle doporučení vedoucího (workshopy, přednášky, vědecké články).

Vedoucí diplomové práce: **Ing. Jan Zich**  
Katedra elektroniky a informačních technologií

Datum zadání diplomové práce: **9. října 2020**  
Termín odevzdání diplomové práce: **27. května 2021**



**Prof. Ing. Zdeněk Peroutka, Ph.D.**  
děkan



**Doc. Ing. Jiří Hammerbauer, Ph.D.**  
vedoucí katedry

## **Abstrakt**

Tato diplomová práce se zabývá architekturou a praktickým návrhem systému sběru dat pro experimenty na poli částicové fyziky. Tyto experimenty mají za cíl zkoumat podstatu částic tvořící hmotu a radiaci. V práci jsou shrnuty základní topologie DAQ a trigger systémů pro experimenty v částicové fyzice. Dále je obsahem práce návrh jednakanálového DAQ řetězce, jehož hlavním úkolem je demonstrace systémů, které jsou pro částicovou fyziku využívány. Navržený systém je rozdělen na čtyři části, které jsou realizovány oddělenými deskami plošných spojů. Systém je řešený modulárně z důvodu názornosti a možnosti budoucího rozšíření. Na navrženém systému je proveden praktický test a je provedeno zhodnocení dosažených parametrů a funkcí.

## **Klíčová slova**

ADC, BUSY logika, Částicová fyzika, DAQ, FPGA, Nukleární instrumentace, Trigger, Zvyšující měnič



## **Abstract**

This diploma thesis deals with architecture and practical design of DAQ systems in particle physics experiments. These experiments focus on nature of particles that constitute matter and radiation. This thesis summarizes the basic topologies of DAQ and trigger systems for experiments in particle physics. Furthermore, the design of single channel of DAQ chain is described. Its main task is demonstration of the DAQ system used for particle physics. The designed system is divided into four main parts in a form of individual PCBs. For a better understanding of the system operation and possible extension a modular concept is used. Practical test was carried out in order to evaluate the achieved parameters and functions.

## **Key words**

ADC, BUSY logic, DAQ, FPGA, Nuclear instrumentation, Particle physics, Step - up converter, Trigger

## **Prohlášení**

Prohlašuji, že jsem tuto diplomovou práci vypracoval samostatně, s použitím odborné literatury a pramenů uvedených v seznamu, který je součástí této diplomové práce.

Dále prohlašuji, že veškerý software, použitý při řešení této diplomové práce, je legální.



.....  
podpis

V Plzni dne 27.5.2021

Tomáš Kulháněk

## Obsah

<b>1</b>	<b>ÚVOD</b> .....	<b>9</b>
<b>2</b>	<b>SEZNAM SYMBOLŮ A ZKRATEK</b> .....	<b>10</b>
	SYMBOLY .....	10
	ZKRATKY .....	11
<b>3</b>	<b>TEORETICKÁ ČÁST</b> .....	<b>12</b>
3.1	OBECNÝ SYSTÉM SBĚRU DAT.....	12
3.2	DATA AKVIZIČNÍ SYSTÉM PRO APLIKACE V ČÁSTICOVÉ FYZICE .....	13
3.3	DIGITALIZACE DAT .....	16
3.3.1	ADC .....	16
3.3.2	TDC .....	16
3.4	TRIGGER SYSTÉM .....	17
3.4.1	Jednakanálový trigger systém .....	17
3.4.2	Vícekanálový trigger systém.....	24
3.5	SPEKTROMETRIE.....	25
<b>4</b>	<b>NÁVRH DAQ ŘETĚZCE</b> .....	<b>26</b>
4.1	VSTUPNÍ DESKA.....	27
4.2	NAPÁJECÍ ZDROJ PŘEDPĚTÍ .....	32
4.3	TRIGGER DESKA .....	36
4.4	FPGA DESKA .....	47
4.5	FPGA FIRMWARE .....	60
4.6	PC SOFTWARE .....	65
<b>5</b>	<b>NÁVRH DPS A PRAKTICKÁ REALIZACE</b> .....	<b>66</b>
5.1	PRAKTICKÁ REALIZACE DESKY.....	67
5.2	PRAKTICKÁ REALIZACE NAPÁJECÍHO ZDROJE PŘEDPĚTÍ .....	68
5.3	PRAKTICKÁ REALIZACE DESKY.....	69
5.4	PRAKTICKÁ REALIZACE FPGA DESKY .....	70
<b>6</b>	<b>PRAKTICKÝ TEST</b> .....	<b>71</b>
<b>7</b>	<b>ZÁVĚR</b> .....	<b>76</b>
<b>8</b>	<b>SEZNAM LITERATURY A INFORMAČNÍCH ZDROJŮ</b> .....	<b>78</b>
<b>9</b>	<b>PŘÍLOHY</b> .....	<b>1</b>
	PŘÍLOHA A – VSTUPNÍ DESKA – ZESILOVAČ A FILTRY .....	1
	PŘÍLOHA B – VSTUPNÍ DESKA – NAPÁJECÍ OBVODY .....	2
	PŘÍLOHA C – NAPÁJECÍ ZDROJ PŘEDPĚTÍ.....	3
	PŘÍLOHA D – TRIGGER DESKA – BLOKOVÉ SCHÉMA.....	4
	PŘÍLOHA E – TRIGGER DESKA – ANALOGOVÁ ČÁST .....	5
	PŘÍLOHA F – TRIGGER DESKA – TRIGGER KOMPARÁTOR.....	6

PŘÍLOHA G – TRIGGER DESKA – BUSY LOGIKA.....	7
PŘÍLOHA H – TRIGGER DESKA – NAPÁJECÍ OBVODY .....	8
PŘÍLOHA I – FPGA DESKA – BLOKOVÉ SCHÉMA .....	9
PŘÍLOHA I – FPGA DESKA – ZAPOJENÍ FPGA .....	10
PŘÍLOHA J – FPGA DESKA – NAPÁJENÍ FPGA.....	11
PŘÍLOHA K – FPGA DESKA – ZAPOJENÍ ADC.....	12
PŘÍLOHA L – FPGA DESKA – KOMUNIKAČNÍ PERIFERIE.....	13
PŘÍLOHA M – FPGA DESKA – NAPÁJECÍ OBVODY.....	14
PŘÍLOHA N – NÁVOD K OBSLUZE A LABORATORNÍ ÚLOHA.....	15

# 1 Úvod

Diplomová práce se zabývá problematikou systémů sběru dat (DAQ) pro experimenty na poli částicové fyziky. Obor částicové fyziky, někdy nazývaný fyzikou vysokých energií, se zabývá výzkumem částic tvořící hmotu a radiaci. Systémy sběru dat mohou být malá kapesní zařízení nebo velké rozsáhlé detekční systémy. Malá i velká DAQ zařízení mohou poskytovat velké objemy dat, přičemž jejich části pro zpracování dat musejí mít velkou datovou propustnost. Velké detekční systémy mohou poskytovat naměřená data z řádově až milionů detekčních kanálů.

V teoretické části práce jsou popsány vlastnosti a funkce základních topologií DAQ systémů využívaných v částicové fyzice.

Hlavní náplní diplomové práce je pak návrh systému sběru dat pro využití ve výuce. Jedná se o jednakanálový DAQ řetězec s možností připojení polovodičového detektoru nebo signálového generátoru. Pomocí stimulů ze signálového generátoru mohou být zjišťovány parametry a funkce DAQ řetězce. Jako polovodičový detektor zde může být použita například nezapouzdřená PIN dioda. Pomocí zapojení s polovodičovým detektorem může být prováděna spektroskopie ionizujícího záření. Celý řetězec je rozdělen na čtyři části, kterými jsou: vstupní deska, trigger deska, field-programmable gate array (FPGA) deska a napájecí zdroj předpětí. Každá tato část je realizována na vlastní desce plošného spoje (DPS). Systém je řešen modulárně z důvodu názornosti a možnosti budoucího rozšíření o další detekční kanály či jiné měřící funkce (např. měření časových rozdílů detekčních kanálů pomocí time-to-digital converter - TDC).

Funkčnost a vlastnosti jsou ověřeny praktickým testem. Byly otestovány jednotlivé možnosti nastavení systému, pro které byly změřeny vstupní a výstupní signály. Naměřená data byla ukládána a pomocí konzolové aplikace v osobním počítači.

## 2 Seznam symbolů a zkratk

### Symbols

$D$ [-]	střída
$E$ [eV]	energie částice
$\varepsilon$ [-]	účinnost
$f$ [Hz]	průměrná vstupní frekvence DAQ systému
$f_{\text{SW}}$ [Hz]	spínací frekvence
$L$ [m]	délka vedení zpoždovací linky
$L_{\text{DIFF}}$ [m]	délka diferenciálního vedení
$L_{\text{SINGLE}}$ [m]	délka single-ended vedení
$\lambda$ [s]	průměrná doba mezi událostmi na vstupu DAQ systému
$m_c$ [A/s]	kompensační sklon
$\eta$ [-]	účinnost měniče
$N$ [-]	počet událostí
$N_{\text{SAVED}}$ [-]	počet uložených událostí
$N_{\text{TOT}}$ [-]	počet detekovaných událostí
$P_{\text{BUSY}}$ [-]	pravděpodobnost zaneprázdněného DAQ systému
$P_{\text{FREE}}$ [-]	pravděpodobnost volného
$\tau$ [s]	mrtvý čas
$t_{\text{PD\_AND}}$ [s]	zpoždění hradla AND
$t_{\text{PD\_COMP}}$ [s]	zpoždění komparátoru
$t_{\text{PD\_CONVERTER}}$ [s]	zpoždění převodníku
$t_{\text{DELAY}}$ [s]	doba zpoždění zpoždovací linky
$t_{\text{PD\_DIFF}}$ [s]	doba zpoždění průchodu signálu diferenciálním vedením
$t_{\text{PD\_SINGLE}}$ [s]	doba zpoždění průchodu signálu single-ended vedením
$t_{\text{PD\_TRACE}}$ [s]	zpoždění signálu na cestách DPS
$\nu$ [Hz]	průměrná výstupní frekvence DAQ systému

**Zkratky**

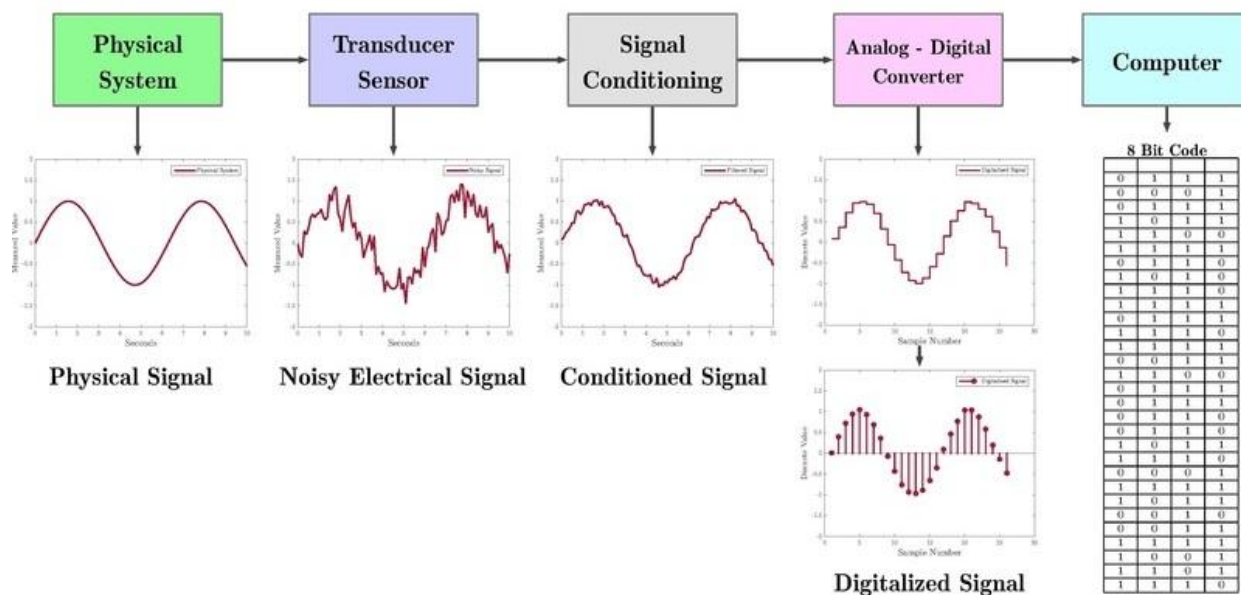
ADC	analogově/digitální převodník
BUSY	zaneprázdněný
DAQ	sběr dat
DPS	deska plošných spojů
CLK	clock
Delay	zpoždění
EEPROM	electrically erasable programmable read-only memory
Event	událost
FIFO	paměť fronty
FPGA	field-programmable gate array
GPIO	univerzální vstupní/výstupní piny
HLT	high level triggering
JTAG	Joint Test Action Group
LDO	low-dropout regulator
LED	light-emitting diode
LHC	Velký hadronový urychlovač
LVDS	low-voltage differential signaling
LVPECL	low-voltage positive emitter-coupled logic
LVTTL	low-voltage transistor to transistor logic
MISO	master input slave output
MOSI	master output slave input
MUX	multiplexor
SPI	Serial Peripheral Interface
Storage	úložiště
TDC	time todigital converter
Trigger	spouštění
TX	vysílač
UART	Universal Asynchronous Receiver-Transmitter
USB	Universal Serial Bus
VHDL	VHSIC Hardware Description Language

### 3 Teoretická část

#### 3.1 Obecný systém sběru dat

Sběr dat je proces, který zpracovává signály naměřené v reálném světě, které následně digitalizuje pro počítačové zpracování.

Obecné blokové schéma data akvizičního řetězce je naznačeno na Obr. 1. Měřená fyzikální veličina (Physical System) je snímacím senzorem (Transducer Sensor) převedena na elektrický signál. Signál ze senzoru je poté vhodně upraven (Signal Conditioning) pro zpracování analogově/digitálním převodníkem (ADC). ADC (Analog – Digital Converter) převádí naměřený analogový signál na signál digitální, vhodný pro počítačové zpracování (Computer) [1].



Obr. 1: Obecný DAQ řetězec, převzato z [1]



### 3.2 Data akviziční systém pro aplikace v částicové fyzice

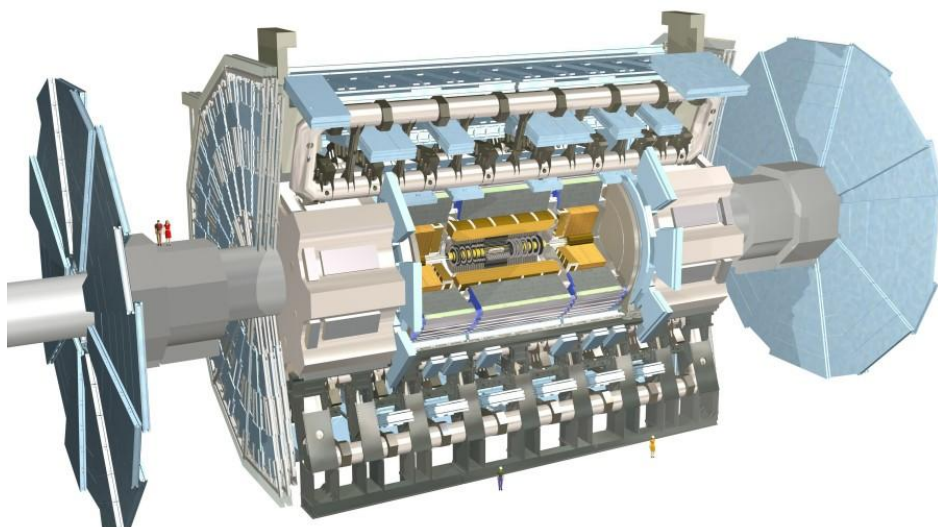
Experimenty v částicové fyzice mají za cíl zkoumat podstatu částic, které tvoří hmotu a radiaci [2]. Při experimentech jsou nashromážděna data o interakcích částic.

Snímací senzor je pro tento případ částicový detektor, který zaznamenává částice, které jsou produktem srážek jiných částic. Tyto částice interagují s detektory, které generují elektrické signály nesoucí informaci o typu, energii nebo trajektorii interagujících částic. DAQ systém informace dále zpracovává, digitalizuje a ukládá pro pozdější analýzy.

Samotné provedení detektorů se velmi liší v závislosti na jejich určení a výkonových parametrech. V praxi se detektory i celé DAQ systémy mohou vyskytovat v podobě mobilních zařízení kapesní velikosti, například detektor FitPix uvedený na Obr. 2, či rozsáhlých detekčních systémů, například detektory experimentu ATLAS na LHC v CERNu ukázaný na Obr. 3.

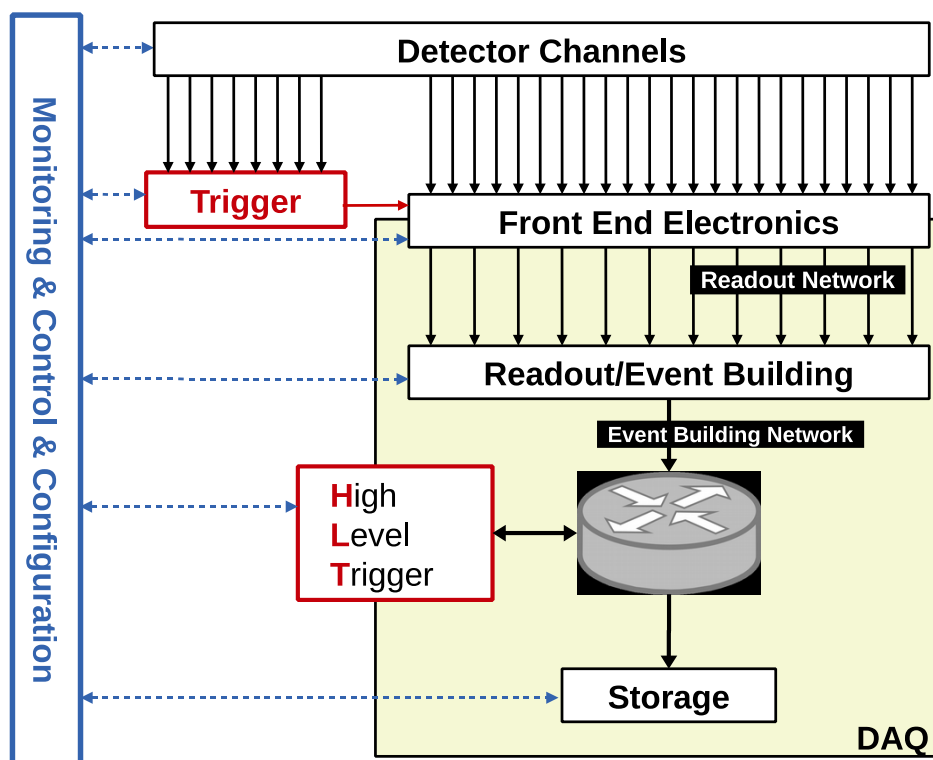


Obr. 2: Kapesní detektor FitPix, převzato z [3]



Obr. 3: Ilustrační obrázek detekčního systému experimentu ATLAS, převzato z [4]

Soubor všech signálů popisujících jednu konkrétní interakci se nazývá událost (event). Četnost takovýchto událostí může být tisíce až miliony za sekundu. Události obvykle nepřichází pravidelně, ale v náhodné okamžiky. Skladba informací popisujících danou událost se může lišit v závislosti na typu probíhajícího experimentu a nemusí tedy být zpracovávány signály ze všech kanálů detekčního systému. Pro následnou analýzu nejsou relevantní vždy všechny detekované události, takže je vhodné provést jejich výběr z důvodu šetření nákladů na datový úložný prostor a počítačový výkon nezbytných pro jejich vyhodnocení. Samotný výběr událostí zajišťuje trigger systém, který je popsáný v kapitole 3.4. Na Obr. 4 je ukázáno blokové schéma systému pro sběr dat v experimentech částicové fyziky [5] [6].



Obr. 4: DAQ systém pro experimenty v částicové fyzice [6]

Signály z jednotlivých kanálů různých částicových detektorů (Detector Channels) jsou vedeny do bloku vstupní elektroniky (Front End Electronics). Paralelně s těmito signály jsou vedeny signály jen z určitých detekčních kanálů do bloku triggeru. Trigger má za úkol určit dle nastavených podmínek, zda je detekovaná událost zajímavá z hlediska probíhajícího fyzikálního experimentu. Trigger systém je detailně popsán v kapitole 3.4.

Vstupní elektronika obsahuje analogové zesilovače, analogové filtry, obvody pro napájení detektorů (předpětí detektorů) a další analogové obvody nezbytné pro odpovídající zpracování signálů z detektorů.

Zpracované analogové signály dále pokračují do vyčítacího bloku (readout) a bloku pro skládání události (Readout/Event Building). Tento kombinovaný blok má za úkol digitalizaci analogových signálů a složení jednotlivých fragmentů digitalizovaných dat, které reprezentují informace z jednotlivých detekčních kanálů, do vhodných datových struktur. V jednotlivých událostech nejsou zpracovávány signály ze všech detektorů. Zpravidla jsou ukládány informace jen z detektorů detekující částice. Datové struktury jednotlivých událostí tedy mají různou velikost a datová slova musejí mít identifikaci, z jakého detekčního kanálu pocházejí.

Výstupní zpracovaná data z bloku pro skládání události pokračují dále vysokorychlostní sítí do bloku úložiště (storage) pro pozdější off-line analýzu. Tato data jsou ještě dále zpracovávána vysokoúrovňovým triggerem (High Level Trigger - HLT).

HLT je obvykle softwarový nástroj běžící na velkých počítačových farmách, který ještě dále zdokonaluje analýzu dat první úrovně triggeru s využitím přísnějších kritérií pro selekci. Dochází tak ještě k větší redukci události irelevantních pro následnou off-line analýzu.

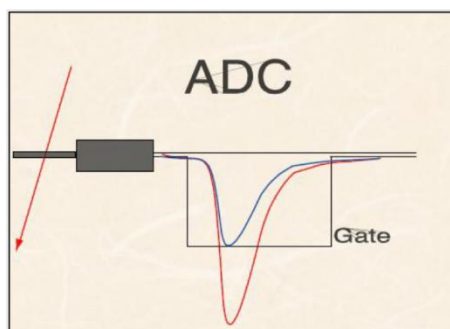
Poslední částí systému pro sběr dat je blok monitorování, ovládání a konfigurace (Monitoring & Control & Configuration), který monitoruje stav celého systému a dále může celý systém sběru dat ovládat [6].

### 3.3 Digitalizace dat

Signály, které detektory produkují, musí být digitalizovány pro jejich záznam do datových úložišť. Digitalizace naměřených signálů může probíhat jak v oblasti amplitudové, tak v oblasti časové.

#### 3.3.1 ADC

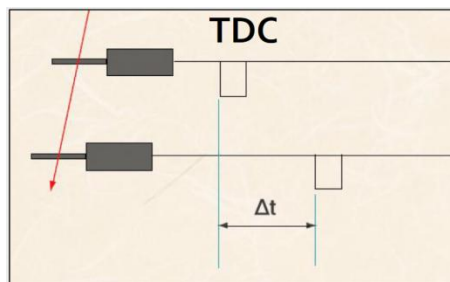
Při digitalizaci pomocí ADC dochází k odběru jednotlivých vzorků analogového signálu s určitou vzorkovací periodou. Jde o klasický převod analogového signálu na signál digitální. Zpracováním takového digitálního signálu může být určena například energie interagující částice.



Obr. 5: Digitalizace dat ADC, převzato z [5]

#### 3.3.2 TDC

Při digitalizaci pomocí TDC je měřena časová diference signálů ze dvou či více detektorů. Je tedy měřen čas, za který částice urazí dráhu mezi detektory. Z naměřeného času je možné určit dobu letu částice. Časové rozlišení TDC používaných v aplikacích pro částicovou fyziku je obvykle v oblasti desítek pikosekund.

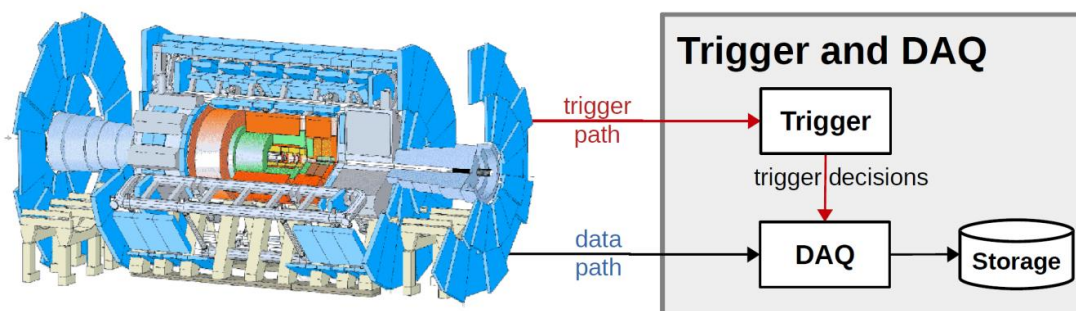


Obr. 6: Digitalizace dat TDC, převzato z [5]

### 3.4 Trigger systém

DAQ systém vyžaduje informaci o tom, kdy došlo k události, kterou je třeba zaznamenat pro další zpracování. Pokud by nebyl použit trigger systém, DAQ systém by musel neustále sbírat data z detektorů a všechna tato data dále ukládat. Jelikož se detektory obvykle skládají z velkého množství výstupních kanálů a rovněž četnost srážek nabývá vysokých hodnot, byl by objem uložených dat enormní stejně tak jako nároky na počítačový výkon při analýze. Trigger systém sleduje část signálů z vybraných detektorů a podle nastavených pravidel rozhoduje, zda má DAQ systém sbírat a ukládat data.

Na Obr. 7 jsou naznačeny oddělené signálové cesty pro trigger systém (trigger path) a pro DAQ systém (data path). Signálová cesta pro DAQ systém je vedena ze všech dostupných detektorů. Cesta pro trigger systém je vedena pouze od detektorů vybraných pro triggerování.



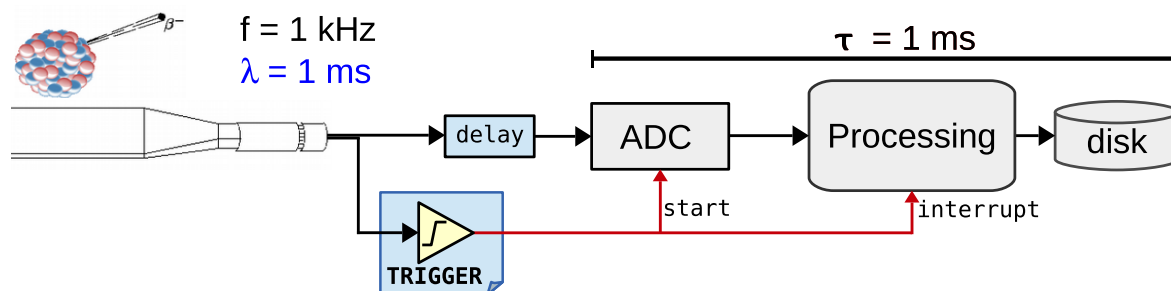
Obr. 7: Trigger a DAQ systémy, převzato z [6]

#### 3.4.1 Jednakanálový trigger systém

Princip jednakanálového trigger systému je uveden na Obr. 8. Zdrojem analogového signálu zde může být scintilační detektor detekující rozpad atomů. Trigger systém je zde tvořen komparátorem, který při překročení nastavené úrovně vydá signál pro začátek převodu ADC (start) a pro zpracování dat (interrupt). Zpracovaná data jsou dále ukládána. Signálová cesta je rozdělena na trigger cestu a na datovou cestu. V analogové cestě je zařazen blok zpoždění (delay) pro kompenzaci zpoždění trigger systému.

Převod analogového signálu na digitální data, zpracování těchto dat a uložení zpracovaných dat trvá určitý čas, který je zde označený jako  $\tau$ . Doba  $\tau$  je nazývána

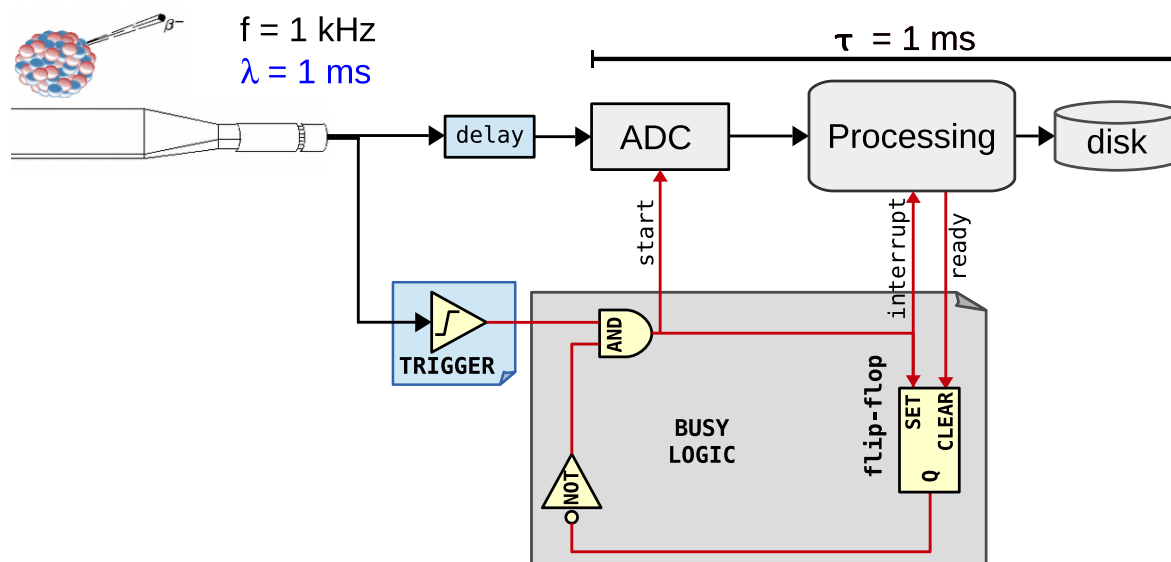
těž mrtvá doba (dead time) detektoru. Po tuto dobu  $\tau$  nemůže systém zpracovávat další událost.



Obr. 8: Jednakanálový trigger systém [6]

Události přicházejí náhodně a nepředvídatelně. Jedná se tedy o stochastický proces. Další událost tedy může přijít v době, kdy ještě probíhá zpracování předchozí události, a může tak přerušit aktuálně probíhající zpracování. Z tohoto důvodu je nutné zajistit, aby v době, kdy je zpracována událost, nemohl přijít požadavek na zpracování další události, tzn. aby nemohl přijít další trigger signál. Možné řešení je blokování trigger signálu v době zpracování události.

Na Obr. 9 je naznačený možný způsob blokování trigger signálu tzv. BUSY logikou. V případě, kdy systém nezpracovává událost, je cesta pro trigger signál volná. Při detekci události komparátor vydá trigger signál, tedy log. 1. Signál z komparátoru aktivuje vstup SET RS klopného obvodu a na jeho výstupu nastaví hodnotu log. 1. Tento výstup je negován na hodnotu log. 0 a spolu se signálem z komparátoru je zaveden do AND hradla a vstup z komparátoru je blokován. Na výstupu AND hradla se tedy objeví impuls délkou odpovídající zpoždění hradla AND a RS klopného obvodu, který spustí ADC a zpracování dat. Po skončení zpracování a uložení dat vydá blok zpracování (Processing) ready signál vedoucí na clear vstup RS klopného obvodu a nastaví na jeho výstupu Q log. 0. Negovaným signálem Q, který je zavedený do AND hradla, je odblokován vstup z komparátoru a systém může zpracovat další událost.



Obr. 9: Jednokanálový trigger systém s doplněnou BUSY logikou [6]

Systémy ilustrované na Obr. 8 a Obr. 12 mohou zpracovat jen omezený počet událostí. V případě, kdy je systém v zaneprázdněném (respektive v BUSY) stavu, nemůže událost zpracovat vůbec. Pravděpodobnost, že systém je v BUSY stavu lze vypočítat podle vztahu (3.1), kde  $v$  je průměrný počet zpracovávaných událostí DAQ systémem a  $\tau$  je doba potřebná pro zpracování neboli mrtvá doba.

$$P_{BUSY} = v\tau \quad (3.1)$$

Pravděpodobnost stavu, kdy je systém přichozí událost schopný zpracovat, lze vypočítat podle vztahu (3.3), kde  $f$  je průměrný počet detekovaných událostí přivedených na vstup DAQ systému a  $\lambda$  je perioda detekovaných událostí na vstupu DAQ systému. Mezi počtem detekovaných událostí a periodou mezi událostmi na vstupu DAQ systému platí vztah (3.2).

$$\lambda = \frac{1}{f} \quad (3.2)$$

$$P_{FREE} = 1 - v\tau = \frac{v}{f} = v\lambda \quad (3.3)$$

Úpravou vztahu (3.3) můžeme určit počet zpracovaných událostí DAQ systémem s určitou mrtvou dobou  $\tau$  pro různou četnost detekovaných událostí.

$$v = \frac{f}{1 + f\tau} \quad (3.4)$$

Jelikož se jedná o stochastický proces, a události přicházejí v náhodných okamžicích, platí vždy vztah (3.5). Počet zpracovaných událostí tedy je vždy menší než počet detekovaných událostí.

$$v = \frac{f}{1 + f\tau} < f \quad (3.5)$$

Další veličinou související s mrtvou dobou je efektivita. Účinnost systému lze určit ze vztahu (3.6), kde  $N_{SAVED}$  je počet zpracovaných a uložených událostí a  $N_{TOT}$  je počet všech detekovaných událostí.

$$\epsilon = \frac{N_{SAVED}}{N_{TOT}} = \frac{v}{f} \quad (3.6)$$

Dosazením vztahu (3.5) do vztahu pro výpočet účinnosti (3.6) můžeme určit účinnost systému z mrtvé doby  $\tau$  a průměrného počtu detekovaných událostí  $f$ .

$$\epsilon = \frac{1}{1 + f\tau} \quad (3.7)$$

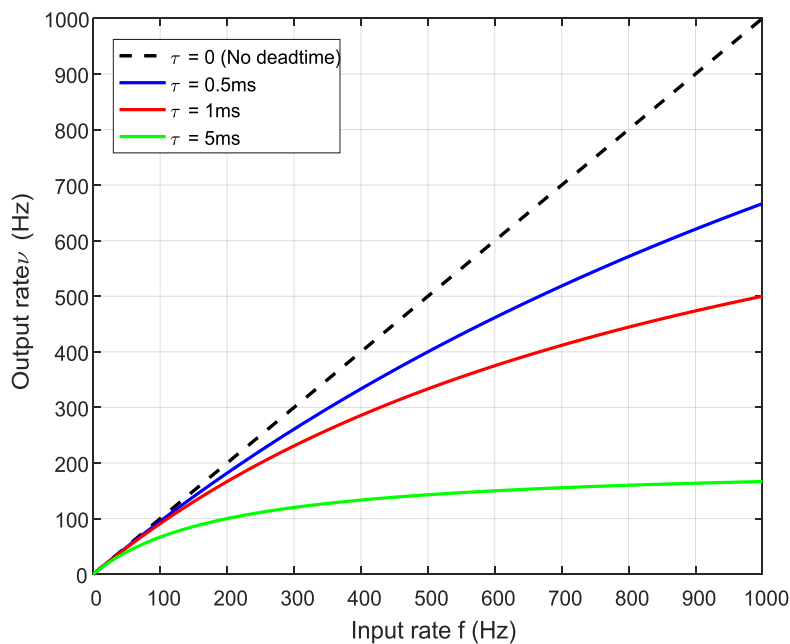
Jelikož platí vztah (3.5), platí pro účinnost vztah (3.8), tedy že účinnost DAQ systému je vždy menší než jedna, tedy menší než 100 %.

$$\epsilon = \frac{1}{1 + f\tau} < 1 \quad (3.8)$$

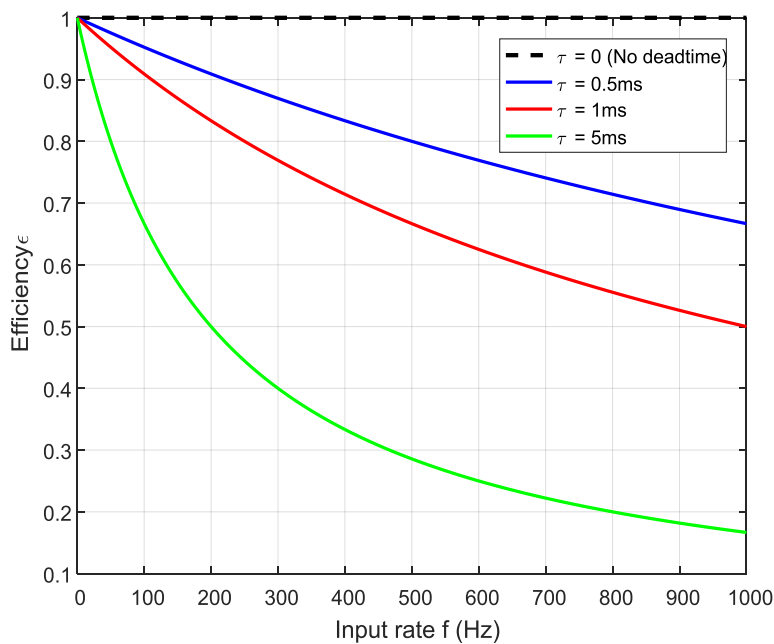
Pro příklad hodnot uvedený na Obr. 8 a Obr. 9, tedy pro průměrný počet detekovaných událostí  $f = 1\text{kHz}$  a dobu zpracování  $\tau = 1\text{ms}$ , vychází průměrný počet zpracovaných a uložených událostí  $v = 500\text{ Hz}$  a účinnost takového systému  $\epsilon = 50\%$ . To znamená, že systém není schopen zpracovat polovinu přicházejících událostí.

Na Obr. 10 jsou ukázány závislosti výstupní frekvence, tedy počtu zpracovaných a uložených událostí, na frekvenci vstupní, která odpovídá počtu detekovaných událostí pro různé doby zpracování  $\tau$ . Obr. 11 ukazuje závislost účinnosti systému na vstupní frekvenci pro různé doby  $\tau$ .





Obr. 10: Závislost výstupní frekvence systému na detekční vstupní frekvenci pro různé doby zpracování [6]



Obr. 11: Závislost efektivity systému na detekční vstupní frekvenci pro různé doby zpracování [6]

Z Obr. 10 je patrné, že pokud by byla doba zpracování  $\tau = 0$  s, je počet zpracovaných a uložených událostí stejný jako počet detekovaných událostí a účinnost takového systému je  $\varepsilon = 100\%$ . Při nárůstu doby zpracování klesá účinnost systému,

tedy počet zpracovaných událostí.

Pokud má systém zpracovat převážnou většinu událostí, tzn. počet zpracovaných událostí odpovídá počtu detekovaných událostí ( $v \sim f$ ), požadujeme účinnost systému blízkou jedné ( $\epsilon \sim 100\%$ ). Pro tento požadavek musí platit vztah (3.9), respektive vztah (3.10), ze kterého je patrné, že mrtvá doba systému musí být mnohonásobně menší než perioda detekovaných událostí.

$$f\tau \ll 1 \quad (3.9)$$

$$\tau \ll \frac{1}{f} \quad (3.10)$$

Pokud je frekvence příchozích událostí  $f = 1$  kHz, tedy  $\lambda = 1$  ms a požadujeme účinnost  $\epsilon = 99\%$ , lze úpravou vztahu pro výpočet účinnosti (3.7) určit vztah (3.11) pro výpočet minimální požadované doby zpracování  $\tau$ .

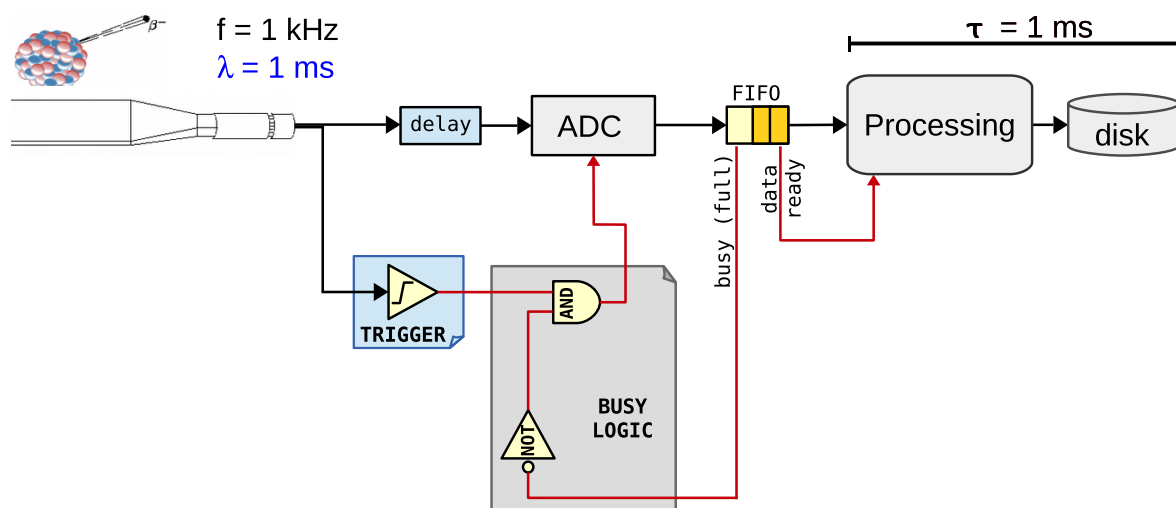
$$\tau = \frac{1 - \epsilon}{\epsilon f} \quad (3.11)$$

Vyčíslením vztahu (3.11) dostaneme hodnotu konkrétní minimální doby zpracování  $\tau$  pro zadané hodnoty.

$$\tau = \frac{1 - 0,99}{0,99 \times 1 \times 10^3} = 10,101 \times 10^{-6} \text{ s} \cong \underline{\underline{10,1 \mu\text{s}}} \quad (3.12)$$

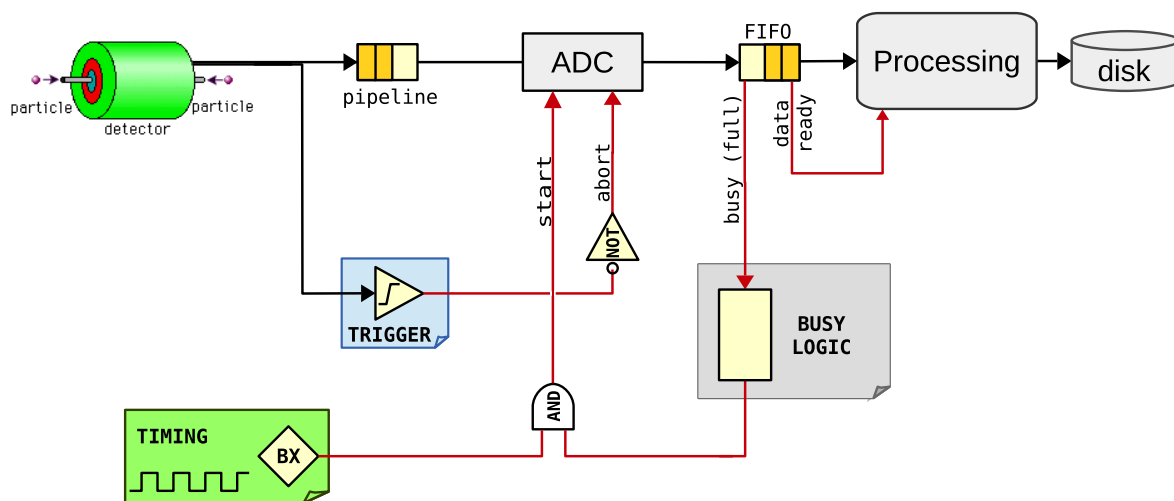
Z předchozího výpočtu je patrné, že pro požadovanou účinnost  $\epsilon = 99\%$  musí být systém předdimenzovaný oproti předpokládanému počtu detekovaných částí, respektive periodě příchozích událostí, přibližně stonásobně. Takto velké předdimenzování DAQ systému může být problematické a nákladné hlavně pro velký počet detekovaných událostí.

Jak již bylo uvedeno dříve, jednotlivé události přicházejí náhodně, typicky ve shlucích. Pokud je tedy perioda mezi událostmi kratší než doba zpracování, je systém neschopný takovýto shluk událostí adekvátně zpracovat. V době mezi jednotlivými shluky událostí má systém prostor pro zpracování událostí detekovaných v předchozím shluku (respektive shlucích). Jednotlivé události jsou ukládány do vyrovnávací paměti typu first-in, first-out (FIFO), odkud jsou následně čteny blokem zpracování dat. Zpracovaná data jsou posléze ukládána do datového úložiště. Při naplnění kapacity vyrovnávací paměti FIFO je triggerovací signál zablokovan. Tento proces se nazývá derandomizace. Princip DAQ systému s derandomizací dat je naznačen na Obr. 12.



Obr. 12: Jednokanálový trigger systém s derandomizací dat [6]

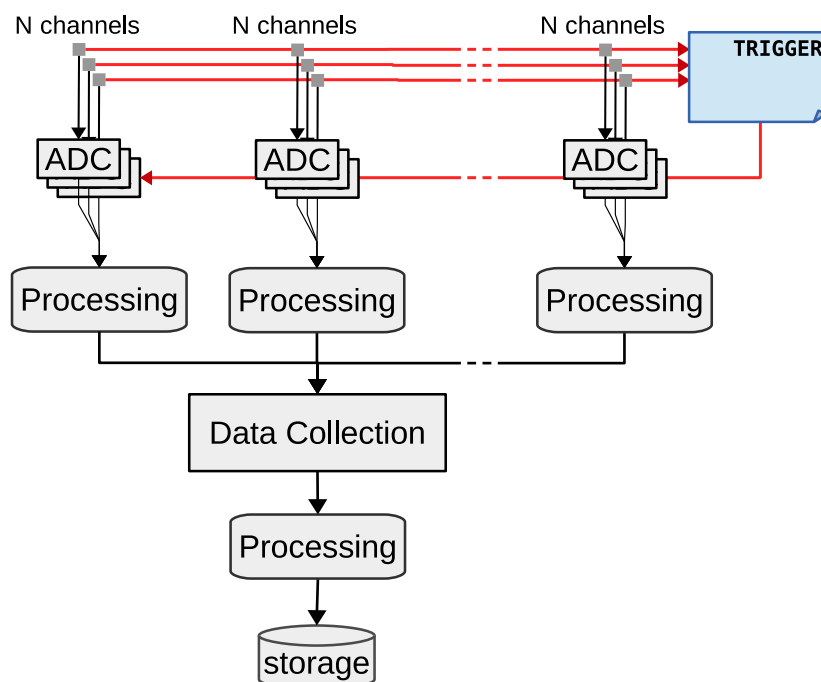
Na Obr. 13 je zachyceno blokové zapojení režimu trigger systému používaného pro sběr dat detektorů na urychlovačích částic. Kolize částic je synchronní a s tímto hodinovým kmitočtem je systém synchronizován. Hodinový kmitočť ovládá začátek (signál start) převodu ADC. Pokud událost nevyhovuje nastaveným podmínkám, je analogově/digitální převod přerušen a událost není zpracována. Pokud událost nastaveným podmínkám vyhovuje, jsou signály z detektorů převedeny do digitální reprezentace a uloženy do vyrovnávací paměti FIFO.



Obr. 13: Režim pro urychlovač [6]

### 3.4.2 Vícekanálový trigger systém

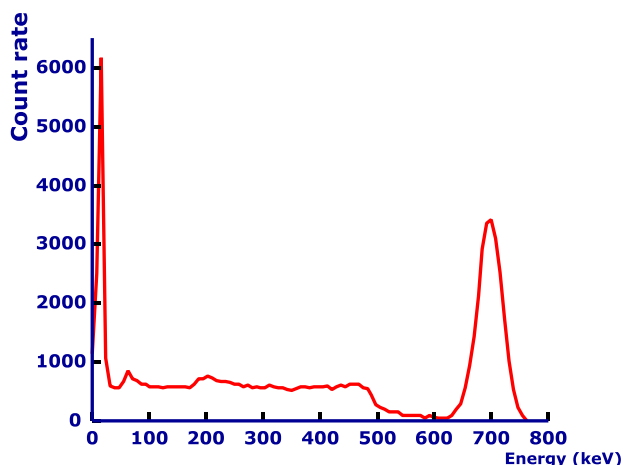
Pro jednotlivé kanály vícekanálových systému jsou využity principy zmíněné v kapitole 3.4.1. Jak již bylo uvedeno, pro triggerování jsou využity jen určité kanály z vybraných detektorů. V každém takovémto kanálu je hlídána úroveň sledovaného signálu pomocí komparátoru. Signály z komparátorů jsou vedeny do jednotky triggeru, která rozhoduje dle nastavených podmínek o tom, zda dojde ke sběru dat probíhající události či nikoliv. Struktura vícekanálového DAQ systému s trigger systémem je ukázán na Obr. 14.



Obr. 14: Vícekanálový trigger systém, převzato z [6]

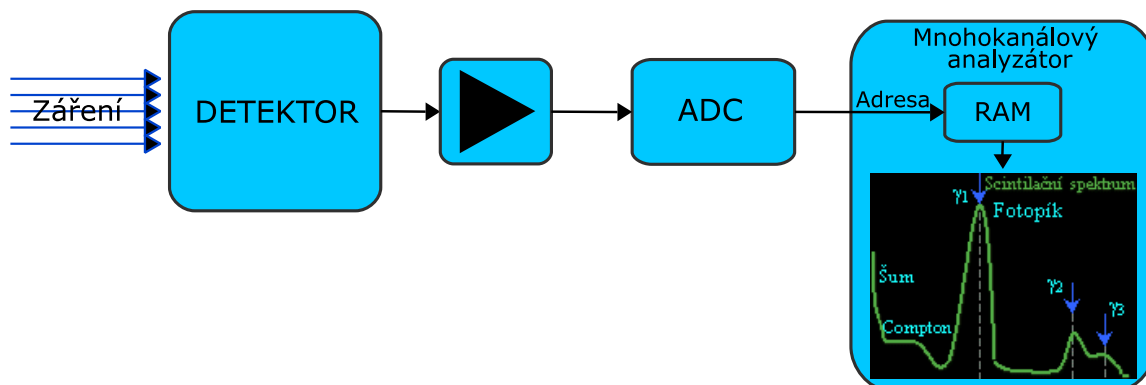
### 3.5 Spektrometrie

Úkolem spektrometrie záření je objektivní měření počtu kvant, energií, intenzit a dalších charakteristik ionizujícího záření [8]. Spektrum záření je závislost počtu detekovaných kvant na energii jednotlivých kvant  $N=f(E)$ . Příklad spektra radioizotopu Cs-137 je ukázán na Obr. 15.



Obr. 15: Spektrum radioizotopu Cs-137, převzato z [7]

Princip spektrometrického řetězce je ukázán na Obr. 16. Zesílený signál z detektoru je vedený na ADC, kde je analogová hodnota amplitudy převedena na digitální reprezentaci. Tato digitální data jsou vedena do paměti vícekanálového analyzátoru. Proces sběru dat přidělí každé velikosti digitalizované amplitudy, tedy digitalizované velikosti energie detekovaného kvanta, odpovídající adresu v paměti. Při detekci dané energie je vždy hodnota na této adrese zvětšena o jedna. V analyzátoru je tak vytvářené digitální energetické spektrum, kde je adresa paměťové buňky úměrná velikosti energie kvanta záření a hodnota buňky je úměrná počtu detekovaných kvant záření této energie [6].

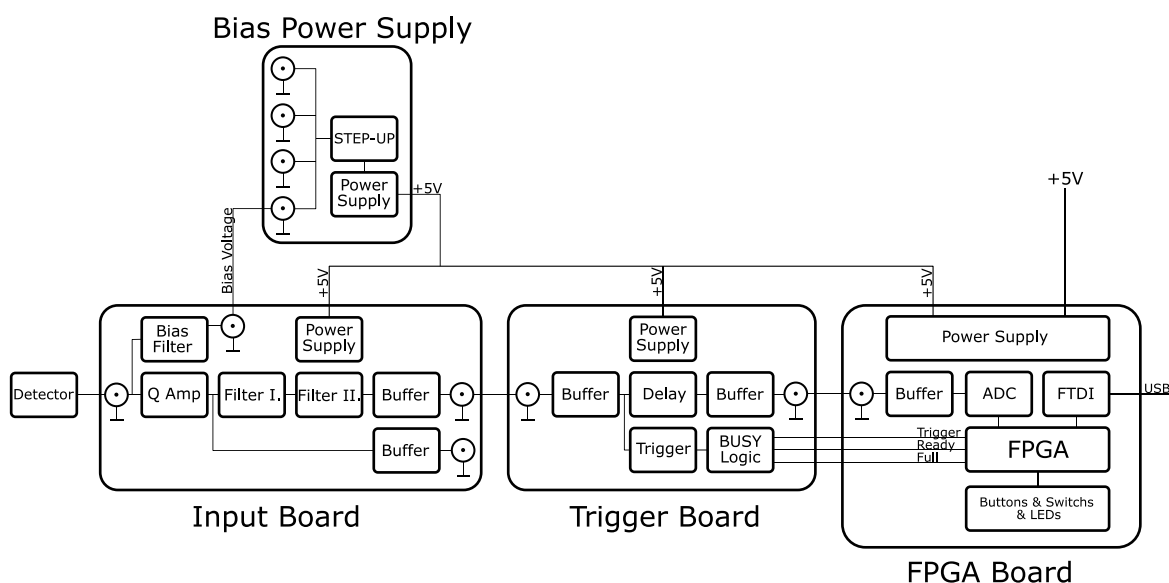


Obr. 16: Spektrometrický řetězec [8]

## 4 Návrh DAQ řetězce

Praktická část se zabývá návrhem jednokanálového readout řetězce, jehož hlavním účelem je využití ve výuce sběru a zpracování dat v částicové fyzice. Zdrojem signálu může být signálový generátor nebo polovodičový detektor. Pomocí signálového generátoru mohou být ověřovány a zjišťovány parametry DAQ řetězce. Jako polovodičový detektor zde může být použita například nezapouzdřená PIN dioda. Pomocí zapojení s polovodičovým detektorem může lze provádět například spektroskopii ionizujícího záření radionuklidu a následné vyhodnocení naměřených dat. Tímto způsobem lze měřit například četnost a energii částic.

Celý DAQ řetězec je řešen modulárně z důvodu názornosti a možnosti budoucího rozšíření. Řetězec je rozdělen na čtyři části, tj. vstupní deska, trigger deska, FPGA deska a bias napájecí zdroj. Jednotlivé části budou popsány v následujících kapitolách. Blokové schéma zapojení je znázorněno na Obr. 17.



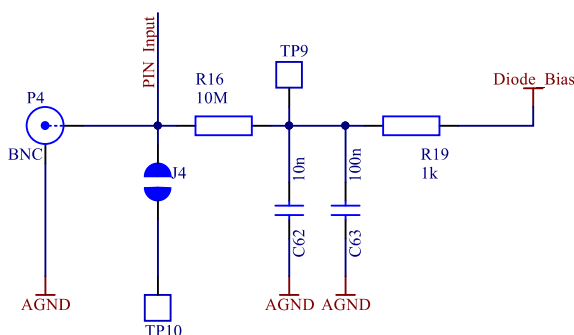
Obr. 17: Blokové schéma zapojení DAQ systému

## 4.1 Vstupní deska

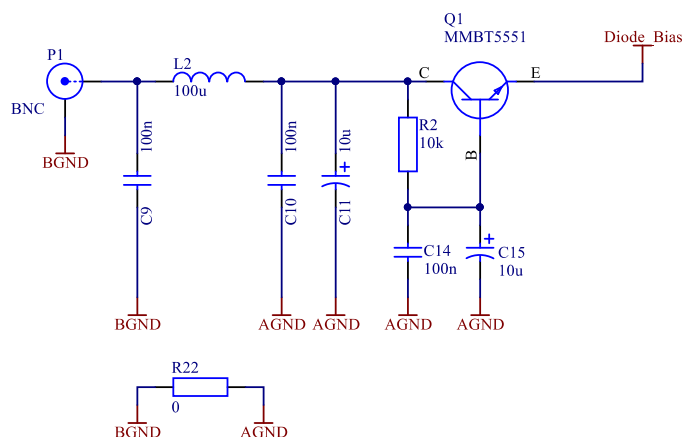
Vstupní deska obsahuje analogové obvody pro připojení detektoru, nábojový zesilovač, tvarovače vstupního signálu a napájecí obvody.

Vstupní část je naznačena na Obr. 18. Signál z detektoru nebo ze signálového generátoru je připojen konektorem P4 typu BNC. V případě připojení polovodičového detektoru je přivedeno předpětí pro detektor přes vyhlazovací filtr naznačený na Obr. 19. Konektor P1 typu BNC slouží pro připojení vysokého napětí z externího napájecího zdroje. Indukčnost L2 spolu s kondenzátory C10 a C11 tvoří vstupní LC filtr. Zapojení NPN tranzistoru Q1 spolu s rezistorem R2 a kondenzátory C14 a C15 tvoří aktivní vyhlazovací filtr. Napětí z aktivního vyhlazovacího filtru je přivedeno přes RC filtr tvořený prvky R19, C62 a C63 a dále přes omezovací rezistor R16 na vstupní konektor P4.

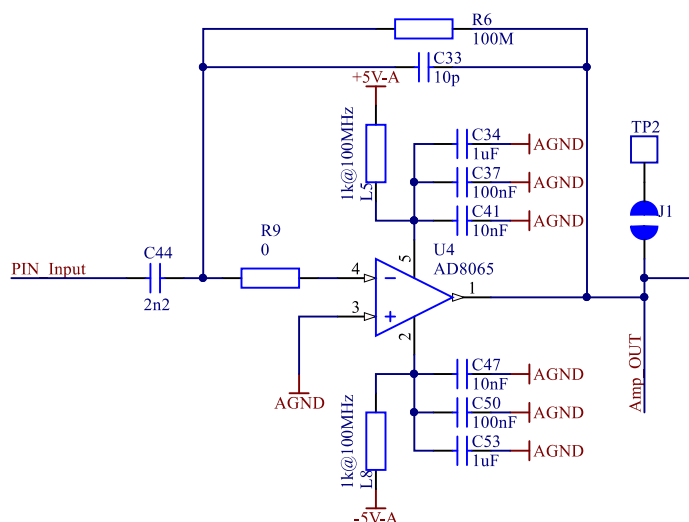
Volba velikosti předpětí vychází z volby připojeného polovodičového detektoru. Dimenzování použitých součástek dovoluje připojení napětí o velikosti až 100 V.



Obr. 18: Vstupní část pro připojení detektoru



Obr. 19: Vstupní filtr předpětí pro detektoru



Obr. 20: Nábojový zesilovač

Na Obr. 20 je znázorněn vstupní nábojový zesilovač. Nábojový zesilovač snímá vytvořený náboj v polovodičovém detektoru a převádí ho na úměrně velké napětí. Výstupní napětí nábojového zesilovače lze vypočítat podle vzorce:

$$U_{QDC} = \frac{Q}{C_{33}} = \frac{Q}{10 \times 10^{-12}} = Q \cdot 10^{11} \quad (4.1)$$

$Q$  (C) označuje vstupní náboj a  $C_{33}$  (F) je velikost zpětnovazebního kondenzátoru  $C_{33}$ . Náboj vytvořený na detektoru interagující částicí lze vypočítat pomocí vzorce:

$$Q = \frac{E \times 1,602 \times 10^{-19}}{3,6} \quad (4.2)$$

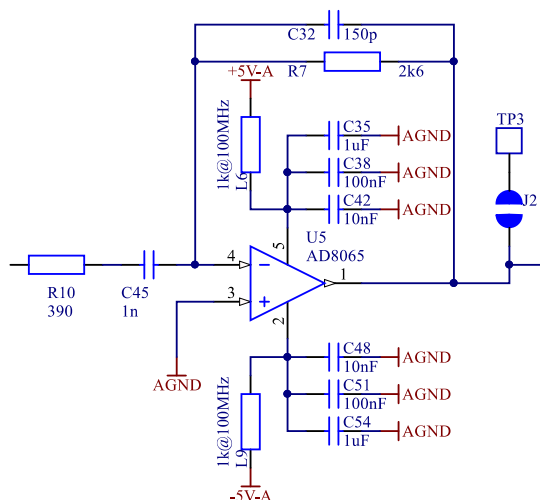
Ve výše uvedené rovnici je  $E$  (eV) energie interagující částice,  $1,602 \cdot 10^{-19}$  odpovídá náboji elektronu a 3,6 je energie potřebná k vytvoření páru elektron-díra. Dosazením lze vyjádřit závislost výstupního napětí na energii interagující částice:

$$U_{QDC} = \frac{E \times 1,602 \times 10^{-19}}{3,6 \times C_{33}} = \frac{E \times 1,602 \times 10^{-19}}{3,6 \times 10 \times 10^{-12}} = E \times 4,45 \times 10^{-9} \quad (4.3)$$

Kondenzátor  $C_{44}$  zajišťuje střídavou vazbu nábojového zesilovače a detektoru. Rezistor  $R_6$  slouží k vybití zpětnovazebního kondenzátoru  $C_{33}$ . Rezistor  $R_9$  může být využit pro terminaci vstupního signálu. Na místě  $U_4$  je použit precizní operační zesilovač AD8065 [9].

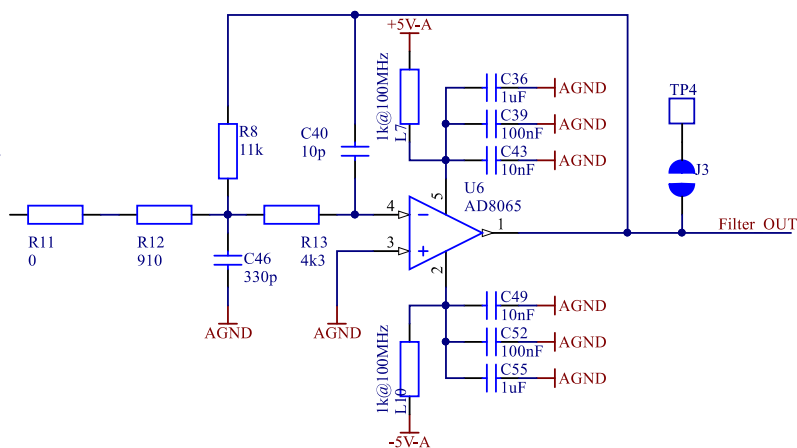


Na Obr. 21 je znázorněn první tvarovač signálu. Prvky R10 a C45 spolu s operačním zesilovačem U5 tvoří derivační článek. Výstupní napětí derivačního článku je přímo úměrné rychlosti změny vstupního napětí. Prvky C32 a R7 spolu s operačním zesilovačem U5 pak spoluutvářejí integrační článek. Výstupní napětí integračního článku je úměrné době, po kterou je na jeho vstupu přítomno napětí. Zapojení se celkově chová jako pásmová propust. Z provedených simulací vychází propustný frekvenční rozsah přibližně 192 kHz až 985 kHz.



Obr. 21: Tvarovač signálu I.

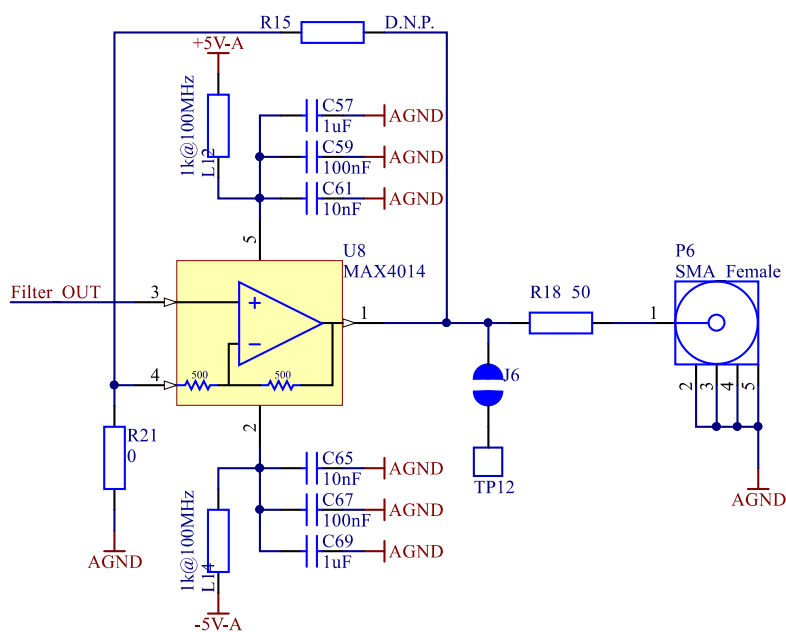
Na Obr. 22 je ukázán druhý tvarovač signálu, který tvoří dolní propust druhého řádu s mezní frekvencí 331 kHz. Tento tvarovač lze rekonfigurovat do topologie identické jako v případě prvního tvarovače a získat tak kaskádu dvou derivačních a dvou integračních článků. Pro oba filtry je použit na místě operačního zesilovače obvod AD8065 stejně jako v případě nábojového zesilovače [9].



Obr. 22: Tvarovač signálu II.

Obr. 23 znázorňuje výstupní single-ended budič s výstupní impedancí 50  $\Omega$ . Budič je tvořen precizním zesilovačem MAX4014 s pevně nastaveným zesílením na hodnotu 2 [10]. Prvky R15 a R21 jsou zde umístěny pro případ použití jiného budiče nebo operačního zesilovače bez interního nastavení zesílení.

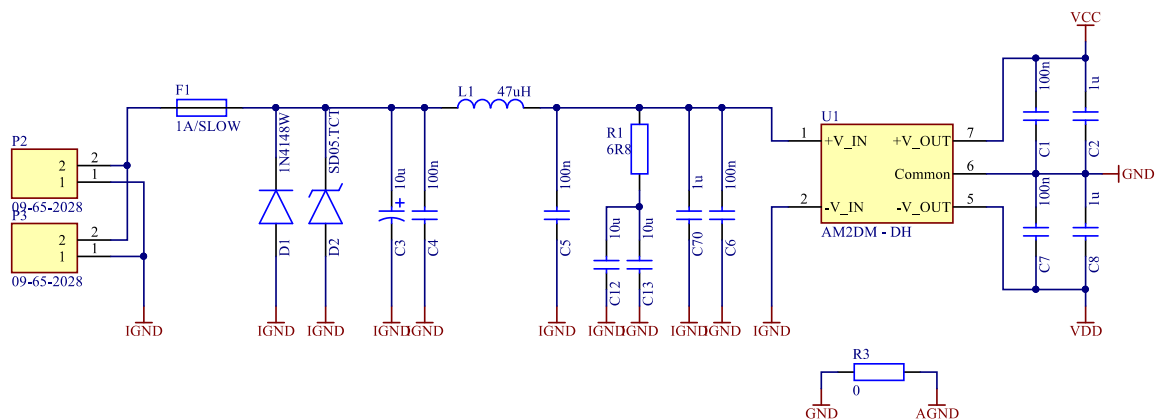
Vstupní deska obsahuje dva totožné výstupní budiče, a tedy i dva možné výstupy signálu. Jeden výstupní budič je připojen přímo za nábojovým zesilovačem a druhý výstupní budič je připojen za tvarovači signálu.



Obr. 23: Výstupní budič

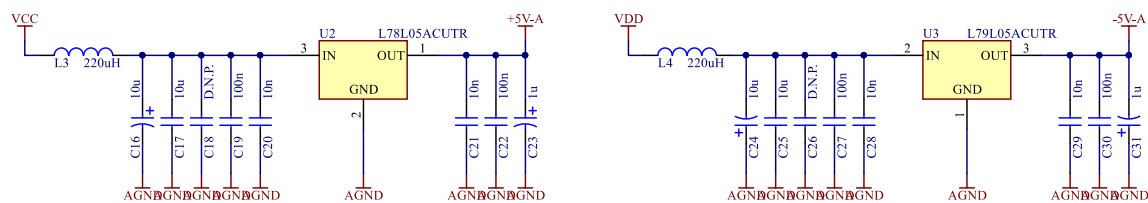
Operační zesilovače i výstupní budiče jsou napájeny symetrickým napětím  $\pm 5$  V. Pro lokální filtraci kladného i záporného napětí jsou využity feritové perly a filtrační kondenzátory.

Symetrické stejnosměrné napětí o hodnotě  $\pm 9$  V je získáno na symetrickém výstupu DC/DC měniče U1. Zapojení měniče je uvedeno na Obr. 24. Měnič U1 dále galvanicky odděluje napájecí napětí, aby nedocházelo ke vzniku rušivých zemních smyček. Prvky F1, D1 a D2 mají za úkol ochranu před předpětím a prepólováním napájecího napětí. Dále následuje LC filtr napětí tvořený tlumivkou L1 a kondenzátory C3, C4, C5, C12 a C13. Rezistor R1 omezuje nabíjení kondenzátorů C12 a C13.



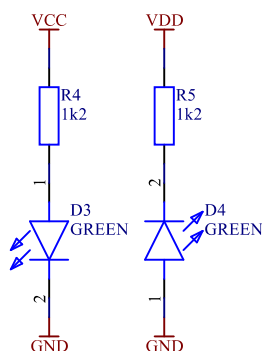
Obr. 24: Oddělovací DC/DC měnič

Výstupní napětí z DC/DC měniče je filtrováno LC filtry a dále je stabilizováno lineárními stabilizátory U2 a U3 na hodnotu  $\pm 5$  V. Zapojení lineárních stabilizátorů pro stabilizaci symetrického napájecího napětí je ukázáno na Obr. 25.



Obr. 25: Stabilizátory napětí

Indikaci napájení vstupní desky zajišťují LED diody D3 a D4 zelené barvy, které jsou zapojeny na symetrickém výstupu DC/DC měniče U1.



Obr. 26: Indikace napájení

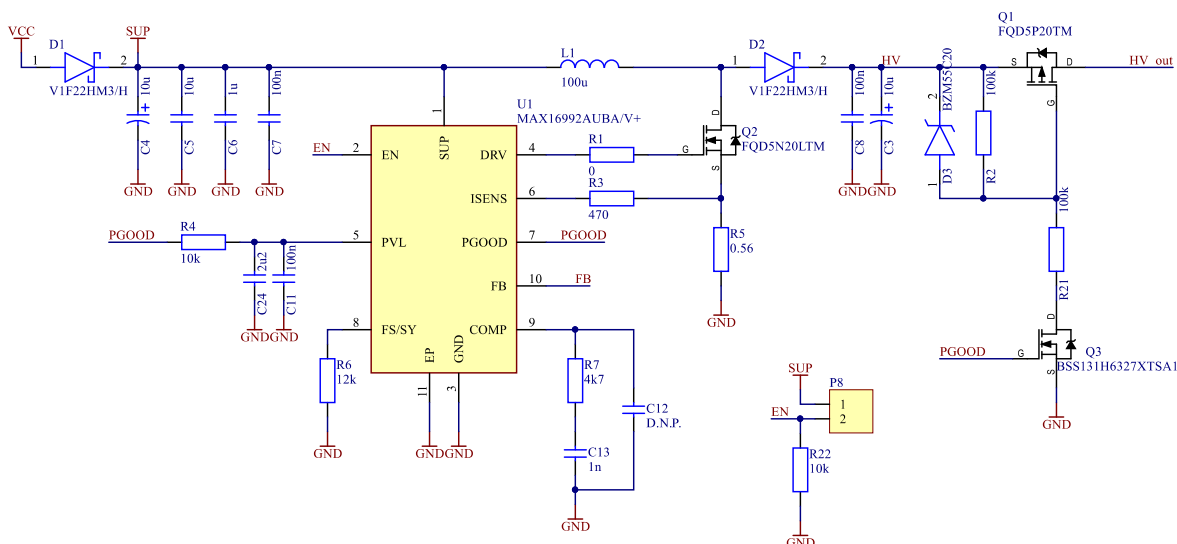
## 4.2 Napájecí zdroj předpětí

Zdroj záporného předpětí je pro navrhovaný řetězec potřeba jen v případě použití polovodičového detektoru (PIN diody). Pro správnou funkci polovodičového detektoru je potřeba zdroj záporného předpětí v řádech desítek voltů. Napětí na výstupu navrženého napájecího zdroje předpětí lze nastavit v rozsahu přibližně 20 V až 100 V.

Topologie navrženého zdroje předpětí je zvyšující měnič. Zapojení zvyšujícího měniče je uvedeno na Obr. 27. Hlavní částí měniče je integrovaný kontrolér U1 typu MAX16992 [11]. Kontrolér řídí střidu řídicího signálu pro N-MOSFET tranzistor Q2. Měnič pracuje v Current-Mode Control režimu. Proud je snímán na rezistoru R5. Hodnotu rezistoru R5 můžeme určit ze vztahu (4.4), kde  $U_{OUT} = 100\text{ V}$  je výstupní napětí,  $I_{OUT} = 35\text{ mA}$  je výstupní proud,  $\eta = 90\%$  je účinnost měniče,  $U_{INmin} = 9\text{ V}$  je minimální vstupní napětí,  $f_{SW} = 2,2\text{ MHz}$  je spínací frekvence a  $L = 100\text{ uH}$  je velikost akumulární indukčnosti L1.

$$R_5 = R_{CS} = \frac{0,2}{1,2 \left( \frac{V_{OUT} I_{OUT}}{\eta V_{INmin}} \right) + 0,5 \left( \frac{U_{OUT} - U_{INmin}}{U_{OUT}} \right) \left( \frac{U_{INmin}}{f_{SW} L} \right)} \quad (4.4)$$

Pro zadané hodnoty byla určena velikost rezistoru  $R_5 = 0,56\ \Omega$ .



Obr. 27: Zvyšující měnič

Pro kompenzaci stabilizace slouží prvky R7 a C13. Velikost kompenzačního sklonu lze pro zvyšující měnič určit dle vztahu (4.5).

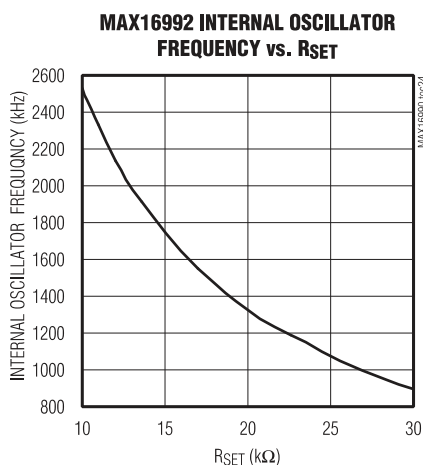
$$mc = \frac{0,5(U_{OUT} - U_{IN})}{L} \quad (4.5)$$

Pro hodnoty  $U_{OUT} = 100 \text{ V}$ ,  $U_{IN} = 18 \text{ V}$  a  $L = 100 \text{ uH}$  vychází kompenzační sklon  $mc = 410000 \text{ A/s}$ . Dále lze z hodnoty požadovaného kompenzačního sklonu určit velikost kompenzačního rezistoru  $R_7$  pomocí vztahu (4.6).

$$R_7 = R_{SCOMP} = \frac{mc \times R_{CS}}{50.10^{-6} f_{SW}} \quad (4.6)$$

Velikost kompenzačního rezistoru byla určena jako  $R_7 = 2,49 \text{ k}\Omega$ . Experimentálně byla hodnota kompenzačního rezistoru  $R_7$  změněna na hodnotu  $4,7 \text{ k}\Omega$ .

Rezistorem  $R_6$  je nastavena spínací frekvence měniče  $f_{SW}$ . Spínací frekvence měniče je volena nad propustným pásmem tvarovacích filtrů na vstupní desce tak, aby bylo minimalizováno rušení pronikající na signálový výstup. Zvolena byla spínací frekvence  $f_{SW} = 2,2 \text{ MHz}$ . Závislost spínací frekvence na velikosti rezistoru  $R_{SET}$  je patrná z Obr. 28. Zvolené hodnotě  $f_{SW} = 2 \text{ MHz}$  odpovídá velikost rezistoru  $R_6 = R_{SET} = 12 \text{ k}\Omega$ .



Obr. 28: Závislost spínací frekvence na velikosti rezistoru  $R_{SET}$ , převzato z [11]

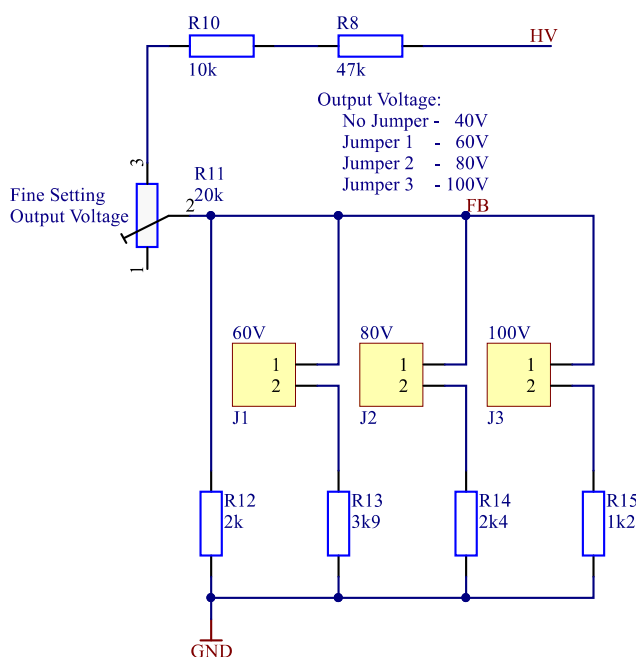
Minimální velikost indukčnosti  $L_1$  lze určit ze vztahu (4.7), kde  $U_{IN} = 18 \text{ V}$  je vstupní napětí měniče,  $\eta = 85 \%$  je účinnost měniče,  $f_{SW} = 2,2 \text{ MHz}$  je zvolená spínací frekvence měniče,  $I_{Omin} = 1 \text{ mA}$  je minimální výstupní proud a  $D$  je střída určená ze vztahu (4.8), kde  $U_D = 0,5 \text{ V}$  je úbytek napětí na diodě měniče a  $U_{DS} = 0,5 \text{ V}$  je úbytek napětí na spínacím tranzistoru.

$$L_{min} = \frac{U_{in}^2 D \eta}{2 f_{SW} U_{out} I_{Omin}} \quad (4.7)$$

$$D = \frac{V_{OUT} + U_D - U_{IN}}{U_{OUT} + U_D - U_{DS}} \quad (4.8)$$

Z výpočtů a experimentální zkoušky byla určena vhodná velikost indukčnosti  $L_1 = 100 \text{ }\mu\text{H}$ .

Výstupní napětí je snímáno zpětnovazební sítí, která je zachycena na Obr. 29. Napětí ze zpětnovazební sítě je přivedeno na pin 10 FB kontroléru U1. Propojky J1, J2 a J3 slouží pro nastavení rozsahu výstupního napětí. Bez umístění propojky je rozsah výstupního napětí nastavený 40 V. Umístěním příslušné propojky je k rezistoru R12 paralelně připojen rezistor pro určitý rozsah. Propojkou J1 je připojen rezistor R13 a rozsah výstupního napětí je nastaven na 60 V. Propojkou J2 je připojen paralelní rezistor R14 a rozsah výstupního napětí je nastaven na 80 V. Pomocí propojky J3 je připojen rezistor R15 a výstupní napětí je nastaveno na maximální rozsah 100 V. Výstupní napětí lze poté jemně nastavit víceotáčkovým trimrem R11.



Obr. 29: Zpětnovazební síť

Hodnoty zpětnovazebních rezistorů jsou určeny následujícími výpočty. Výstupní napětí měniče lze určit ze vztahu (4.9), kde  $U_{REF} = 1\text{ V}$  je referenční napětí regulátoru a  $R_{UP}$  a  $R_{DOWN}$  jsou rezistory zpětnovazebního děliče.

$$U_{OUT} = U_{REF} \frac{R_{UP} + R_{DOWN}}{R_{DOWN}} \quad (4.9)$$

Ze vztahu (4.9) lze určit hodnotu rezistoru  $R_{DOWN}$ .

$$R_{DOWN} = \frac{U_{REF} R_{UP}}{U_{OUT} - U_{REF}} \quad (4.10)$$

Ze vztahu (4.10) lze určit hodnoty  $R_{DOWN}$  pro jednotlivé rozsahy výstupního napětí, pro hodnotu  $R_{UP} = R_8 + R_{10} + R_{11}$ . Pro hodnotu  $U_{OUT} = 40\text{ V}$  je  $R_{DOWN} = 1,97\text{ k}\Omega$ . Pro hodnotu  $U_{OUT} = 60\text{ V}$  je  $R_{DOWN} = 1,31\text{ k}\Omega$ . Pro hodnotu  $U_{OUT} = 80\text{ V}$

je  $R_{DOWN} = 974,68 \text{ k}\Omega$ . Pro hodnotu  $U_{OUT} = 100 \text{ V}$  je  $R_{DOWN} = 777,78 \text{ k}\Omega$ .

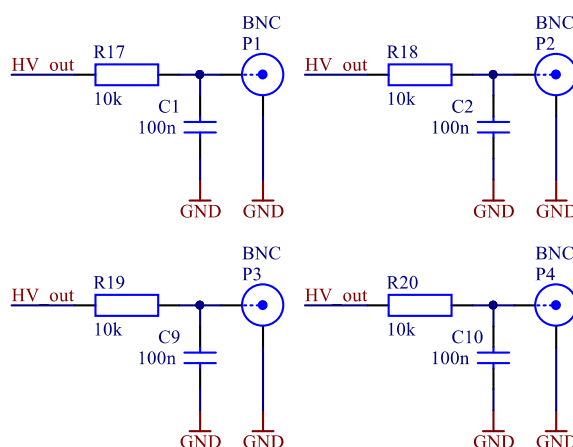
Pro rozsah  $U_{OUT} = 40 \text{ V}$  je určený rezistor  $R_{12} = 1,97 \text{ k}\Omega$ . Skutečná hodnota rezistoru  $R_{12}$  byla zvolena z dostupné řady, tedy  $R_{12} = 2 \text{ k}\Omega$ . Pro ostatní rozsahy výstupního napětí je k rezistoru  $R_{12}$  připojen vždy další rezistor paralelně. Hodnota paralelního rezistoru pro daný napěťový rozsah  $R_{13}$ ,  $R_{14}$  nebo  $R_{15}$  je dána vztahem (4.11)

$$R_{13,14,15} = \frac{R_{12} R_{DOWN}}{R_{12} - R_{DOWN}} \quad (4.11)$$

Hodnoty paralelních rezistorů pro nastavení rozsahů napětí jsou  $R_{13} = 3,79 \text{ k}\Omega$ ;  $R_{14} = 1,9 \text{ k}\Omega$ ;  $R_{15} = 1,27 \text{ k}\Omega$ . Skutečné hodnoty rezistorů byly zvoleny z dostupné řady, tedy  $R_{13} = 3,9 \text{ k}\Omega$ ;  $R_{14} = 2 \text{ k}\Omega$ ;  $R_{15} = 1,2 \text{ k}\Omega$ .

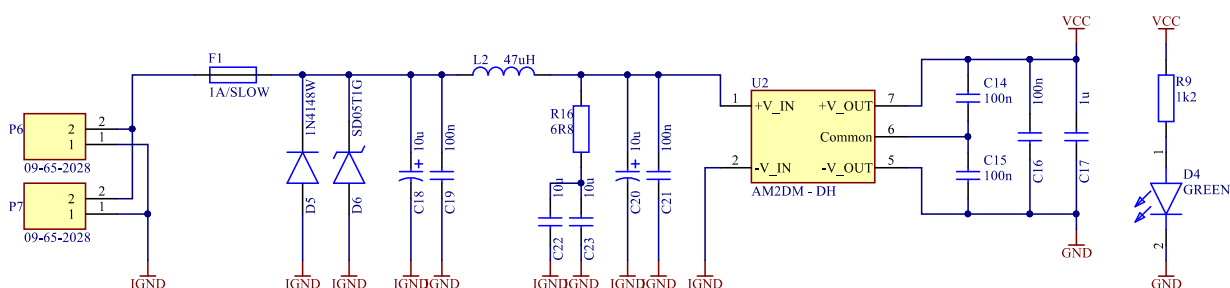
Zapojení měniče disponuje PGOOD ochranným obvodem. Ochranný PGOOD obvod sleduje zpětnovazební napětí přivedené na pin 10 FB a hlídá, zda se jeho hodnota nachází v požadovaných tolerancích. Pokud zpětnovazební napětí naroste nad vnitřní referenční napětí  $1 \text{ V}$ , a regulátor nedokáže výstupní napětí regulovat, je napětí na pinu 7 PGOOD staženo na hodnotu  $0 \text{ V}$ . Tímto je uzavřen N-MOSFET tranzistor Q3, napětí mezi elektrodami source a gate P-MOSFET tranzistoru Q1 klesne na hodnotu  $0 \text{ V}$  a tranzistor Q1 je také uzavřen. Tímto procesem je odpojeno výstupní napětí a jsou ochráněny připojené obvody před předpětím. Pokud je výstupní napětí v povoleném tolerančním rozsahu, je tranzistor Q1 a Q3 otevřen a na výstup je připojeno výstupní napětí měniče.

Na Obr. 30 jsou zobrazeny konektory pro výstup napětí. Deska napájecího zdroje předpětí disponuje celkem čtyřmi výstupními konektory P1, P2, P3 a P4 typu BNC. Každý výstup napětí má zvláštní RC filtr typu dolní propust, který je složen z rezistoru o hodnotě  $10 \text{ k}\Omega$  a kondenzátoru o hodnotě  $100 \text{ nF}$ . Mezní frekvence každého filtru je tedy  $159 \text{ Hz}$ .



Obr. 30: Výstupní konektory

Vstupní napájení zdroje předpětí je galvanicky odděleno DC/DC měničem U2 od celkového +5 V napájení přivedeného konektorem P6, resp. konektorem P7. Zapojení DC/DC měniče je uvedeno na Obr. 31. Prvky F1, D5 a D6 slouží pro ochranu před přepólováním a před přepětím na napájecím vstupu. Vstupní napájecí napětí je filtrováno LC filtrem, který je složen z prvků L2, C18, C19, C22 a C23. Výstup DC/DC měniče U1 je symetrický s hodnotami napětí  $\pm 9$  V. Výstupy měniče U1 jsou spojeny do série a je tak získáno nesymetrické napětí o hodnotě 18 V pro napájení zvyšujícího měniče zobrazeného na Obr. 27. Napájení desky zdroje předpětí je signalizováno LED diodou D4.



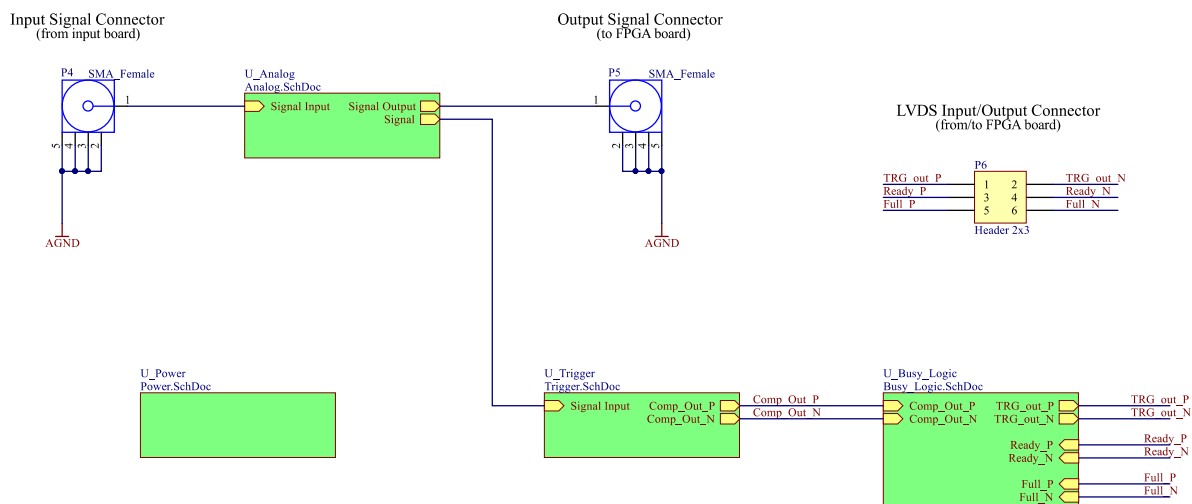
Obr. 31: Oddělovací DC/DC měnič

### 4.3 Trigger deska

Trigger deska realizuje funkce popsané v kapitole 3.4. Deska obsahuje rychlý komparátor, busy logiku, signálové analogové obvody, zpožďovací linku a napájecí obvody pro analogové a digitální části.

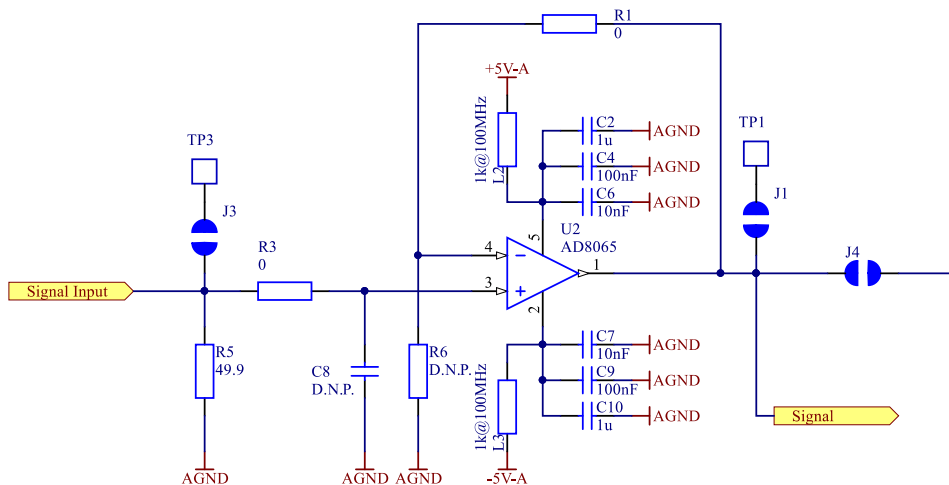
Blokové schéma trigger desky je uvedeno na Obr. 25. Vstupní konektor P4 slouží pro připojení analogového signálu ze vstupní desky. Konektor P5 je výstupní signálový konektor. Signálové konektory P4 a P5 jsou koaxiální konektory typu SMA. Konektor P6 typu IDC je určen pro propojení signálů v low-voltage differential signaling (LVDS) standardu mezi trigger deskou a FPGA deskou.





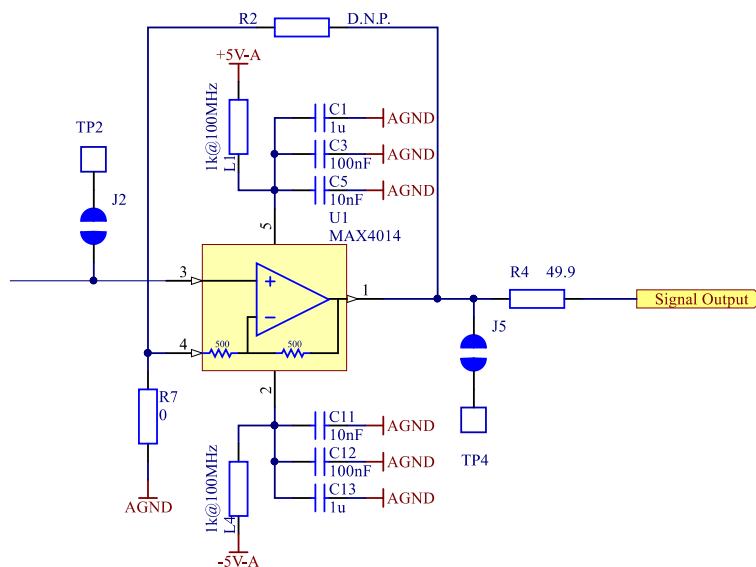
Obr. 32: Blokové schéma Trigger desky

Na Obr. 33 je znázorněn vstupní signálový buffer. Vstupní buffer je tvořen precizním operačním zesilovačem U2 s označením AD8065 [9]. Rezistor R5 slouží pro terminace single-ended vedení (respektive signalizaci se společnou zemí). Rezistor R3 a kondenzátor C8 může v případě potřeby vytvořit filtr 1. řádu. Konfigurací rezistorů R1 a R6 může být nastaveno zesílení vstupního bufferu větší než jedna. Pro nastavení zesílení jedna je  $R1 = 0 \Omega$  a R6 je neosazený.



Obr. 33: Vstupní budič

Na Obr. 34 je ukázán výstupní single-ended budič s výstupní impedancí 50  $\Omega$ . Budič je tvořen precizním zesilovačem MAX4014 s pevně nastaveným zesílením 2 [10]. Zapojení výstupního budiče je totožné se zapojením výstupních budičů na vstupní desce.



Obr. 34: Výstupní buffer

Propojení signálu z výstupu vstupního budiče na výstupní budič je realizováno přes zpožďovací linku, která kompenzuje zpoždění digitálních obvodů pro generování signálu sběru dat, tedy trigger signálu. Potřebné zpoždění zpožďovací linky je dáno vztahem (4.12), kde  $t_{PD\_COMP}$  je zpoždění komparátoru U7,  $t_{PD\_AND}$  je zpoždění AND hradla U10,  $t_{PD\_CONVERTER}$  je zpoždění převodníku U11 a  $t_{PD\_TRACE}$  je zpoždění na signálových cestách plošného spoje mezi jednotlivými součástkami generování a zpracování trigger signálu.

$$t_{DELAY} = t_{PD\_COMP} + t_{PD\_AND} + t_{PD\_CONVERTER} + t_{PD\_TRACE} \quad (4.12)$$

Hodnoty zpoždění součástek jsou známé z datasheetů, tedy  $t_{PD\_COMP} = 180$  ps,  $t_{PD\_AND} = 340$  ps a  $t_{PD\_CONVERTER} = 630$  ps [12], [13], [15].

Hodnotu zpoždění signálu na vybraných cestách můžeme určit ze znalosti délky vedení. Délka single-ended spoje mezi vstupním bufferem a komparátorem je  $L_{SINGLE} = 32,395$  mm. Délka diferenciálních spojů mezi komparátorem a AND hradlem, poté mezi AND hradlem a převodníkem úrovní a dále mezi převodníkem úrovní a LVDS konektorem je  $L_{DIFF} = 59,605$  mm. Hodnoty zpoždění pro single-ended 50  $\Omega$  spoje a pro diferenciální 100  $\Omega$  spoje na desce plošného spoje jsou získány od firmy PragoBoard. Pro single-ended 50  $\Omega$  spoje je zpoždění  $t_{DELAY} = 5806,66$  ps/m. Pro diferenciální 100  $\Omega$  spoje je zpoždění  $t_{DELAY} = 5566,66$  ps/m. Hodnotu zpoždění pro konkrétní cestu můžeme určit ze vztahu (4.13) pro single-ended spoj, resp. ze vztahu (4.14) pro diferenciální spoj, kde  $t_{PD}$  je velikost zpoždění v ps a  $L$  je délka spoje v mm.

$$t_{PD\_SINGLE} = \frac{L_{SINGLE}}{1000} \times 5806,66 \quad (4.13)$$

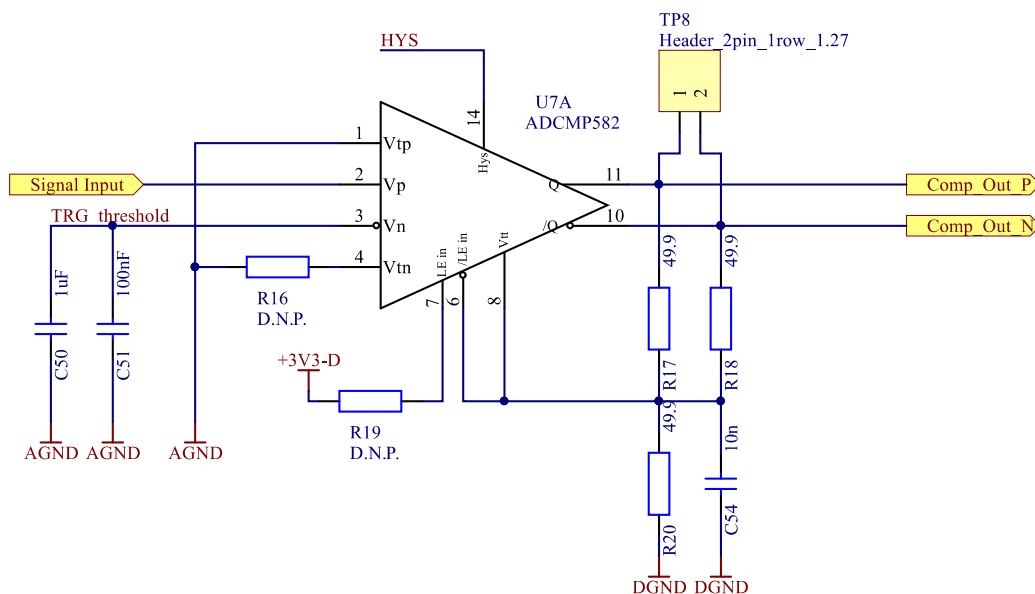
$$t_{PD\_DIFF} = \frac{L_{DIFF}}{1000} \times 5566,66 \quad (4.14)$$

Konkrétní hodnota zpoždění pro uvedené spoje je  $t_{PD\_TRACE} = 521$  ps. Celkové požadované zpoždění zpožděvací linky je  $t_{DELAY} = 1671$  ps. Doba zpoždění byla s rezervou zaokrouhlena na  $t_{DELAY} = 2$  ns. Z požadované velikosti zpoždění můžeme určit požadovanou délku single-ended zpožděvací linky pomocí vztahu (4.15), kde  $L$  je délka vedení v mm a  $t_{DELAY}$  je požadované zpoždění signálu v ps.

$$L = \frac{t_{DELAY} \times 1000}{5806,66} \quad (4.15)$$

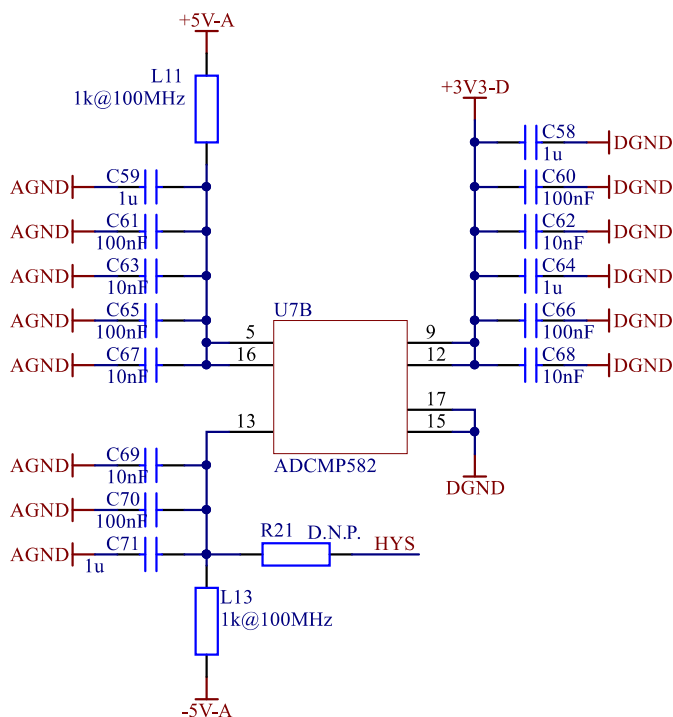
Požadovaná délka zpožděvací linky je  $L = 344,4$  mm.

Na Obr. 35 je zobrazen trigger komparátor. Na místě komparátoru U7 je použit ultra rychlý komparátor s low-voltage positive emitter coupled logic (LVPECL) diferenciálním výstupem ADCMP582 [12]. Na neinvertující vstup komparátoru je přiveden analogový signál ze vstupního budiče. Neinvertující vstup je interně terminován uzemněním pinu  $V_{tp}$ . Na invertující vstup komparátoru je přivedeno prahové napětí z obvodu reference uvedeného na Obr. 37. Pokud analogový signál překročí nastavenou prahovou úroveň, objeví se na výstupu komparátoru hodnota log. 1. Diferenciální LVPECL výstup je terminován prvky R17, R18, R20 a C54.



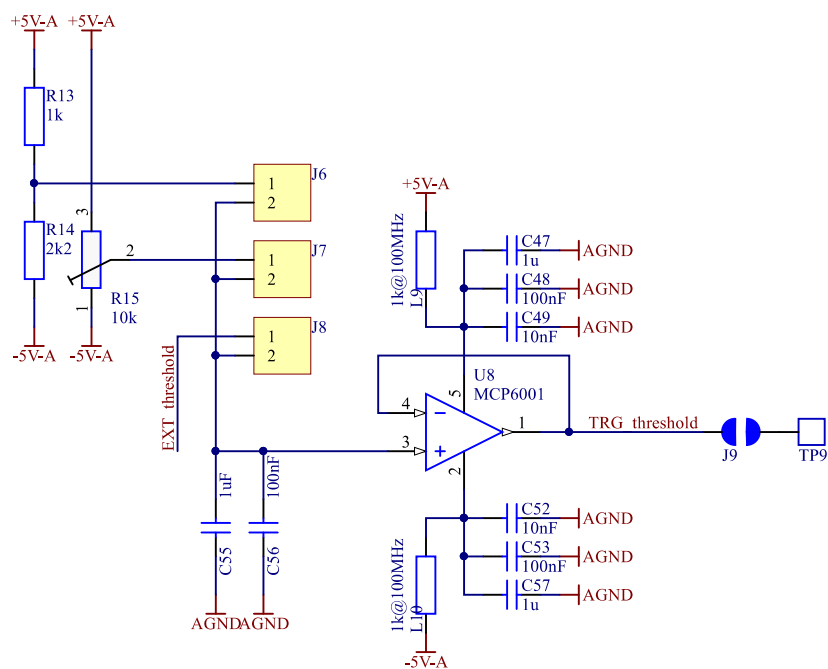
Obr. 35: Trigger komparátor

Na Obr. 36 je ukázáno napájení komparátoru U7. Symetrické napájecí napětí  $\pm 5$  V pro analogovou část je filtrováno LC filtry tvořenými tlumivkou a sadou keramických kondenzátorů. Napájecí napětí  $+3,3$  V pro digitální je blokováno sadou keramických kondenzátorů. Rezistor R21 slouží pro nastavení hystereze komparátoru. Komparátor je nastaven bez hystereze, tedy rezistor R21 zůstává neosazený.

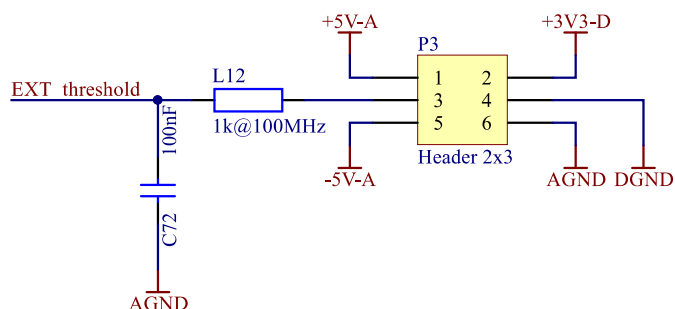


Obr. 36: Napájení trigger komparátoru

Obr. 37 ukazuje obvod pro nastavení komparačního prahu. Propojky J6, J7 a J8 slouží pro nastavení zdroje napětí pro komparační úroveň. Pomocí propojky J6 je zvolen zdroj napětí z pevného děliče napětí. Propojka J7 vybírá nastavitelný zdroj napětí pomocí víceotáčkového trimru. Propojkou J8 je zvolen externí zdroj z konektoru P3. Zapojení konektoru pro externí připojení komparačního prahu P3 je uvedeno na Obr. 38. Na konektoru je dále vyvedeno symetrické napětí o hodnotě  $\pm 5$  V a nesymetrické napájecí napětí  $+3,3$  V. Napětí zvolené danou propojkou je blokováno kondenzátory C55 a C56 a je dále vedeno přes napěťový sledovač tvořený operačním zesilovačem U8 do komparátoru U7.

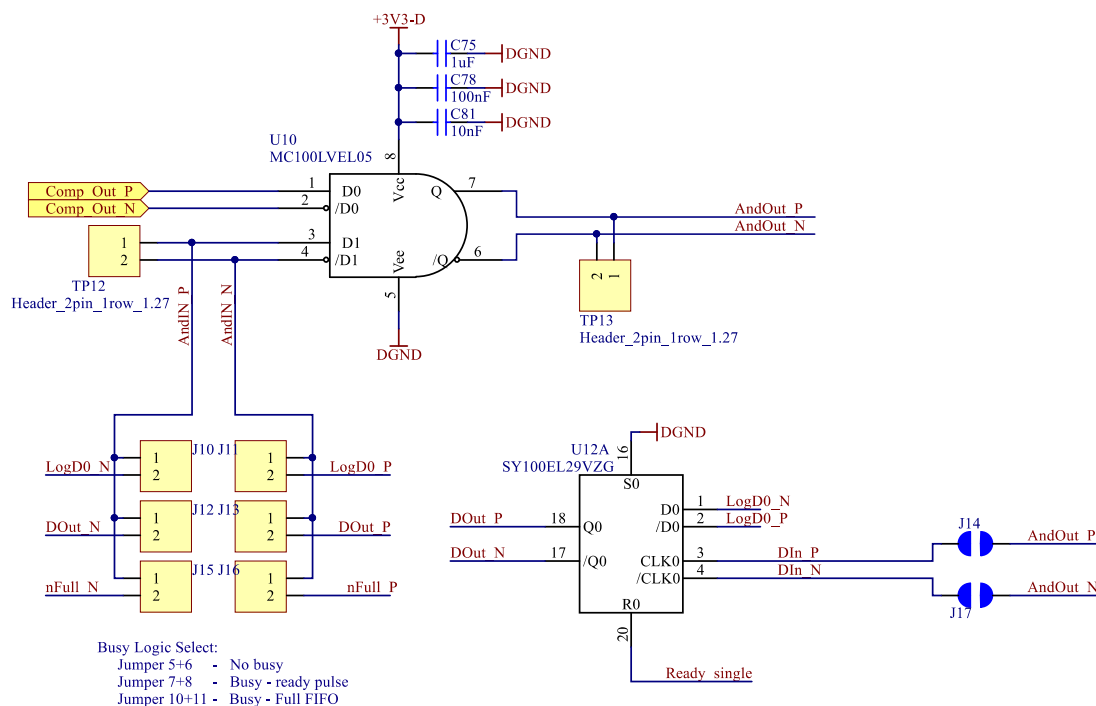


Obr. 37: Nastavení trigger prahu



Obr. 38: Konektor pro připojení externího thresholdu

Obr. 39 ukazuje hlavní části BUSY logiky. BUSY logika slouží pro blokování trigger signálu v případě, kdy systém zpracovává událost. Principy BUSY logiky jsou popsány v kapitole 3.4. Logika je tvořena LVPECL diferenciálními členy. Hlavní částí je diferenciální LVPECL hradlo AND U16 typu MC100LVEL05, které slouží pro blokaci trigger signálu [13]. Způsob blokování, a tedy zapojení BUSY logiky, je volen pomocí propojek J10 až J16. Ve všech případech jsou spojovány dvě propojky z důvodu použití diferenciálního vedení.



Obr. 39: Busy logika

Propojky J10 a J11 slouží pro přivedení konstanty log. 1. Obdobné zapojení bez BUSY logiky je uvedeno v kapitole 3.4 na Obr. 8. Hradlo AND je v tomto případě transparentní a trigger signál z komparátoru není blokován.

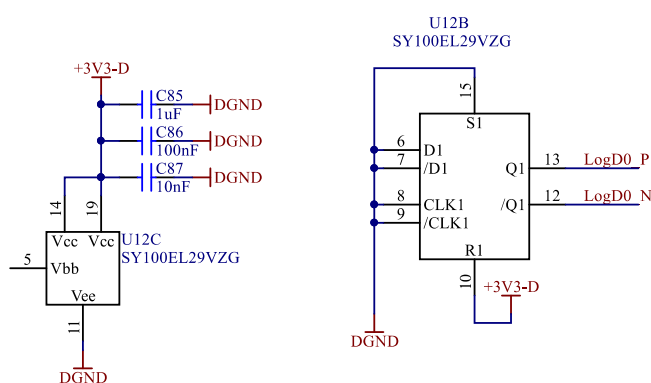
Propojkami J12 a J13 je zvolena BUSY logika s blokovacím klopným obvodem. Toto zapojení je uvedeno v kapitole 3.4 na Obr. 9. Jako blokovací klopný obvod U12 je použit LVPECL dvojitý klopný obvod typu D typu SY100EL29VZG [14]. Trigger výstup z AND hradla U10 je veden na hodinový vstup první části klopného obvodu U12A. Toto vedení je realizováno ve formě zpožďovací linky z důvodu prodloužení impulzu na trigger signálu. Hodnota zpoždění této diferenciální zpožďovací linky je  $t_{\text{DELAY}} = 1,12$  ns. Spolu se zpožděním hradla AND a zpožděním klopného obvodu je vytvořen impulz délky 2ns. Na D0 vstup je přivedena log. 1. Při náběžné hraně trigger signálu je na výstup klopného obvodu Q0 zapsána log. 1. Tento signál je negován prohozením signálů diferenciálního páru a přiveden na vstup hradla AND U10. Tímto je signál z komparátoru blokován. Klopný obvod je následně resetován ready signálem přivedeným na resetovací R0 vstup klopného obvodu U12A.

Propojkami J15 a J16 je zvoleno blokování trigger signálu pomocí signálu full pro případ konfigurace derandomizace dat. Toto zapojení je uvedeno v kapitole 3.4 na Obr. 12. V případě, kdy je naplněna paměť FIFO, vyšle FPGA signál full (log. 1). Tento signál

je negován prohozením signálů diferenciálního páru a přiveden na vstup hradla AND U10. Tímto je signál z komparátoru blokován a nemůže být vyslán další signál pro sběr dat.

Hradlo AND U10 je napájeno kladným napětím o hodnotě +3,3V a napájení je blokováno keramickými kondenzátory C76, C78 a C81.

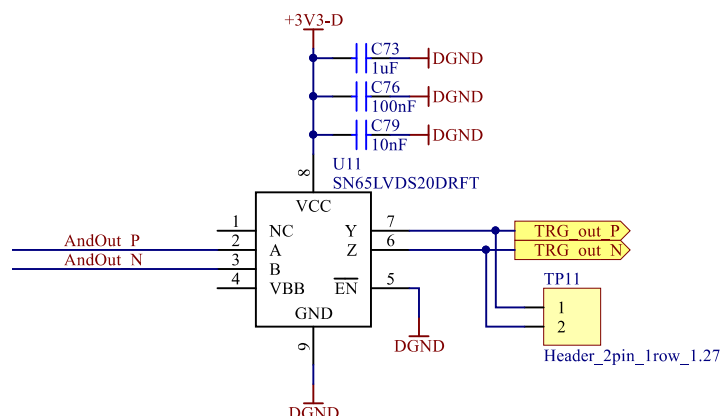
Na Obr. 40 je zobrazeno napájení klopného obvodu U12 a generování diferenciální logické konstanty. Klopný obvod je napájen kladným napětím o hodnotě +3,3V a blokován keramickými kondenzátory C85, C86 a C87. Pro generování statické logické úrovně je využita druhá polovina klopného obvodu U12B. Na resetovací vstup R1 je přivedeno kladné napájecí napětí. Klopný obvod je tedy neustále v reset stavu a na výstupu Q1 je hodnota log. 0. Prohozením signálů diferenciálního páru je získána hodnota log. 1.



Obr. 40: Napájení klopného obvodu a generování diferenciální logické konstanty

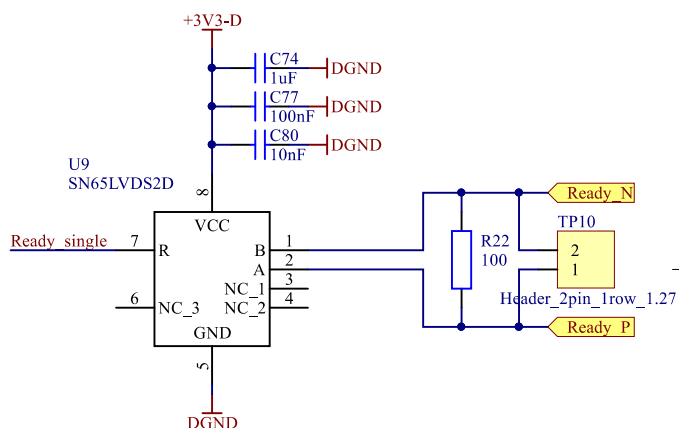
Signalizační vstupy a výstupy jsou převedeny na diferenciální standard LVDS (respektive ze standardu LVDS).

Na Obr. 41 je ukázán diferenciální převodník LVPECL na LVDS pro trigger výstup. Signál je přiveden z výstupu hradla AND U10 na převodník U11 typu SN65LVDS20 [15]. Výstupní signál z obvodu U11 je dále veden na konektor P6. Převodník U11 je napájen napětím o hodnotě +3,3V. Napájení je blokováno keramickými kondenzátory C73, C76 a C79.



Obr. 41: Převodník LVPECL na LVDS pro trigger výstup

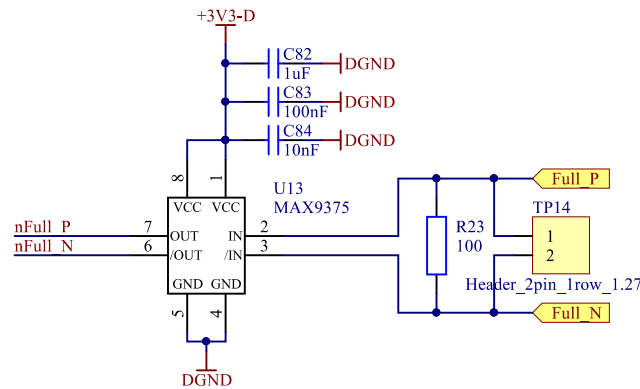
Obr. 42 ukazuje převodník signálu z diferenciálního standardu LVDS na single-ended standard low-voltage transistor to transistor logic (LVTTL) pro ready vstupní signál. Vstupní signál LVDS je veden z konektoru P6 na převodník U9 typu SN65LVDS2D [16]. Vstupní LVDS signál ready je terminovaný rezistorem R22 o hodnotě 100Ω. Výstupní LVTTL signál z obvodu U12 je dále veden na reset vstup R0 klopného obvodu U12. Převodník U9 je napájen napětím o hodnotě +3,3V. Napájení převodníku je blokováno keramickými kondenzátory C74, C77 a C80.



Obr. 42: Převodník LVDS na single-ended pro ready vstup

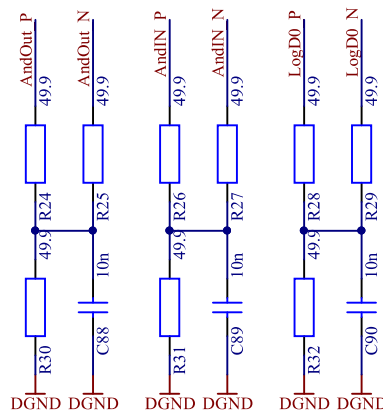
Na Obr. 43 je ukázán diferenciální převodník z LVDS standardu na LVPECL standard pro vstupní signál full. Signál z konektoru P6 je vedený na převodník U13 typu MAX9375 [17]. Vstupní LVDS signál full je terminovaný terminačním rezistorem R23 o hodnotě 100 Ω. Výstupní LVPECL signál z převodníku U13 je dále vedený na propojky J15 a J16 pro výběr blokování trigger signálu. Převodník U13 je napájen napětím o hodnotě +3,3 V. Napájení převodníku je blokováno keramickými kondenzátory C82, C73 a C84.





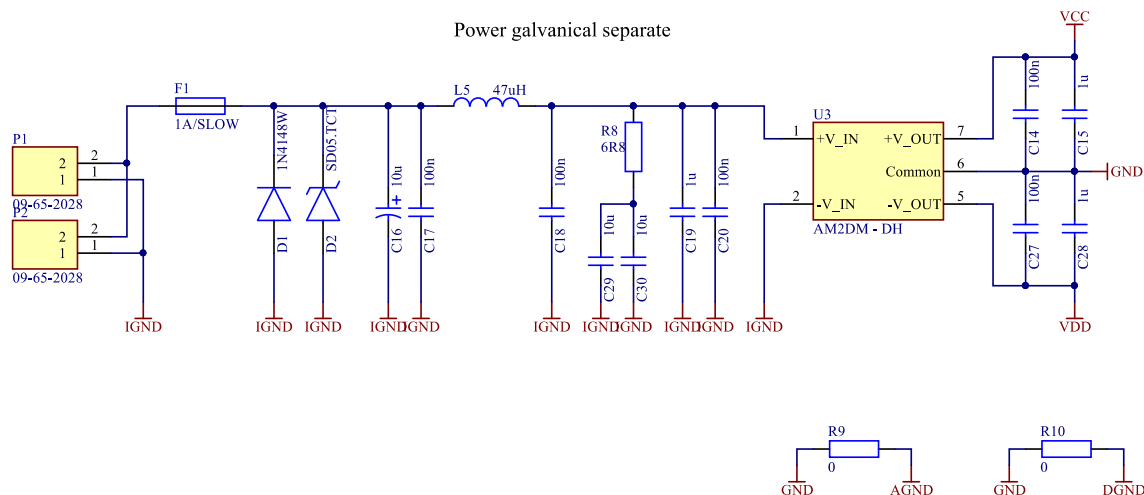
Obr. 43: Převodník LVDS na LVPECL pro full vstup

Obr. 44 ukazuje terminaci diferenciálních LVPECL signálů na výstupu AND hradla U10 (AndOut), dále terminaci signálu na vstupu AND hradla U10 vedeného z komparátoru U7 (AndIN) a terminaci signálu diferenciální logické konstanty na výstupu Q1 klopného obvodu U12B (LogD0).



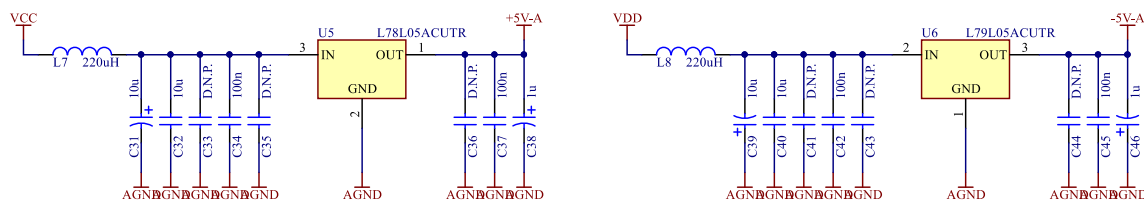
Obr. 44: Terminace LVPECL diferenciálních signálů

Napájení trigger desky je řešeno obdobně jako napájení vstupní desky. Symetrické stejnosměrné napětí o hodnotě  $\pm 9$  V je získáno na symetrickém výstupu DC/DC měniče U3. Zapojení měniče je uvedeno na Obr. 45. Nesymetrické napájecí napětí o velikosti +5 V je přivedeno z konektoru P1, resp. z konektoru P2. Prvky F1, D1 a D2 chrání měnič U3 před přepólováním a před předpětím napájecího napětí. Napájecí napětí je dále filtrováno LC filtrem, který je tvořen tlumivkou L5 a kondenzátory C16, C17, C18, C29 a C30. Nulové rezistory R9 a R10 slouží pro zemní spojení. Prvek R9 slouží pro spojení analogové země a prvek R10 slouží pro spojení země pro digitální obvody.



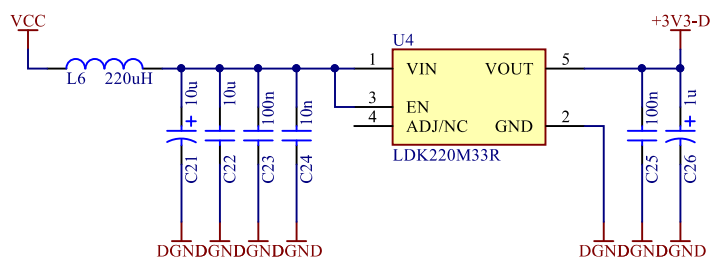
Obr. 45: Oddělovací DC/DC měnič

Symetrické výstupní napětí  $\pm 9\text{ V}$  z DC/DC měniče U3 je dále stabilizováno na hodnotu napětí  $\pm 5\text{ V}$ . Z tohoto symetrického napětí jsou napájeny analogové části, tedy vstupní budič, výstupní budič a analogová část komparátoru. Zapojení lineárních stabilizátorů pro napájení analogových částí je ukázáno na Obr. 46.



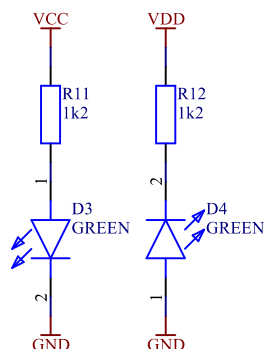
Obr. 46: Stabilizátory napětí pro analogovou část

Pro napájení digitálních částí, tedy pro napájení výstupního stupně komparátoru, BUSY logiky, vstupního převodníku a výstupních převodníků, slouží lineární stabilizátor napětí U4. Tento obvod stabilizuje kladnou výstupní část výstupního napětí  $+9\text{ V}$  z měniče U3 na hodnotu napětí  $+3,3\text{ V}$ . Zapojení stabilizátoru U4 pro napájení digitálních obvodů je zobrazeno na Obr. 47.



Obr. 47: Stabilizátor napětí pro digitální část

Pro indikaci napájení trigger desky slouží dvojice LED diod D3 a D4 zelené barvy, které jsou připojeny na symetrický výstup DC/DC měniče U3. Zapojení indikace napájení je na Obr. 48.

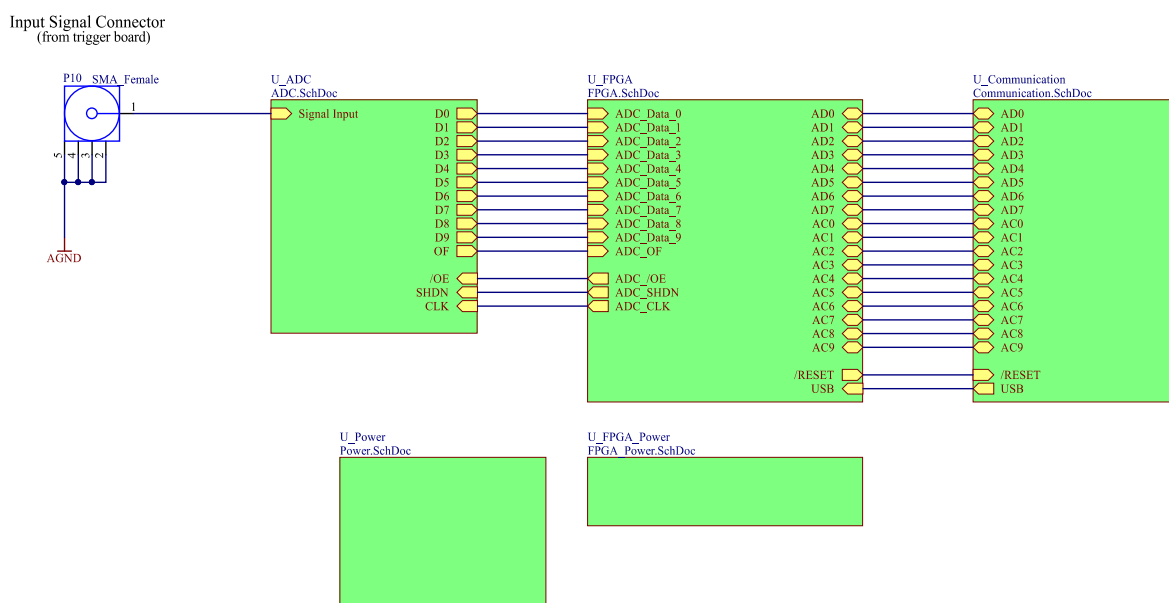


Obr. 48: Indikace napájení

#### 4.4 FPGA deska

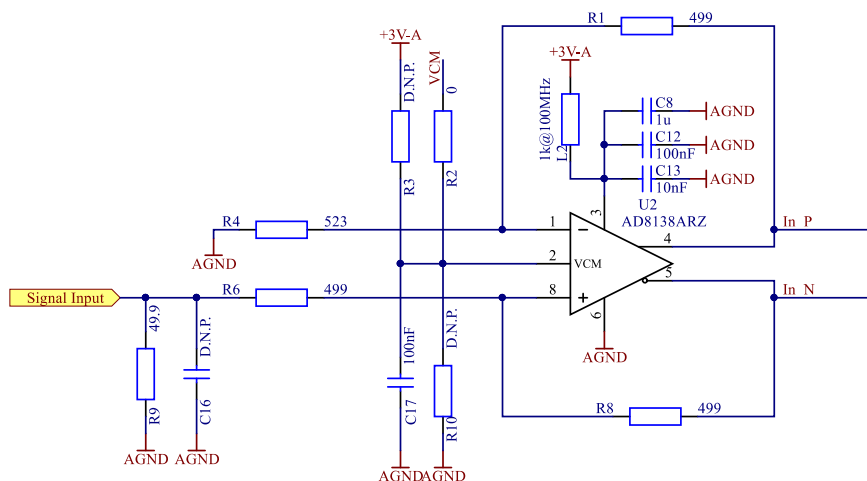
FPGA deska realizuje funkce digitalizace vstupního analogového signálu, zpracování digitalizovaných dat a odeslání digitalizovaných dat do PC s využitím převodníku mezi rozhraním Universal Asynchronous Receiver-Transmitter (UART) a Universal Serial Bus (USB).

Na Obr. 49 je ilustrováno blokové schéma FPGA desky. Konektor P10 slouží pro přivedení analogového signálu.



Obr. 49: Blokové schéma FPGA desky

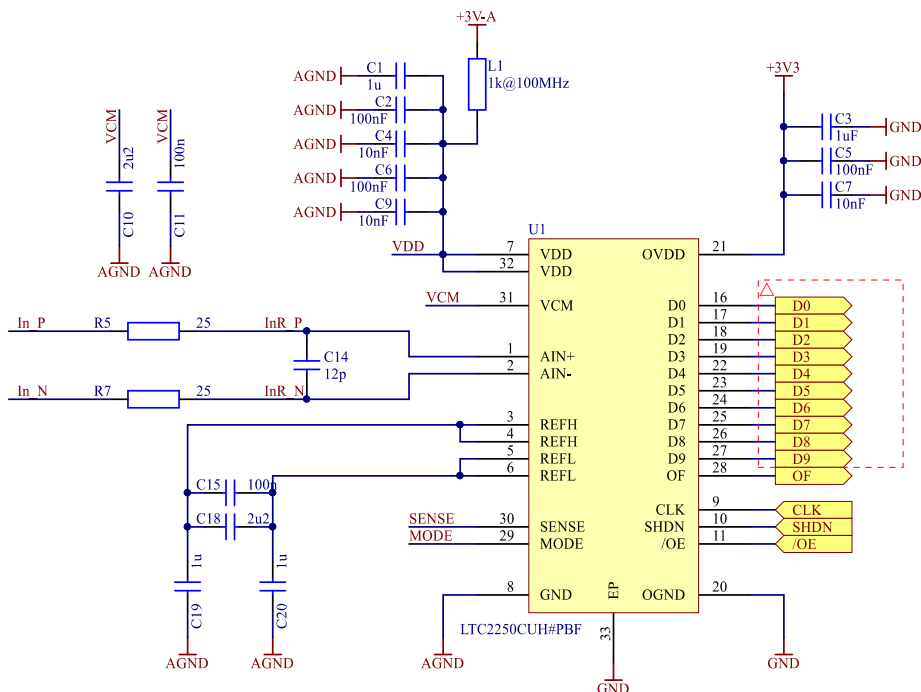
Na Obr. 50 je ukázán vstupní signálový budič. Vstupní budič je tvořen diferenciálním operačním zesilovačem s označením AD8138ARZ [18]. Jedná se o katalogové zapojení obvodu AD8138ARZ pro buzení diferenciálního vstupu ADC. Zapojení je konfigurováno pro převod single-ended vstupu na diferenciální výstup s jednotkovým zesílením. Hodnota rezistoru  $R4 = 523 \Omega$  v invertujícím vstupu zesilovače slouží pro kompenzaci vstupní impedance zdroje signálu ( $50 \Omega$ ) a terminačního rezistoru  $R9$ . Tyto dvě impedance jsou paralelně spojeny na neinvertujícím vstupu zesilovače. Výstupní klidové napětí diferenciálního zesilovače mezi GND a jednotlivými diferenciálními výstupy je dáno napětím přivedeným na pin VCM. V tomto případě je zvoleno napětí 1,5 V z vnitřní reference ADC.



Obr. 50: Vstupní budič

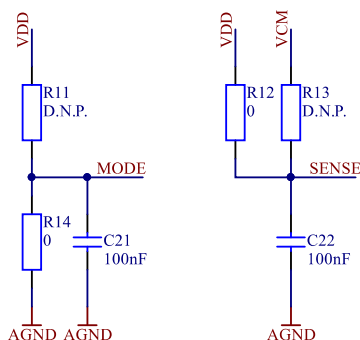
Na Obr. 51 je uvedeno zapojení ADC. Jedná se o rychlý, 10bitový převodník LTC2250 s pipeline strukturou a maximální vzorkovací frekvencí 105 MS/s [19]. Vstupní signál je přiveden z diferenciálního budiče  $U2$  přes prvky  $R5$ ,  $R7$  a  $C14$  na diferenciální vstup ADC. Rezistory  $R5$  a  $R7$  spolu s kondenzátorem  $C14$  oddělují budící obvod od vzorkovacího obvodu uvnitř převodníku a zároveň tvoří filtr pro omezení šumu na vstupu převodníku. Kondenzátory  $C10$  a  $C11$  slouží pro blokování vnitřní reference 1,5 V uvnitř převodníku. Prvky  $C15$ ,  $C18$ ,  $C19$  a  $C20$  jsou určeny pro blokování napětí vnitřní diferenciální napěťové reference. Datové signály  $D0$  až  $D9$  a signál  $OF$  (Overflow) jsou vedeny do FPGA.  $OF$  signalizuje překročení rozsahu ADC. Z FPGA jsou vedeny signály  $CLK$ ,  $SHDN$  a  $/OE$  do ADC. Signál  $CLK$  (Clock) je hodinový signál. Signál  $SHDN$  (Shutdown) slouží pro uspání ADC, a tedy k deaktivaci jeho funkce. Pokud je signál  $SHDN$  v log. 0, je ADC aktivní. Signál  $/OE$  (not Output Enable) slouží pro odpojení výstupů ADC, respektive přepnutí výstupů ADC do stavu vysoké impedance.

Napájení analogové části ADC je doporučeno katalogovým listem napětím o velikosti +3V [19]. Analogové napájecí napětí je filtrováno LC filtrem tvořeným tlumivkou L1 a kondenzátory C1, C2, C4, C6 a C9. Napájení výstupní části ADC je blokováno kondenzátory C3, C5 a C7.

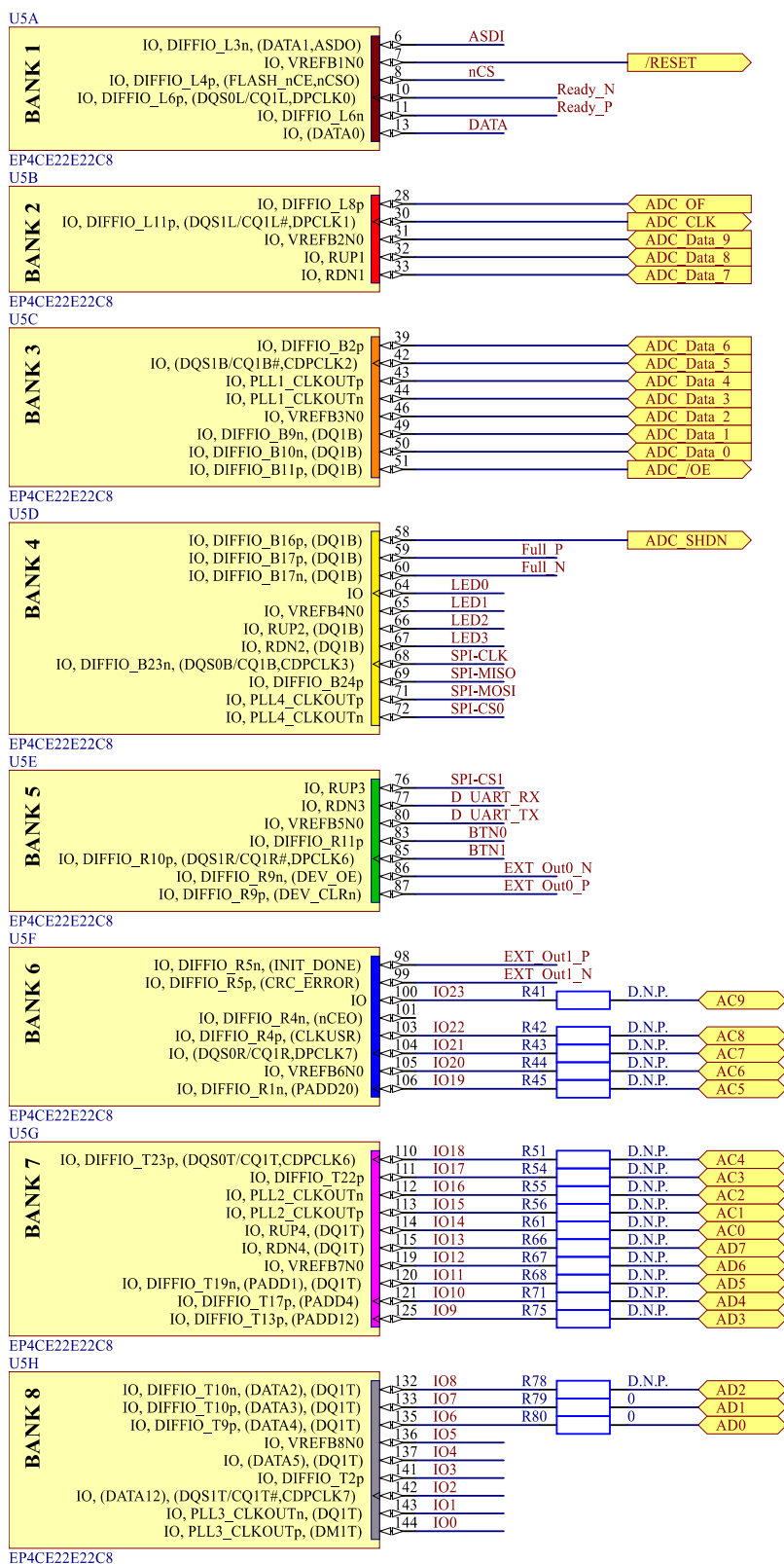


Obr. 51: Zapojení ADC

Pin 30 SENSE slouží pro volbu vstupního rozsahu ADC. Připojením tohoto pinu na napájecí napětí analogové části (+3 V) je zvolen vstupní rozsah ADC na  $\pm 1$  V. Pin 29 slouží pro nastavení výstupního formátu dat a aktivaci stabilizace střídavého signálu. Pokud je tento pin připojen na GND, je zvolen binární výstupní formát s offsetem a stabilizace je deaktivována. Tato nastavení ADC lze v případě potřeby konfigurovat změnou obvodu ukázaným na Obr. 52.



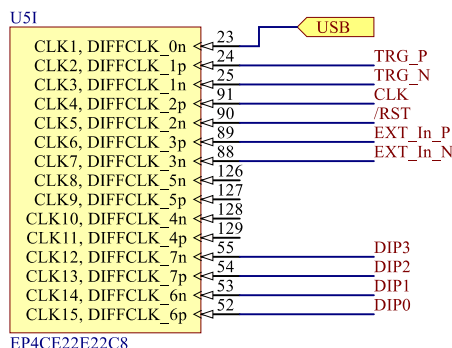
Obr. 52: Nastavení ADC



Obr. 53: Zapojení GPIO

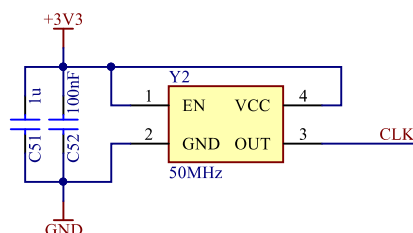
Na desce je použito FPGA od firmy Intel z řady Cyclone IV s označením EP4CE22E22C8 [22]. Jedná se o FPGA v pouzdru QFP-144, obsahující 22320 logických elementů a s možností využití až 79 vstupních nebo výstupních pinů. Maximální pracovní

frekvence tohoto FPGA je 200 MHz. Na Obr. 53 je zobrazeno zapojení signálu vstupně-výstupních bank pinů FPGA. Na Obr. 54 se nachází vstupní hodinová banka FPGA. Piny této hodinové banky jsou využity jako vstupní signály.



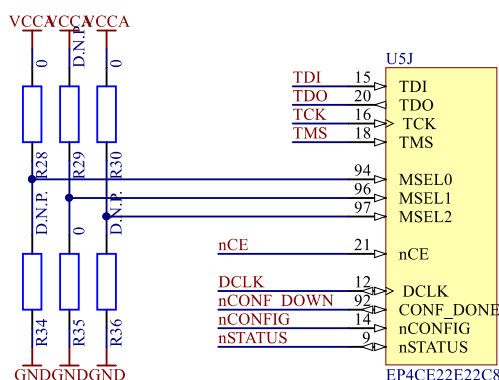
Obr. 54: Zapojení GPIO (Hodinová banka)

Hodinový signál pro FPGA je získán z oscilátoru Y2 typu CA32C5003 produkující signál o kmitočtu 50 MHz [20]. Zapojení oscilátoru je uvedeno na Obr. 55.



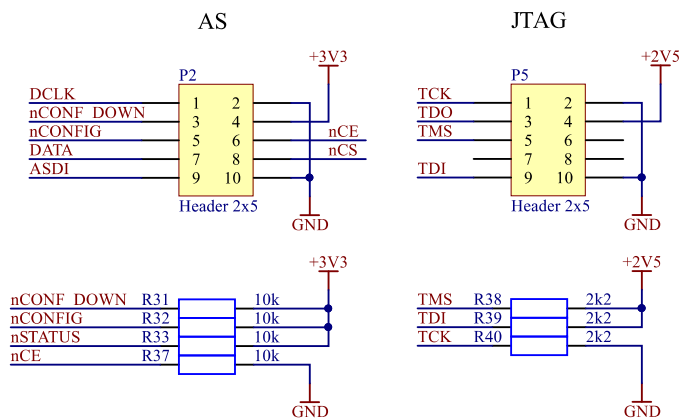
Obr. 55: Oscilátor 50MHz

Na Obr. 56 je ukázána konfigurační část FPGA. Piny MSEL zajišťují volbu konfiguračního schématu, tedy zdroj konfigurace po přivedení napájení. Uvedeným nastavením je zvoleno sériové konfigurační rozhraní s napětím +3,3 V.



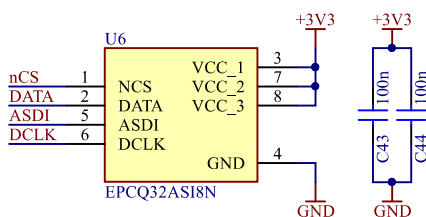
Obr. 56: Konfigurační část FPGA

Obr. 57 zobrazuje programovací konektory. Konektor P5 v podobě rozhraní Joint Test Action Group (JTAG), slouží pro nahrávání firmwaru a pro jeho případné ladění. Konektor P2 umožňuje nahrát firmware do sériové konfigurační paměti U6.



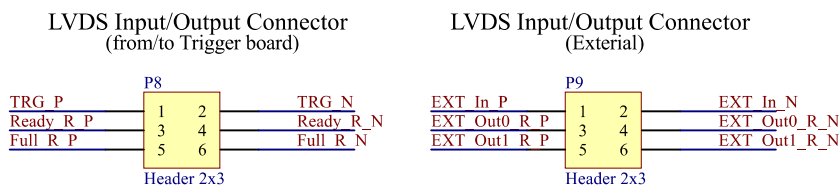
Obr. 57: Programovací konektory

Zapojení konfigurační paměti U6 s označením EPCQ32ASI8N je zobrazeno na Obr. 58 [21]. Napájení paměti U6 je blokováno kondenzátory C43 a C44.



Obr. 58: Konfigurační paměť

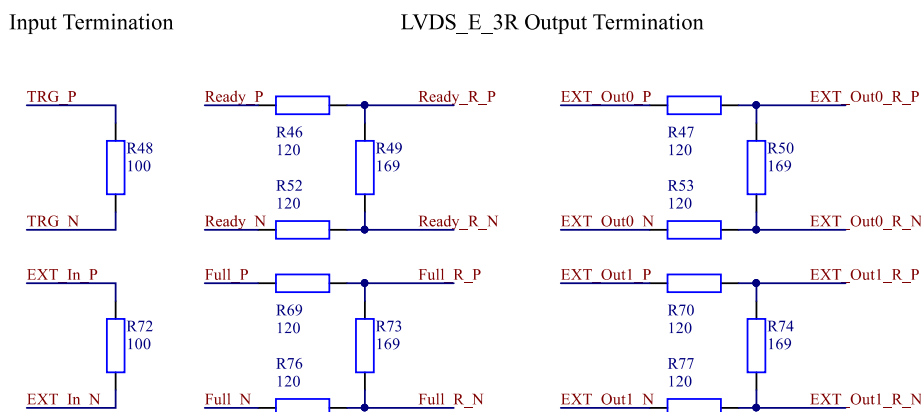
Na Obr. 59 je uvedeno zapojení LVDS diferenciálních vstupně-výstupních konektorů P8 a P9. Každý konektor obsahuje jeden vstupní diferenciální pár a dva výstupní diferenciální páry standardu LVDS. Konektory jsou typu IDC pro plochý kabel. Konektor P8 slouží pro propojení signálů mezi FPGA deskou a trigger deskou. Druhý konektor P9 je určený pro možnost budoucího rozšíření řetězce o další externí periferie využívající standard LVDS.



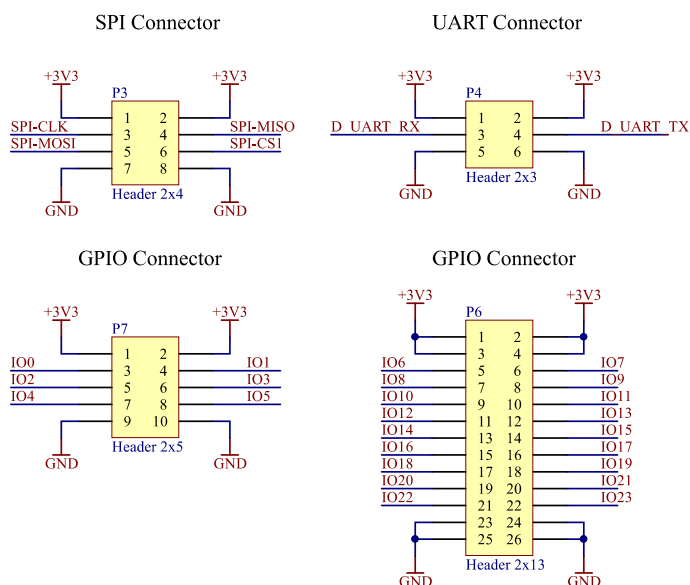
Obr. 59: LVDS vstupně-výstupní konektory



Na Obr. 60 je zobrazena terminace vstupních signálů a zapojení rezistorových sítí pro LVDS výstupní signály. Rezistory R48 a R72 o velikosti 100 Ω slouží pro terminaci vstupních LVDS signálů TRG a EXT\_In. Jelikož použité FPGA nepodporuje na všech diferenciálních výstupech plnohodnotný LVDS standard, je využitý pro diferenciální výstupy emulovaný standard LVDS (LVDS E 3R) [22]. Tento standard vyžaduje na svém výstupu rezistorovou síť tvořenou v každém vodiči sériovým rezistorem o velikosti 120 Ω a paralelním rezistorem mezi vodiči o hodnotě 169 Ω [22].



Obr. 60: Terminace LVDS signálů

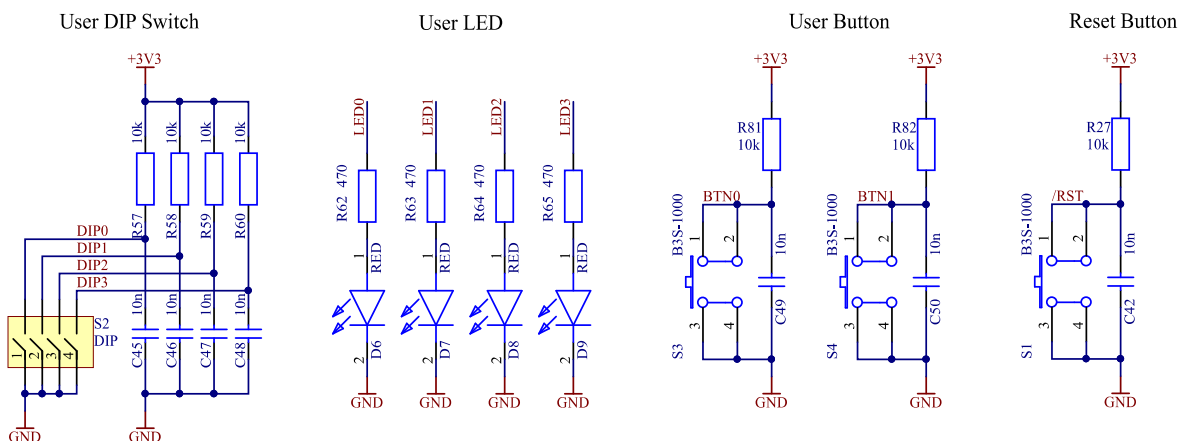


Obr. 61: Uživatelské konektory

Deska je vybavena IDC konektory pro připojení externích periférií pro možnost budoucího rozšíření, například pro připojení komunikačních modulů. Konektor P3 je primárně určen pro rozhraní Serial Peripheral Interface (SPI). Konektor P4 je primárně určen pro rozhraní UART. Dále je deska vybavena dvěma konektory s univerzálními vstupně/výstupními piny (GPIO) P6 a P7. Signály konektoru P6 jsou sdílené se signály

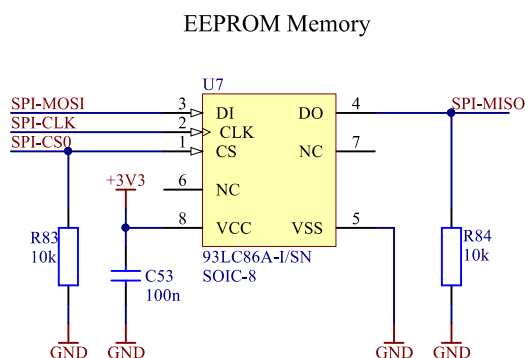
vedenými do komunikační periferie USB, která je ukázána na Obr. 64. Na konektoru P6 je proto možné jako vstupy (respektive výstupy) používat jen signály, které nejsou využity komunikační periferií. Zapojení konektorů je uvedeno na Obr. 61.

Obr. 62 zachycuje uživatelské rozhraní FPGA desky, které tvoří čtyřnásobný spínač S2, červené LED diody D6, D7, D8, D9, dále dvě tlačítka S3 a S4 a resetovací tlačítko S1.



Obr. 62: Uživatelské rozhraní a resetovací tlačítko

Na desce je dále uživatelská EEPROM paměť U7 typu 93LC86A o velikosti 16 kB [23]. Paměť s FPGA komunikuje po rozhraní SPI. Signály rozhraní SPI sběrnice CLK, MOSI, MISO jsou sdílené s konektorem P3 pro připojení externí SPI periferie. Výběh komunikace s paměť U7 probíhá pomocí signálu CS0 (Chip Select 0). V této paměti může být v případě potřeby ukládáno nastavení funkce FPGA desky. Zapojení EEPROM paměti uvádí Obr. 63.

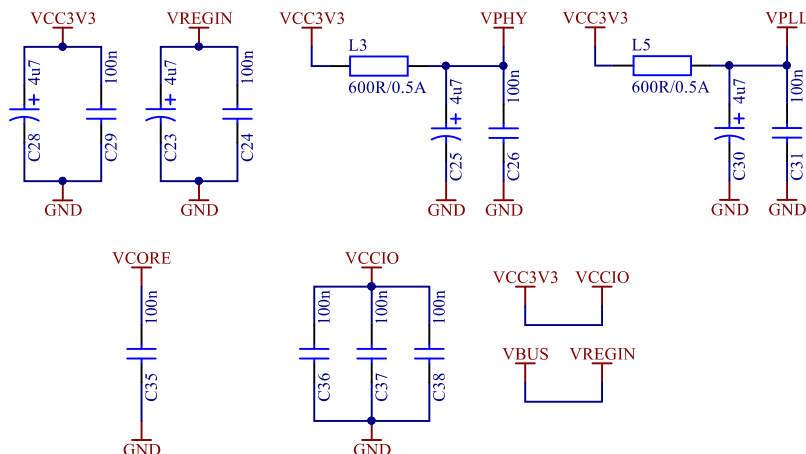


Obr. 63: EEPROM paměť

Obr. 64 zachycuje periferii USB komunikace tvořenou integrovaným obvodem U3 od firmy FTDI s označením FT232HL [24]. Pro komunikaci s PC, tedy pro odesílání naměřených dat, byl zvolen protokol UART. Pro protokol UART jsou využity piny ADBUS0 a ADBUS1. Zbývající komunikační piny nejsou využity. Zapojení desky

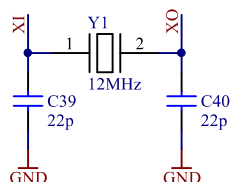


LC filtr tvořený prvky L5, C30 a C31. Interní stabilizátor dále poskytuje napájecí hladiny V<sub>CORE</sub> a V<sub>CCA</sub> o velikosti +1,8 V. Výstupní napětí V<sub>CORE</sub> je blokováno kondenzátorem C35 a výstupní napětí V<sub>CCA</sub> je blokováno kondenzátorem C33.



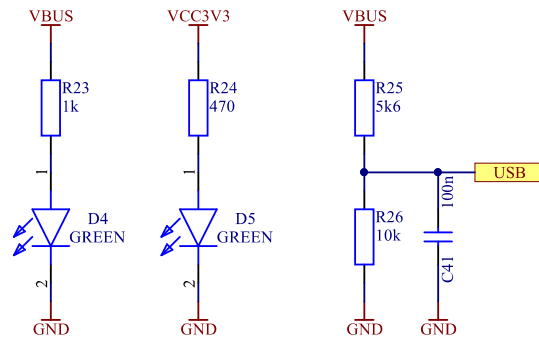
Obr. 65: Napájení komunikace

Hodinový signál pro obvod U3 je získán vnitřním oscilátorem s připojeným externím krystalem Y1 o kmitočtu 12 MHz. Zapojení externího krystalu je ukázáno na Obr. 66.



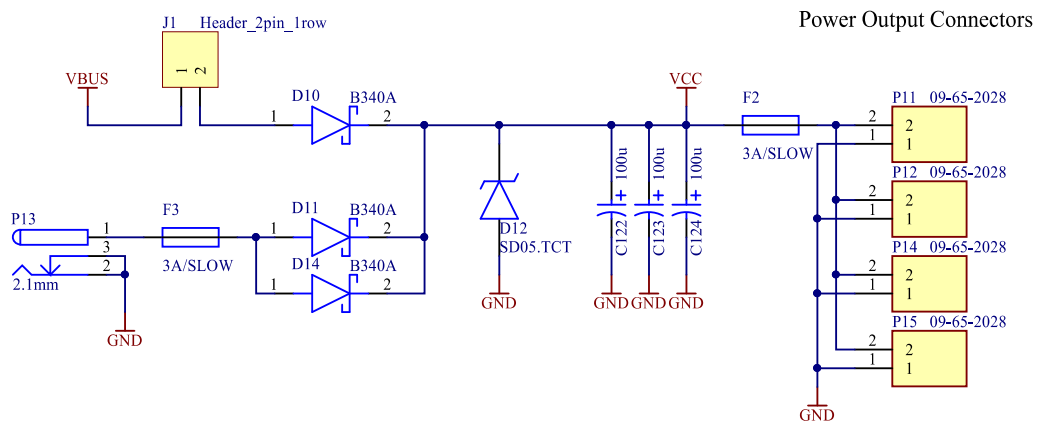
Obr. 66: Hodinový krystal pro komunikaci

Indikace připojení USB je indikováno zelenou LED diodou D4. Přítomnost napájecího napětí na výstupu interního stabilizátoru je indikováno zelenou LED diodou zelené barvy D5. Dělič napětí sestavený z rezistorů R25 a R26 slouží pro vytvoření detekčního signálu připojení USB pro logiku v FPGA. Zapojení indikačních LED diod a děliče napětí je uvedeno na Obr. 67.



Obr. 67: Indikace napájení komunikace a dělič napětí detekce USB

Na Obr. 68 je vyobrazena vstupní část napájecího napětí. FPGA deska může být napájena napětím o velikosti +5 V přivedeným na souosý konektor P3 (DC jack) nebo pomocí konektoru USB. Napájení z USB je možné připojit propojkou J1, přičemž maximální proud z USB je omezen na hodnotu 1 A pojistkou F1. Proudový odběr napájení souosým konektorem je omezen pojistkou F3 o hodnotě 3 A. Transil D12 chrání obvody FPGA desky před přepětím. Konektory P11, P12, P14 a P15 slouží pro napájení ostatních desek DAQ řetězce. Proudový odběr ostatních desek je omezen na hodnotu 3 A pojistkou F2. Hlavní napájecí napětí VCC je blokováno tantalovými kondenzátory C122, C123 a C124.



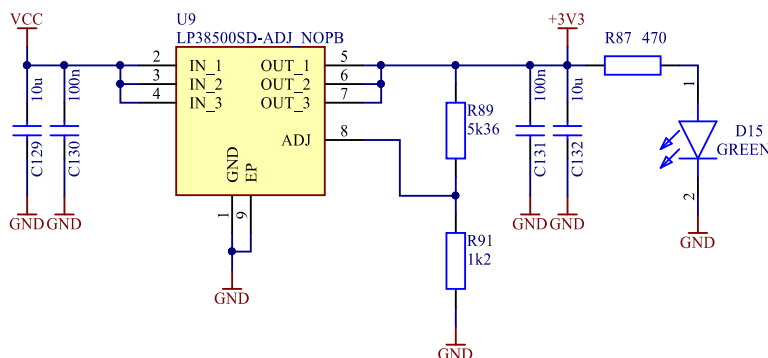
Obr. 68: Vstup napájení a výstup napájení pro ostatní desky

Hlavní napájecí napětí pro digitální části desky o velikosti +3,3V je získáno pomocí lineárního stabilizátoru napětí LDO U9 s označením LP38500SD-ADJ [27]. Zapojení stabilizátoru napětí je uvedeno na Obr. 69. Výstupní napětí stabilizátoru je nastavitelné zpětnovazebním odporovým děličem tvořeným rezistory R89 a R91. Výstupní napětí je dáno vztahem (4.16), kde  $U_{OUT}$  je výstupní napětí stabilizátoru napětí a  $U_{ADJ} = 0,605$  V je vnitřní referenční napětí.

$$U_{OUT} = U_{ADJ} \left( 1 + \frac{R_{89}}{R_{91}} \right) \quad (4.16)$$

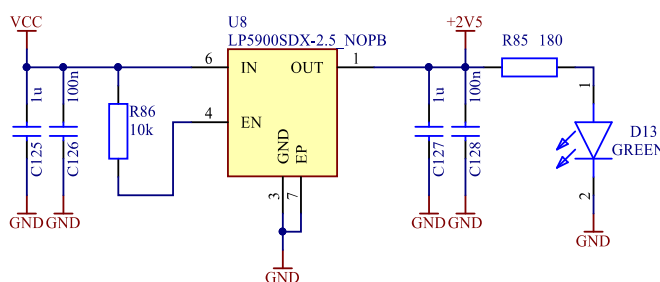
Pro výstupní napětí  $U_{OUT} = 3,3 \text{ V}$  vyhovují rezistory  $R_{89} = 5,36 \text{ k}\Omega$  a  $R_{91} = 1,2 \text{ k}\Omega$ .

Napájecí napětí na vstupu stabilizátoru U9 je blokováno kondenzátory C129 a C130. Výstupní napětí je blokováno kondenzátory C131 a C132. Přítomnost výstupního napětí je indikována zelenou LED diodou D15.



Obr. 69: Stabilizátor napětí pro hladinu +3,3V

Obr. 70 ukazuje stabilizátor napětí pro napájecí hladinu +2,5 V sloužící pro napájení analogových částí fázových závěsů v FPGA. Stabilizátor je tvořen obvodem U8 typu LP5900SDX-2.5 s pevným výstupním napětím +2,5 V [28]. Vstupní napájecí napětí stabilizátoru je blokováno kondenzátory C125 a C126. Výstupní napětí je blokováno kondenzátory C127 a C128. Přítomnost výstupního napětí stabilizátoru je indikováno LED diodou D13 zelené barvy.



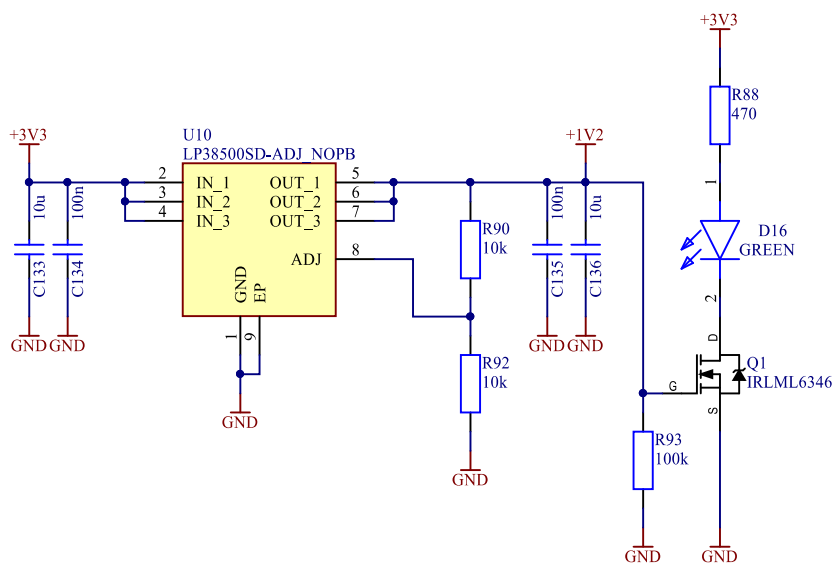
Obr. 70: Stabilizátor napětí pro hladinu +2,5V

Napájecí hladina +1,2 V, sloužící pro napájení jádra a digitálních částí fázových závěsů FPGA, je získána regulací z hladiny +3,3 V obvodem U10 s označením LP38500SD-ADJ [27]. Zapojení je zobrazeno na Obr. 71. Výstupní napětí stabilizátoru  $U_{OUT}$  je nastavitelné a je dáno vztahem (4.17), kde  $U_{ADJ} = 0,605 \text{ V}$  je vnitřní referenční napětí.

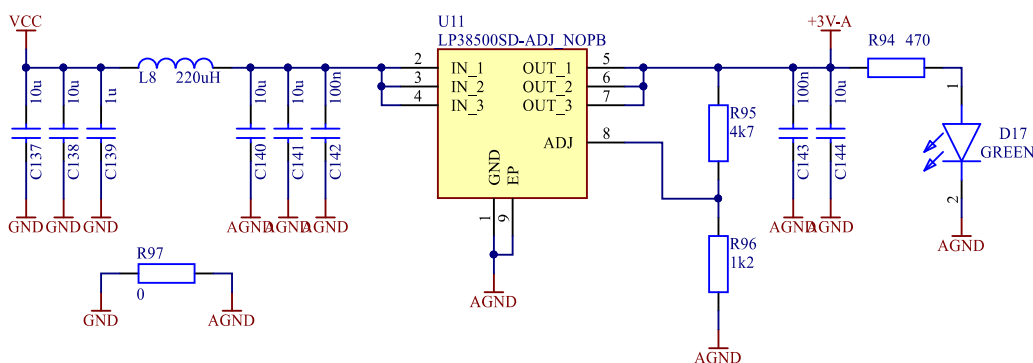
$$U_{OUT} = U_{ADJ} \left( 1 + \frac{R_{90}}{R_{92}} \right) \quad (4.17)$$

Pro výstupní napětí  $U_{OUT} = 1,2 \text{ V}$  vyhovují rezistory  $R_{90} = 10 \text{ k}\Omega$  a  $R_{92} = 10 \text{ k}\Omega$ .

Napájecí napětí na vstupu stabilizátoru U9 je blokováno kondenzátory C133 a C134. Výstupní napětí je blokováno kondenzátory C135 a C136. Přítomnost výstupního napětí +1,2 V je indikováno zelenou LED diodou D16. Jelikož je výstupní napětí stabilizátoru menší než prahové napětí LED diody, je tato LED dioda napájena z hladiny +3,3 V a je spínána N-MOSFET tranzistorem Q1.



Obr. 71: Stabilizátor napětí pro hladinu +1,2V



Obr. 72: Stabilizátor napětí pro analogové části

Pro napájení analogových částí desky, tedy napájení vstupního budiče a ADC, je určen stabilizátor U11 s označením LP38500SD-ADJ, jehož zapojení je ukázáno na Obr. 72 [27]. Výstupní napětí stabilizátoru  $U_{OUT}$  je dáno vztahem (4.18), kde  $U_{ADJ} = 0,605 \text{ V}$  je vnitřní referenční napětí.

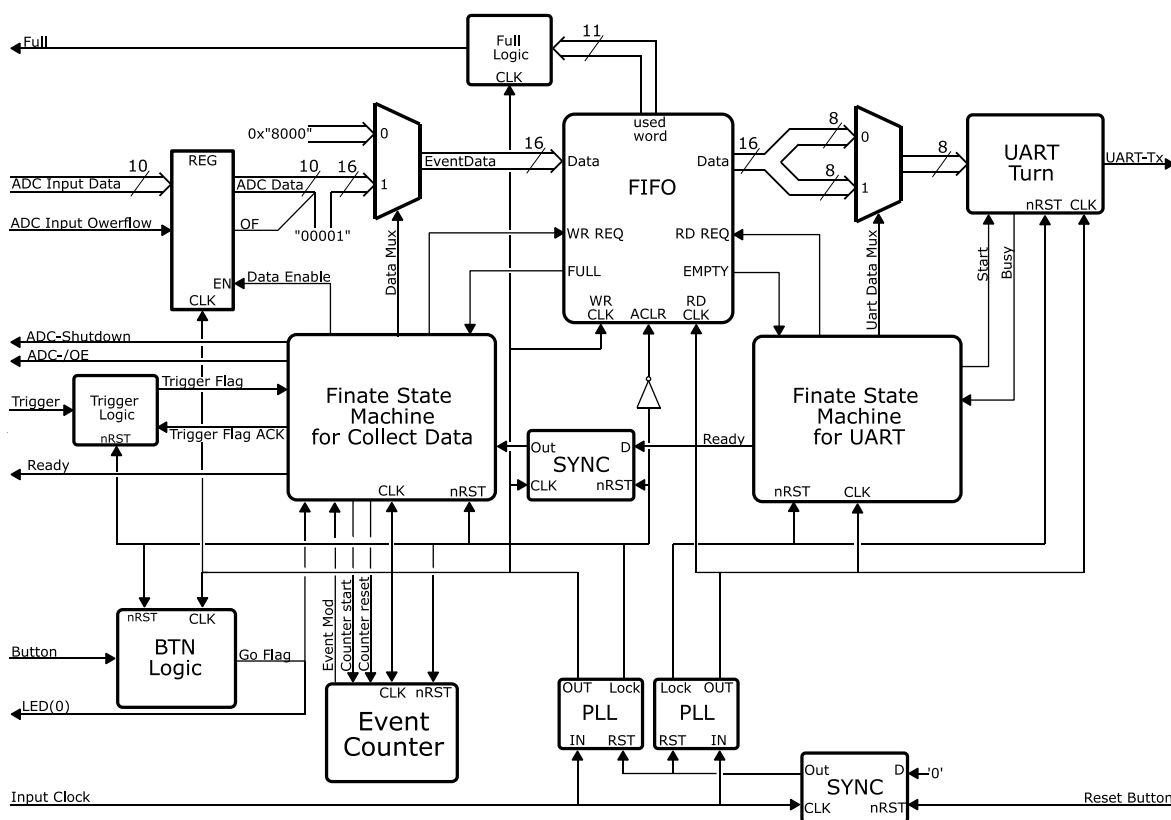
$$U_{OUT} = U_{ADJ} \left( 1 + \frac{R_{95}}{R_{96}} \right) \quad (4.18)$$

Pro výstupní napětí  $U_{OUT} = 3 \text{ V}$  vyhovují rezistory  $R_{95} = 4,7 \text{ k}\Omega$  a  $R_{96} = 1,2 \text{ k}\Omega$ .

Napájecí napětí na vstupu stabilizátoru je filtrováno LC filtrem tvořeným kondenzátory C137, C138, C139, C140, C141, C142 a tlumivkou L8. Výstupní napětí stabilizátoru je blokováno kondenzátory R95 a R96. Přítomnost výstupního napětí stabilizátoru je indikováno LED diodou D17 zelené barvy.

### 4.5 FPGA Firmware

Firmware má za úkol v případě, že je signál trigger aktivní, provést sběr digitalizovaných dat z ADC a odeslat tato data po protokolu UART. Dále generuje hodinový signál pro ADC a signály Ready a Full pro řízení BUSY logiky na trigger desce. Struktura FPGA logiky je ilustrována na Obr. 73. Firmware je popsán v jazyce VHDL. Vývoj firmwaru probíhal v softwaru Quartus 13.0 firmy Altera/Intel a simulován byl v softwaru Modelsim 10.1.



Obr. 73: Firmware FPGA



Struktura firmwaru v FPGA je rozdělena na dvě hodinové domény, které jsou propojeny pamětí fronty FIFO. Hodinová doména zapisující do paměti FIFO má za úkol čtení digitalizovaných dat z ADC. Hodinová doména, která čte data z paměti FIFO, má za úkol odesílání těchto dat protokolem UART. Jednotlivé domény jsou řízeny konečným stavovým automatem. Hodiny pro domény jsou generovány pomocí fázových závěsů (PLL) ze vstupního signálu oscilátoru. Fázové závěsy jsou resetovány synchronizovaným signálem z resetovacího tlačítka. Další logika je resetována výstupními signály Locked PLL, udávajícími, zda je fázový závěs zavěšený.

Systém sběru dat je aktivovaný a deaktivovaný tlačítkem. Signál z tlačítka je vedený do bloku BTN Logiky, kde je signál synchronizován. Dále je v tomto bloku realizována přepínací logika ovládající Go Flag signál aktivující systém sběru dat.

Požadavek na sběr digitalizovaných dat je signalizován signálem Trigger vstupujícím do bloku trigger logiky. Trigger logika při náběžné hraně Trigger signálu aktivuje signál Trigger Flag. Při přečtení signálu Trigger Flag stavovým automatem je aktivován signál Trigger Flag ACK, kterým je signál Trigger Flag deaktivován. Datový multiplexor pro zápis do paměti FIFO přepíná konstantní datové slovo 0x"8000" nebo příchozí data z ADC doplněná o identifikaci dat "00001". Konstantní datové slovo 0x"8000" označuje novou příchozí událost.

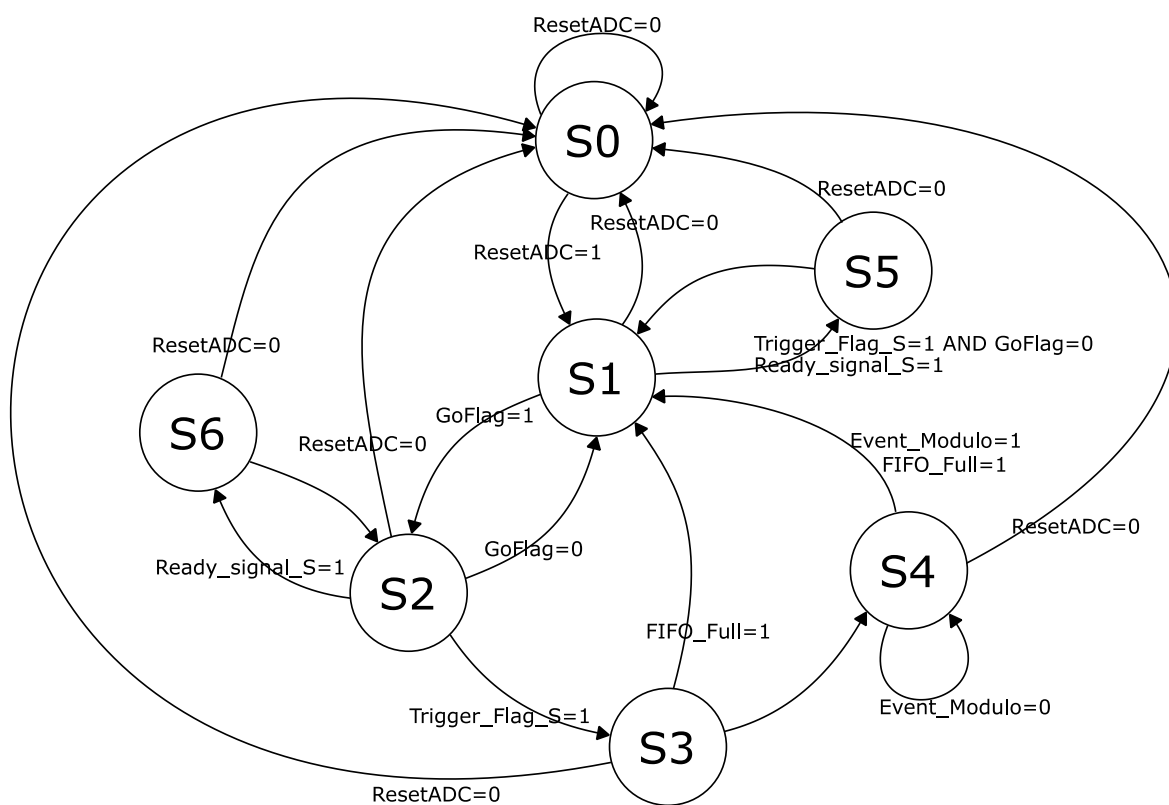
Pokud jsou do paměti FIFO zapsána data, jsou tato data dále přečtena a odeslána protokolem UART. Datový multiplexor na výstupu paměti FIFO přepíná datová slova pro blok UARTu.

Pokud jsou všechny položky z paměti FIFO vyčteny, je stavovým automatem vydán signál Ready. Tento signál je synchronizován s hodinovým kmitočtem ADC domény a zaveden do stavového automatu řízení sběru dat. Odtud je dále vydán signál Ready pro resetování BUSY logiky na trigger desce. Pokud není aktivovaný systém sběru dat, je signál Ready vydán vždy po příchozím signálu trigger.

Signál Full, určený pro blokování signálu na požadavek sběru dat na trigger desce, je generovaný Full logikou v případě, že v paměti FIFO není dostatečný prostor pro data z další události.

Na Obr. 74 je ukázán graf přechodů konečného stavového automatu pro řízení sběru dat, tedy pro řízení zápisu dat do paměti FIFO. Pokud je stavový automat resetovaný, zůstává ve stavu S0. Z každého jiného stavu přechází stavový automat do stavu S0 resetovacím signálem ResetADC = '0'. Po uvolnění resetovacího signálu ResetADC = '1' přechází stavový automat do stavu S1, kdy je připravený na aktivaci sběru dat. Pokud

ve stavu S1 přijde požadavek na sběr dat, tedy signál Trigger\_Flag, je deaktivovaný signál Trigger\_Flag\_S pomocí signálu Trigger\_Flag\_ACK a je vydán impuls Ready pro uvolnění BUSY logiky. Ze stavu S1 přechází stavový automat do stavu S2 v případě aktivace sběru dat (GoFlag = '1'). Automat setrvává ve stavu S2 do doby přijetí požadavku na sběr dat. Při tomto požadavku (Trigger\_Flag\_S = '1') přechází do stavu S3, kdy je do paměti FIFO zapsána zpráva nové události. Dále stavový automat přechází do stavu S4, kdy je spuštěn čítač počtu vzorků a dále jsou zapisovány jednotlivé digitalizované vzorky signálu do paměti FIFO. Při dosažení počtu vzorků na jednu událost (Event\_Modulo = '1') přechází stavový automat do stavu S1, a je tak zastaven zápis do paměti FIFO. Pokud z řízení pro odesílání dat přijde signál Ready\_signal\_S, přechází stavový automat ze stavu S1 do stavu S5, respektive ze stavu S6 do S6, kde je vydán impuls Ready pro uvolnění BUSY logiky. Stavový automat dále přechází zpět do stavu S1, respektive S2. Tab. 1 obsahuje popis výstupní funkce stavového automatu pro řízení sběru dat.



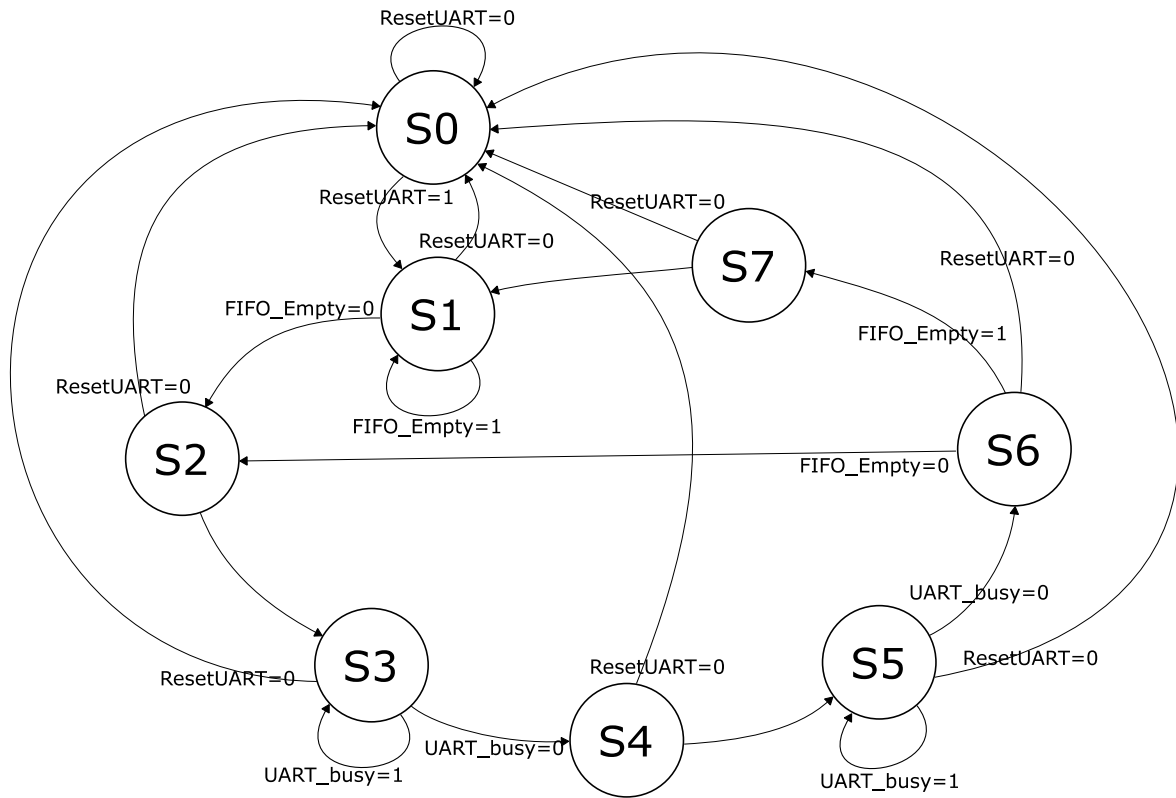
Obr. 74: Konečný stavový automat pro řízení sběru dat

Tab. 1: Výstupní funkce stavového automatu pro řízení sběru dat

	S0	S1	S2	S3	S4	S5	S6
ADC_shdn	0	0	0	0	0	0	0
ADC_nOE	0	0	0	0	0	0	0
DataEnable	0	0	0	0	1	0	0
Fifo_WriteReq	0	0	0	1	1	0	0
Reset_Counter	1	1	1	1	0	0	0
Go_Counter	0	0	0	0	1	0	0
EventDataMux	0	0	0	0	1	0	0
Trigger_Flag_ACK	0	0	0	1	0	1	1
Ready_signal_output	1	0	0	0	0	1	1

Obr. 75 znázorňuje graf přechodů konečného stavového automatu pro odesílání sběru dat, tedy pro řízení čtení dat z paměti FIFO a řízení periferie UARTu. Z paměti FIFO je vždy přečteno jedno 16bitové slovo, které je následně po dvou 8bitových částech odesláno.

Pokud je stavový automat resetovaný ( $\text{ResetUART} = '0'$ ), zůstává ve stavu S0. Z každého jiného stavu přechází stavový automat do stavu S0 resetovacím signálem  $\text{ResetUART} = '0'$ . Uvolněním resetovacího signálu  $\text{ResetUART} = '1'$ , přechází stavový automat do stavu S1, kde čeká na zapsaná data do paměti FIFO. Pokud není paměť FIFO prázdná ( $\text{FIFO\_Empty} = '0'$ ), přechází stavový automat do stavu S2, kde je přečteno datové slovo z paměti. Dále automat přechází do stavu S3, kde setrvává do uvolnění UART periferie ( $\text{UART\_busy} = '0'$ ). Pokud je  $\text{UART\_busy} = '0'$ , je vydán start signál  $\text{UART\_start} = '1'$  a dojde také k odeslání první části datového slova. Následně automat přechází do stavu S5, kde je přepnut datový multiplexor a čeká se na uvolnění periferie UART. Pokud je periferie uvolněna ( $\text{UART\_busy} = '0'$ ), přechází automat do stavu S6, kde je znovu vydán signál start a je odeslána druhá část datového slova. V případě, že je po odeslání dat paměť FIFO prázdná ( $\text{FIFO\_Empty} = '1'$ ), přechází automat do stavu S7, kde je vydán signál  $\text{Ready\_signal}$  pro stavový automat pro řízení sběru dat. Ze stavu S7 přechází do stavu S1 a je připraven na načtení dalšího datového slova. Pokud po odeslání dat ve stavu S6 paměť FIFO není prázdná, přechází stavový automat do stavu S2 a načítá nové datové slovo, které následně po dvou částech odesílá. Tab. 2 obsahuje popis výstupní funkce stavového automatu pro odesílání dat.



Obr. 75: Konečný stavový automat pro řízení odesílání dat

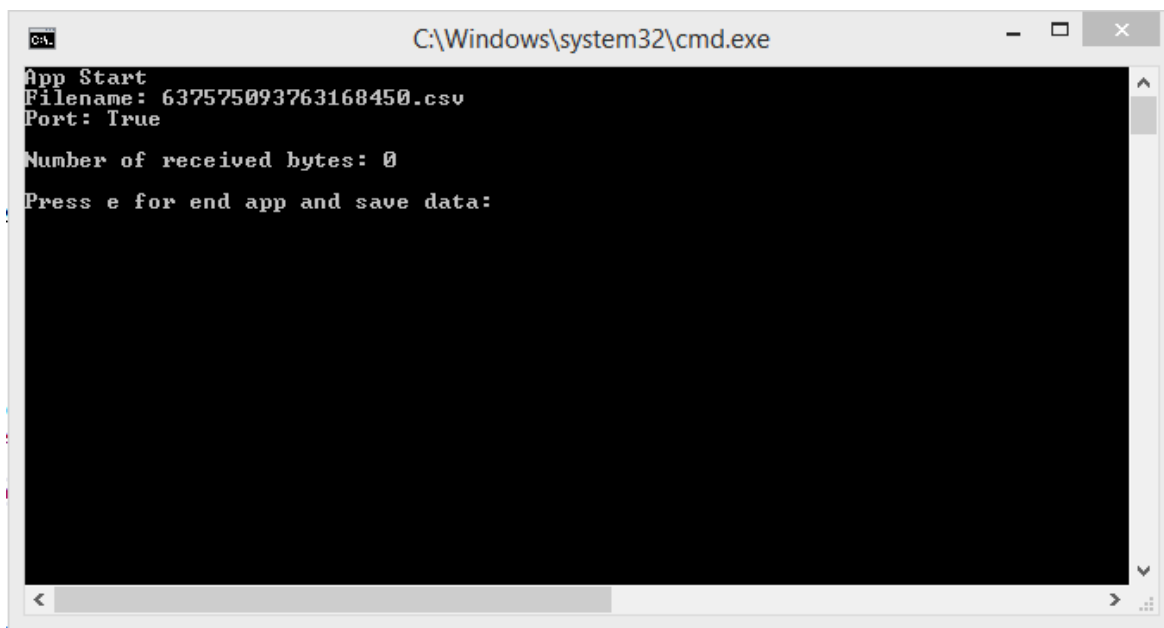
Tab. 2: Výstupní funkce stavového automatu pro řízení odesílání dat

	S0	S1	S2	S3	S4	S5	S6	S7
Fifo_readReq	0	0	1	0	0	0	0	0
UART_start	0	0	0	0	1	0	1	0
Ready_signal	0	0	0	0	0	0	0	1
Uart_MUX_Data	0	0	0	0	0	1	1	0
UART_nRST	0	1	1	1	1	1	1	1

## 4.6 PC software

Počítačový software obstarává příjem dat na protokolu UART a jejich následné uložení ve vhodném formátu pro budoucí analýzu.

Konzolová aplikace obsahuje dvě třídy, jednu hlavní a druhou pro obsluhu příjmu dat z protokolu UART. Čtení dat z protokolu UART probíhá v samostatném vlákně aplikace. Data z protokolu UART jsou zapisována do datového bufferu odkud jsou následně čtena. Ze dvou po sobě jdoucích bajtů je složeno datové slovo, které je následně rozděleno na 10bitová data z ADC, příznak překročení rozsahu ADC a 5bitovou identifikaci zprávy. Tato data jsou následně uložena do aplikací vytvořeného CSV souboru. S přečtením každého bytu z datového bufferu je inkrementován čítač, jehož hodnota je zobrazována v konzolové aplikaci. Okno konzolové aplikace je ukázáno na Obr. 76. Aplikace je naprogramována v jazyce C#. Vývoj aplikace probíhal v prostředí Visual Studio 2017.



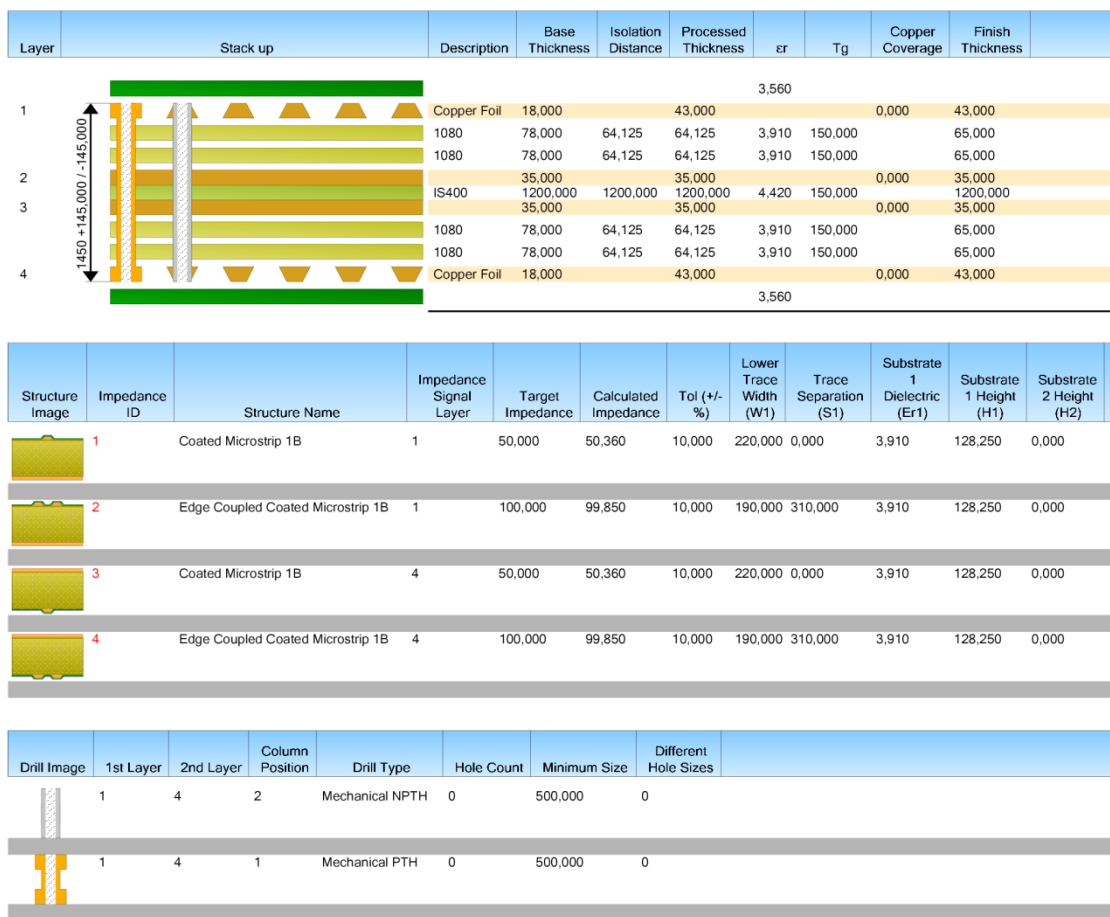
```
C:\Windows\system32\cmd.exe
App Start
Filename: 637575093763168450.csv
Port: True
Number of received bytes: 0
Press e for end app and save data:
```

Obr. 76: Konzolová aplikace pro příjem dat

## 5 Návrh DPS a praktická realizace

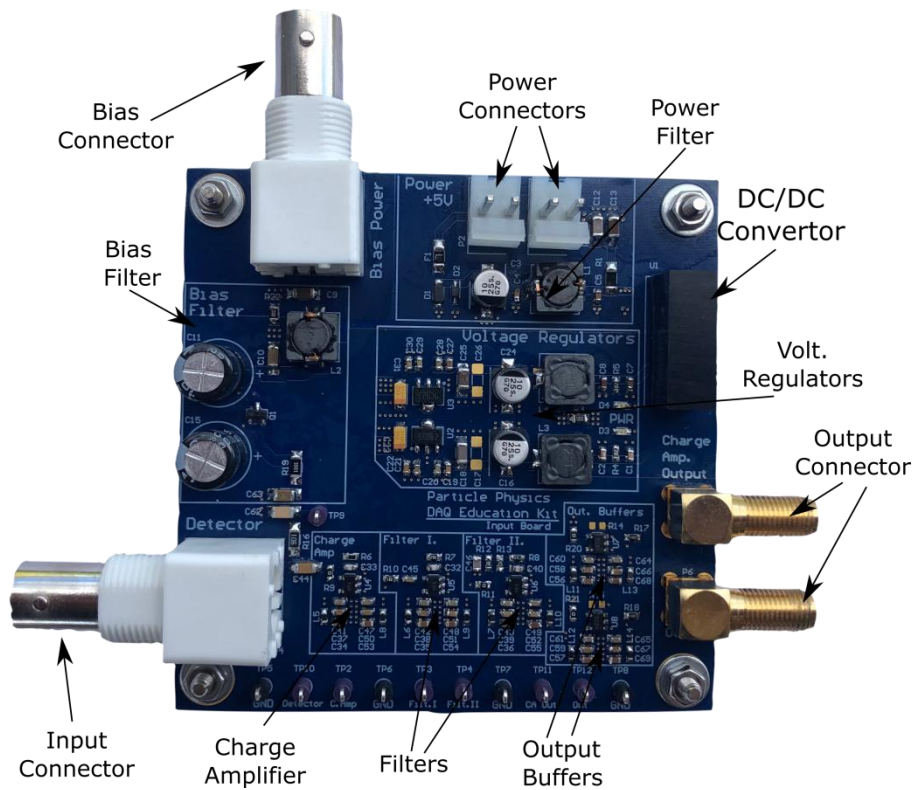
Pro návrh DPS byl využit návrhový software Altium Designer. Zařízení je rozděleno na čtyři samostatné DPS, jak je popsáno v kapitole 4. Všechny desky jsou navrženy jako čtyřvrstvé. První a čtvrtá vrstva jsou dedikovány jako signálové, druhá vrstva je určena pro rozvod GND a třetí vrstva je určena pro rozvod napájecího napětí.

Potřeba řízených impedancí 50 Ω v případě single-ended vedení, a 100 Ω v případě diferenciálních vedení, vede k nutnému dodržení celkové skladby desky a návrhových pravidel uvedených na Obr. 77.

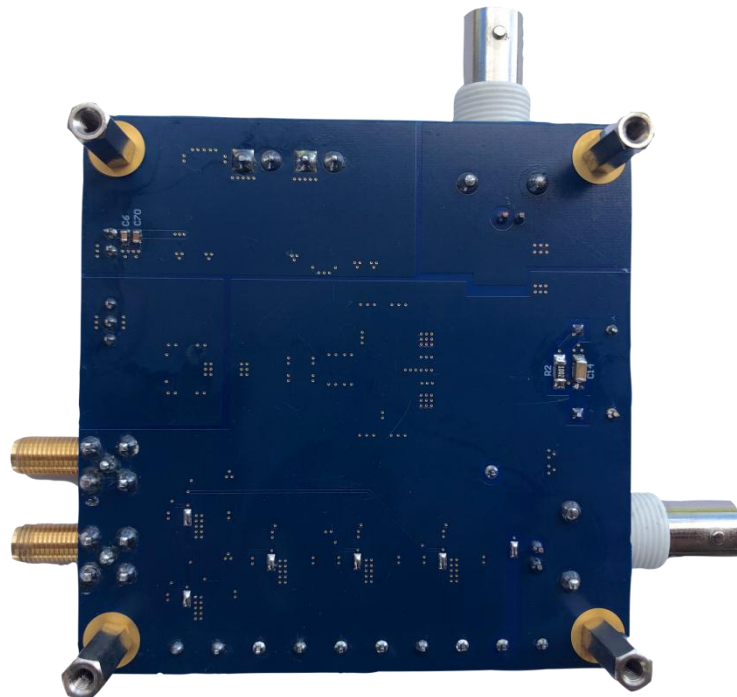


Obr. 77: Stackup a návrhová pravidla čtyřvrstvé desky, převzato z [29]

## 5.1 Praktická realizace desky

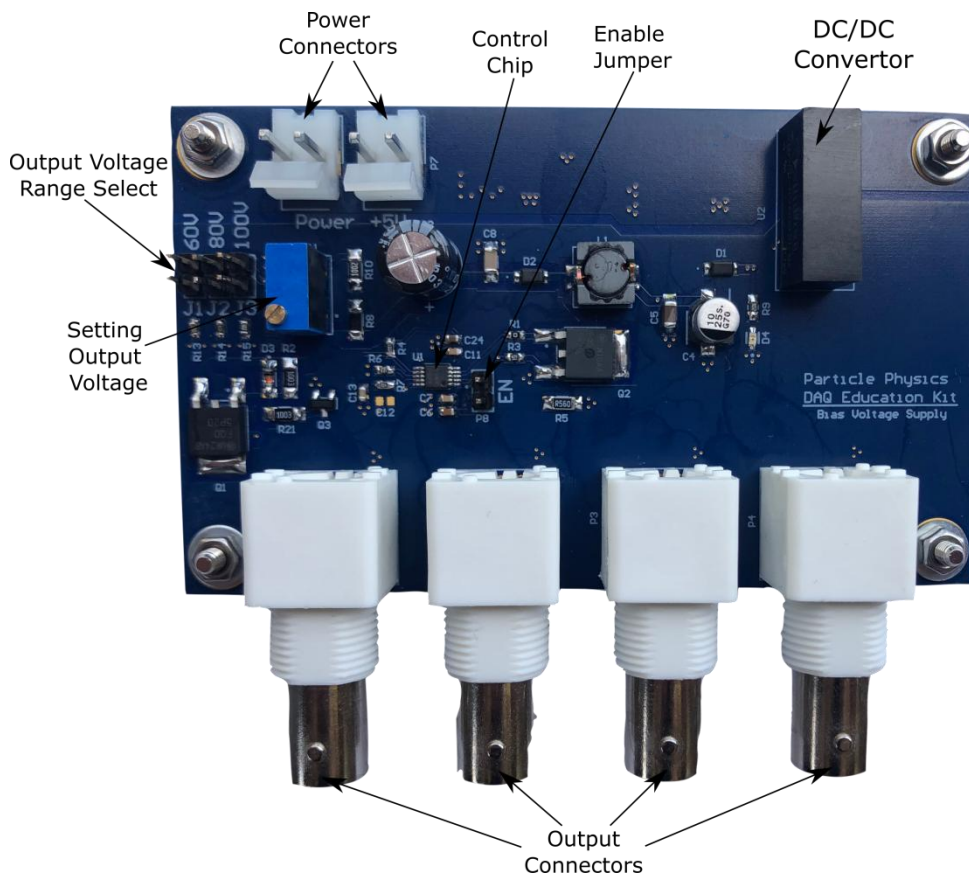


Obr. 78: Praktická realizace Vstupní desky, pohled shora

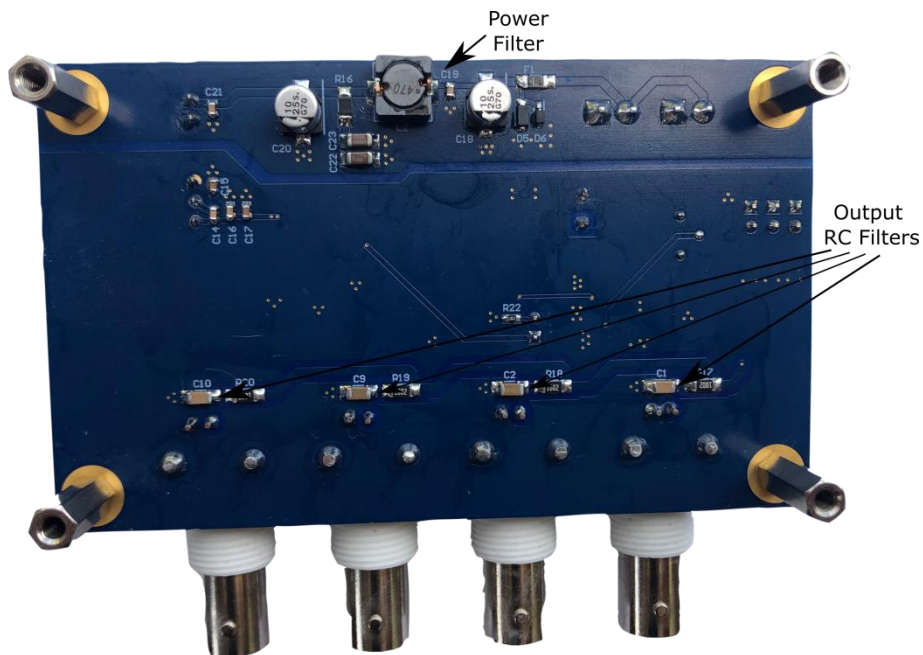


Obr. 79: Praktická realizace Vstupní desky, pohled zdola

## 5.2 Praktická realizace napájecího zdroje předpětí



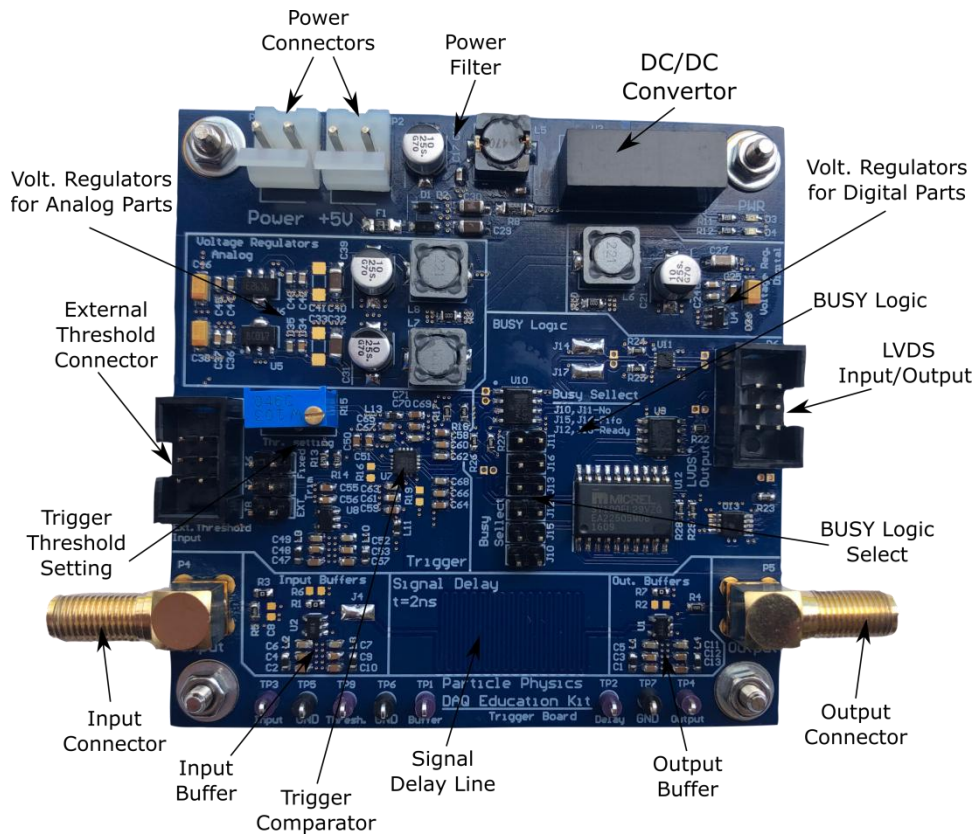
Obr. 80: Praktická realizace napájecího zdroje předpětí, pohled shora



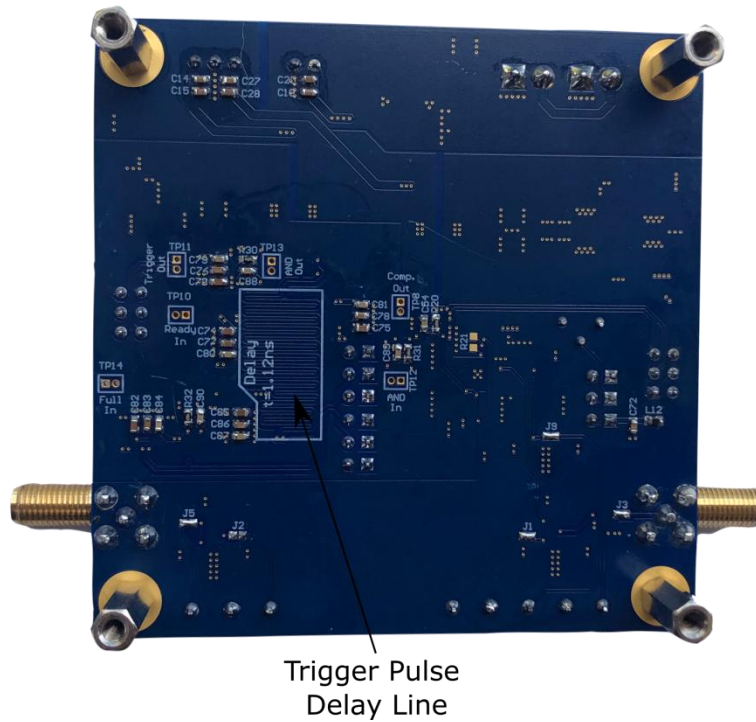
Obr. 81: Praktická realizace napájecího zdroje předpětí, pohled zdola



### 5.3 Praktická realizace desky

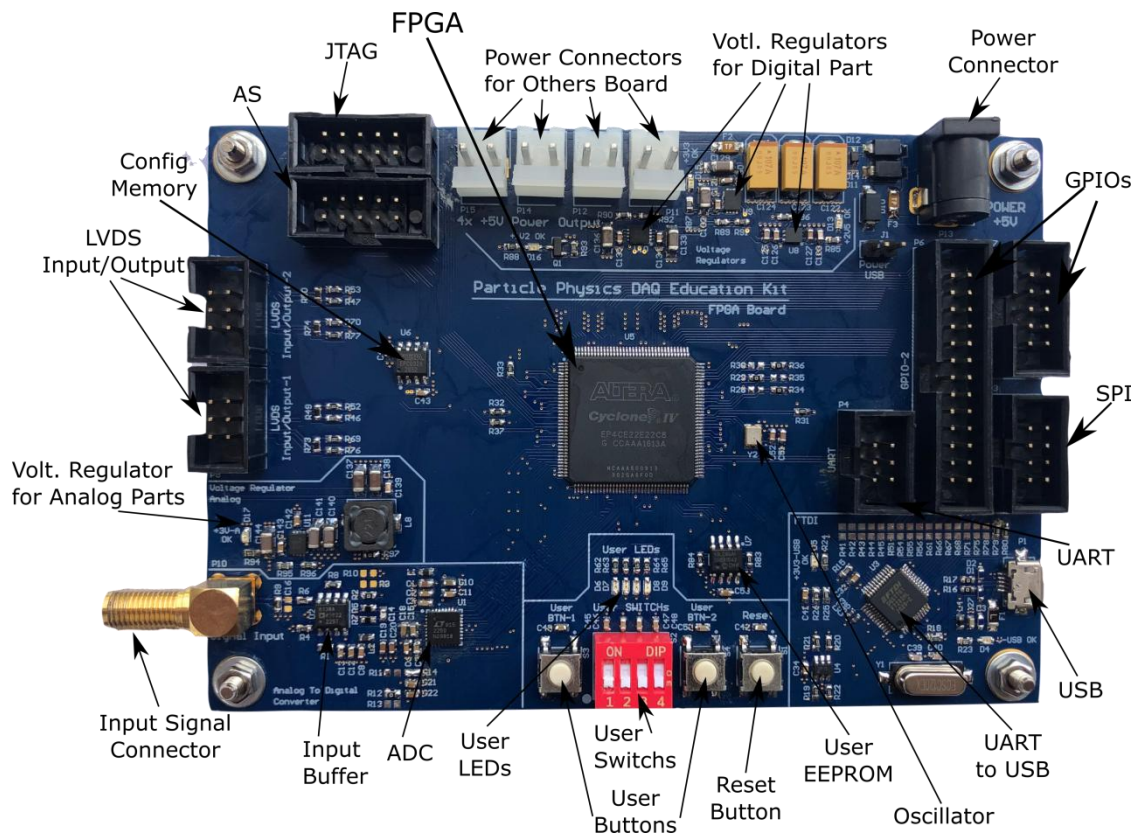


Obr. 82: Praktická realizace trigger desky, pohled shora

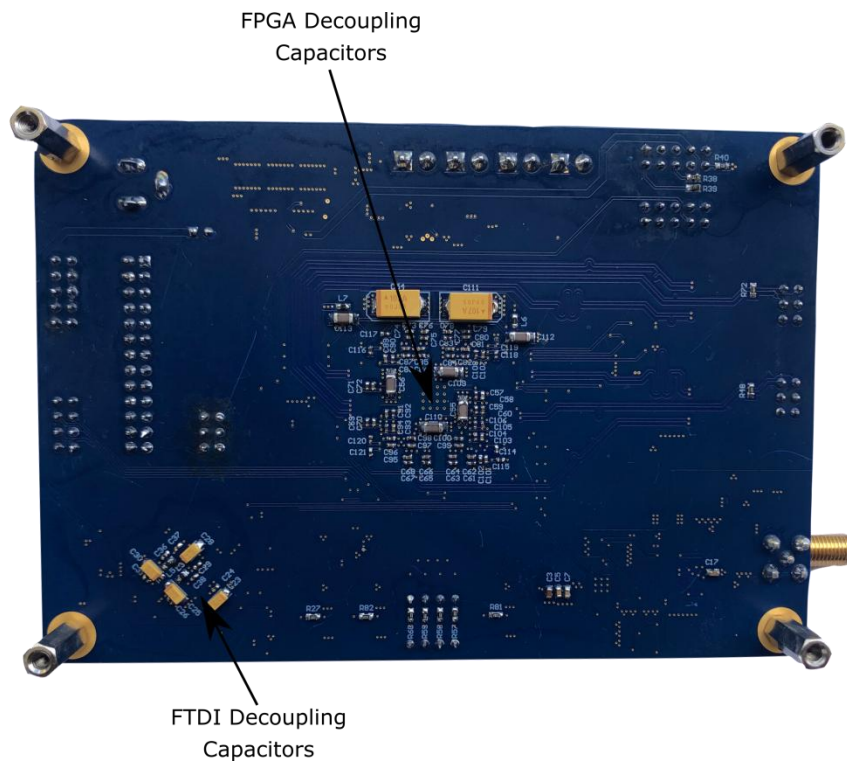


Obr. 83: Praktická realizace trigger desky, pohled zdola

### 5.4 Praktická realizace FPGA desky



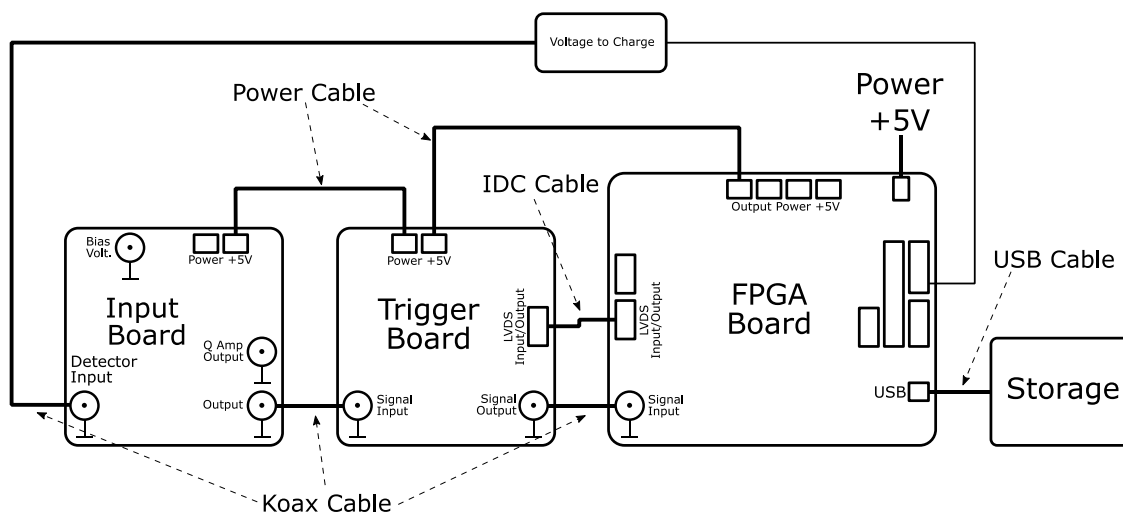
Obr. 84: Praktická realizace FPGA desky, pohled shora



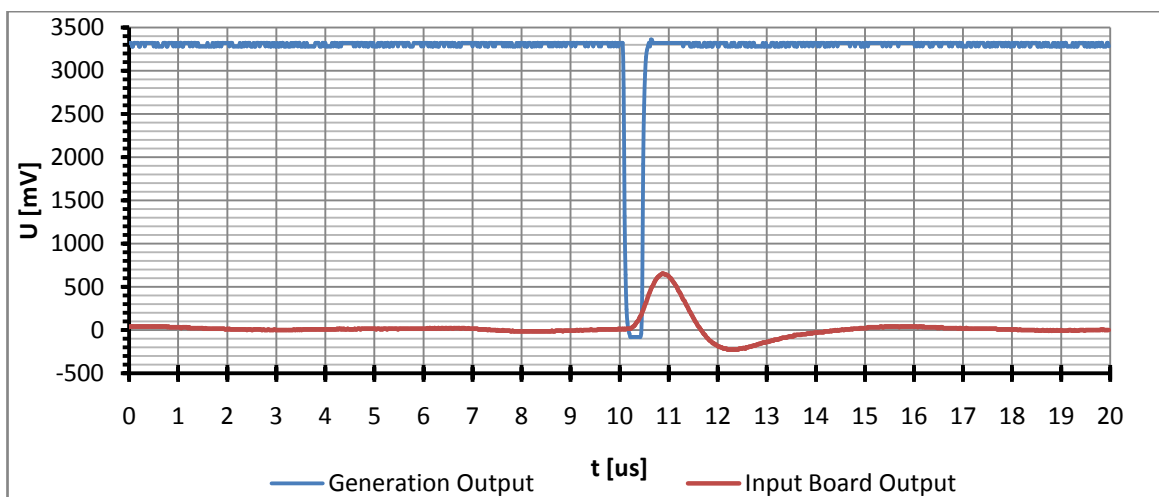
Obr. 85: Praktická realizace FPGA desky pohled zdola

## 6 Praktický test

Experiment pro testování navrženého DAQ řetězce byl zapojen dle Obr. 86. Na vstup byl přiveden upravený signál generovaný pomocí FPGA. Průběh zkušebního signálu je zachycen na Obr. 87 (Generation Output). Dále je na Obr. 87 patrný též průběh výstupního napětí vstupní desky (Input Board Output) měřený na TP12. Signál z FPGA je generovaný v dávkách obsahujících 8 impulzů délky 400 ns. Systém je nastaven na sběr 100 vzorků z každé události se vzorkovací frekvencí 25 MS/s. Periferie UART odesílá data rychlostí 5 MBaud.



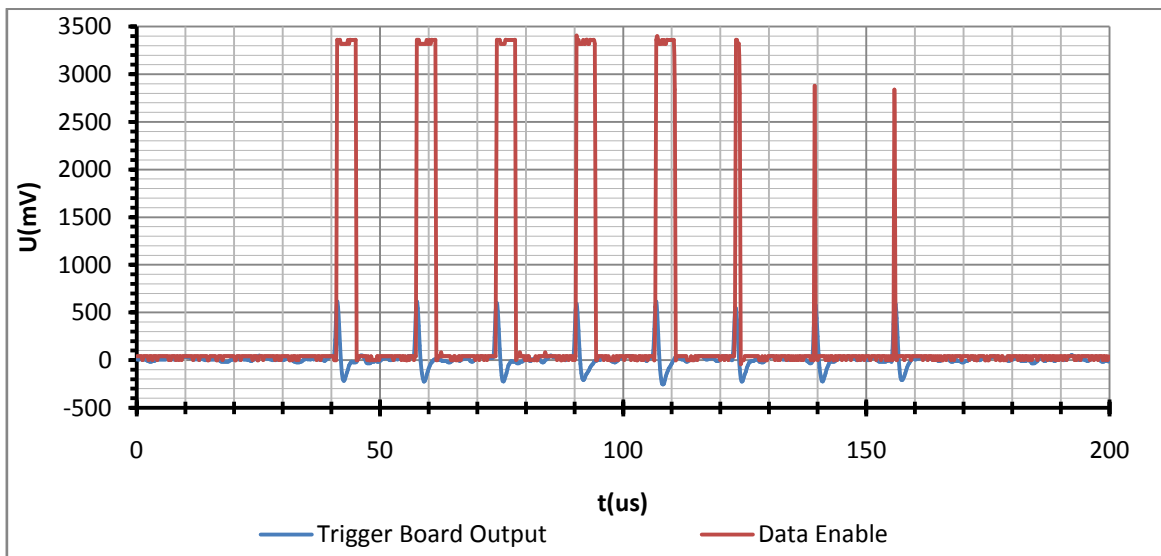
Obr. 86: Zapojení DAQ řetězce



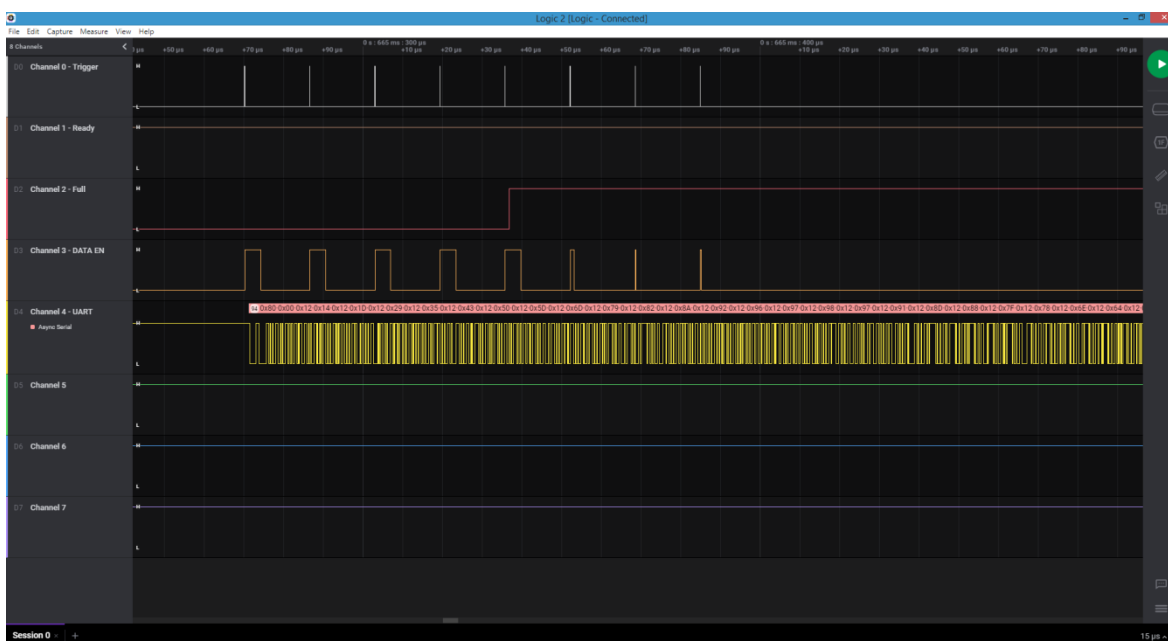
Obr. 87: Zkušební signál a výstup vstupní desky

Na Obr. 88 je ukázán výstupní signál z trigger desky (Trigger Board Output) spolu se signálem Data Enable, v případě bez BUSY logiky. Z výstupního signálu trigger desky

je patrná dávka 8 impulzů. Signál Data Enable označuje okamžiky, kdy je aktivní systém sběru dat, tedy kdy jsou digitalizovaná data ukládána. Je patrné, že se systém pokouší sbírat data ze všech příchozích událostí, tedy po každém vydání signálu trigger. Lze rovněž pozorovat, že z některých událostí není získán požadovaný počet událostí z důvodu zaplnění paměti FIFO. Na Obr. 89 jsou průběhy signálů Trigger, Ready, Full, Data Enable a výstupní signál UART. Jsou také patrné události, které jsou kompletně zpracovány, tedy prvních pět událostí, a zbylé nekompletní události.

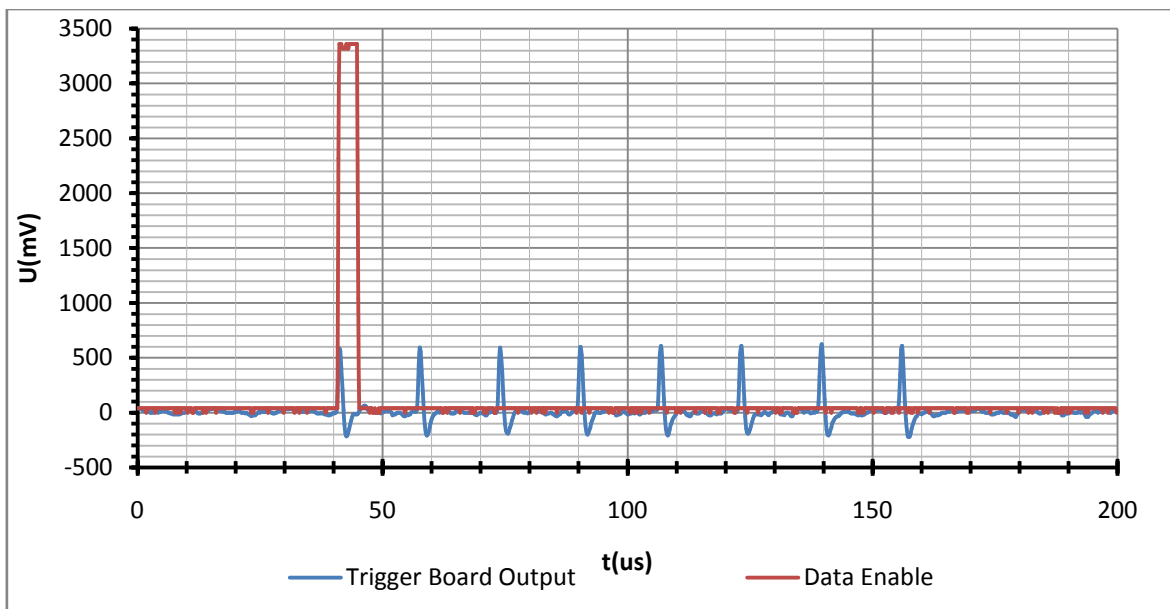


Obr. 88: Výstupní signál trigger desky a signál označující aktivní sběr dat, nastavení bez BUSY logiky

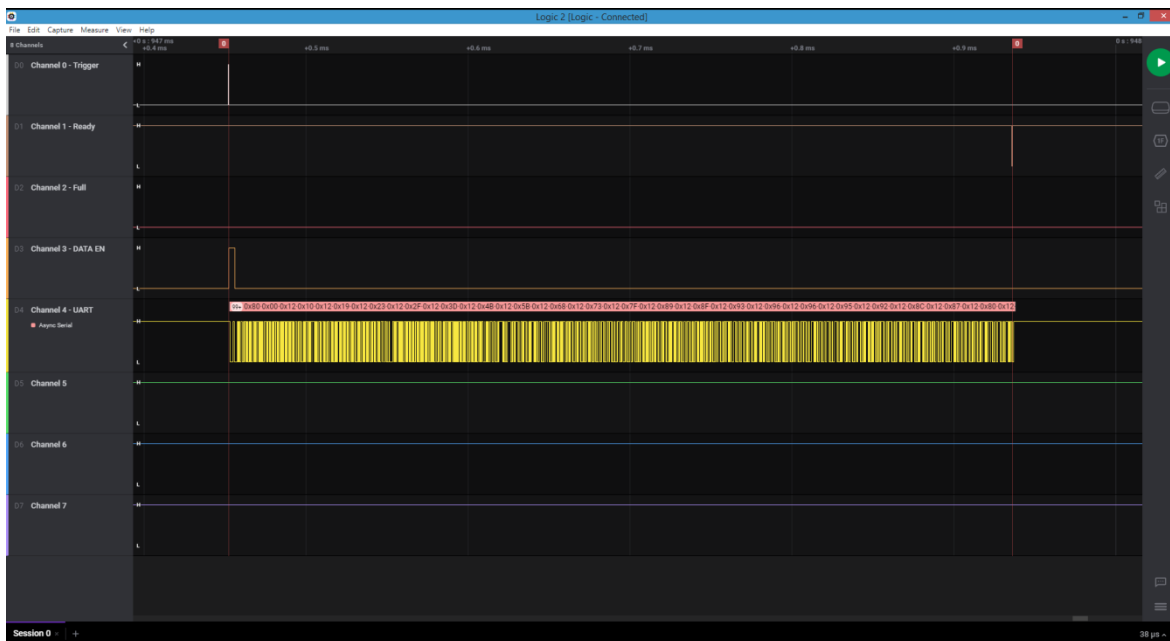


Obr. 89: Signály Trigger, Ready, Full, Data Enable a výstupní signál UART, nastavení bez BUSY logiky

Na Obr. 90 je zachycen výstupní signál z trigger desky (Trigger Board Output) spolu se signálem Data Table v případě aktivní BUSY logiky. Je patrné, že je zpracována jen jedna událost z dávky událostí a ve zbytku času odesílána data. Na Obr. 91 je patrná funkce BUSY logiky a její odblokování signálem Ready po odeslání naměřených dat.



Obr. 90: Výstupní signál trigger desky a signál označující aktivní sběr dat, nastavení s BUSY logikou

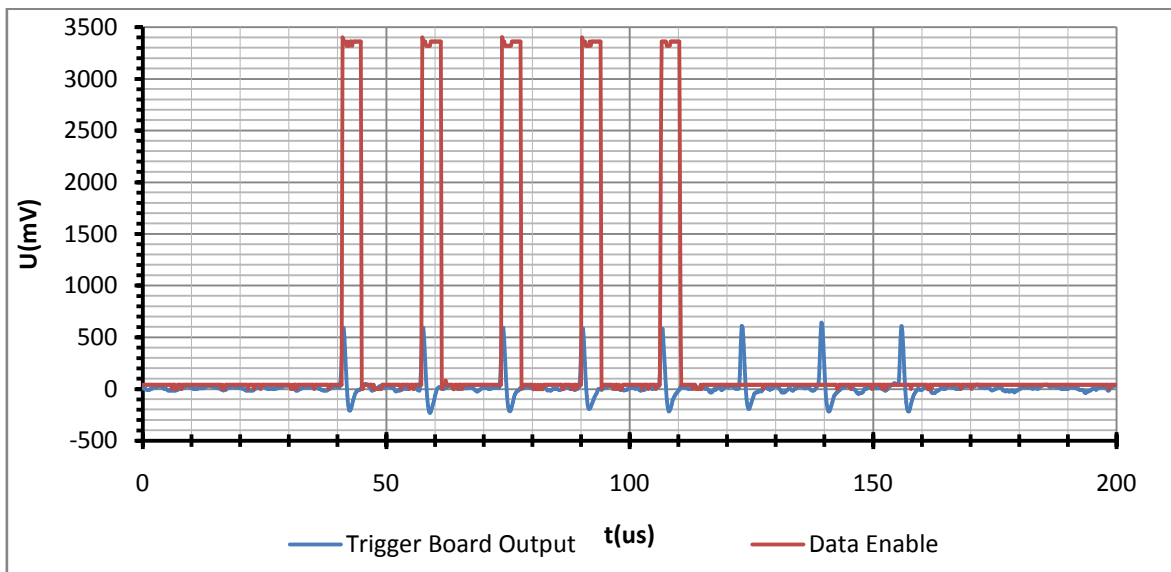


Obr. 91: Signály Trigger, Ready, Full, Data Enable a výstupní signál UART, nastavení s BUSY logikou

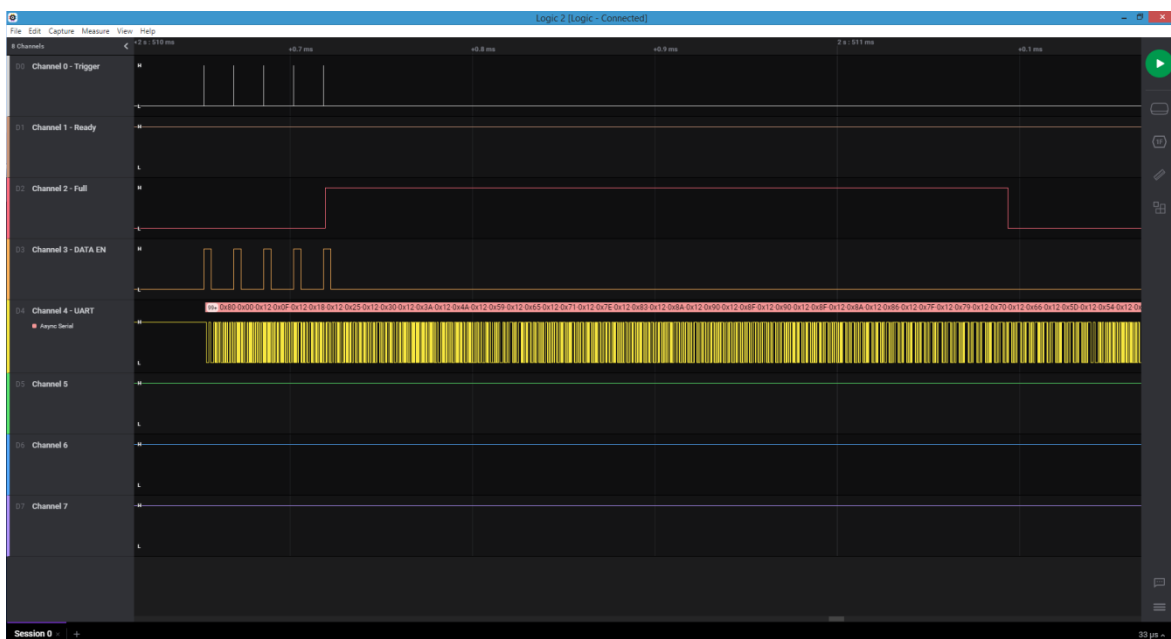


Z rozdílů časů náběžné hrany Ready impulsu a náběžné hrany Trigger impulsu byla určena doba potřebná pro zpracování a odeslání dat (tedy mrtvá doba) jako  $\tau = 484 \mu\text{s}$ .

Obr. 92 uvádí výstupní signál z trigger desky (Trigger Board Output) spolu se signálem Data Enable, v případě aktivace blokování Trigger signálu Full signálem. DAQ signál zpracuje prvních pět událostí. Poté je vydán signál Full a ostatní události nejsou zpracovány až do odeslání všech data a uvolnění signálu Full. Z Obr. 93 je patrný průběh signálu FULL v případě zaplnění paměti FIFO.

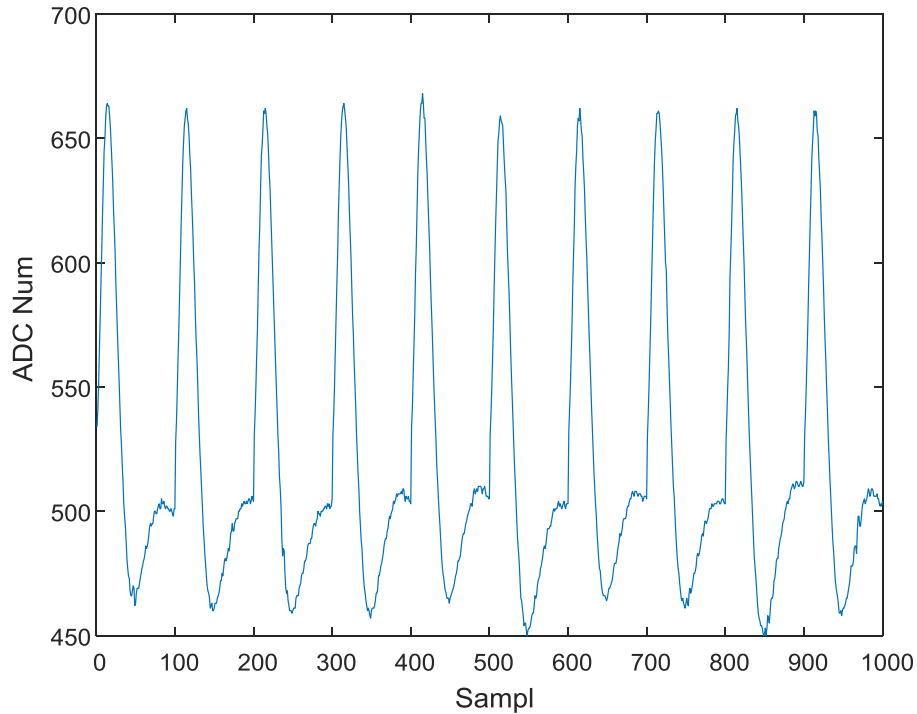


Obr. 92: Výstupní signál trigger desky a signál označující aktivní sběr dat, nastavení blokování Trigger signálu Full signálem

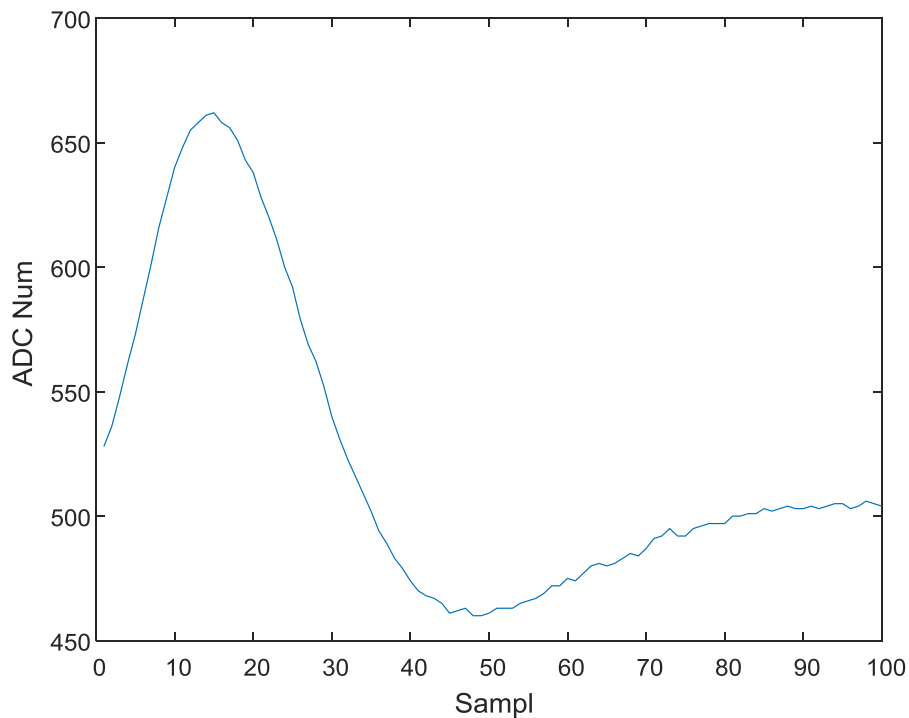


Obr. 93: Signály Trigger, Ready, Full, Data Enable a výstupní signál UART, nastavení blokování Trigger signálu Full signálem

Na Obr. 94 a Obr. 95 jsou vyobrazeny průběhy naměřených dat pomocí navrženého DAQ řetězce v zapojení uvedeném na Obr. 86. Na Obr. 94 je ukázána posloupnost deseti naměřených událostí. Na Obr. 95 je zobrazena jedna naměřená událost.



Obr. 94: Průběh naměřených dat DAQ řetězcem, zobrazeno 10 událostí



Obr. 95: Průběh naměřených dat DAQ řetězcem, zobrazena 1 událost

## 7 Závěr

Cílem této diplomové práce byl návrh a realizace řetězce pro sběr dat pro výuku principů využívaných na poli částicové fyziky. Celý systém byl z důvodu názornosti rozdělen na čtyři funkční části realizované na samostatných DPS. Jednotlivé části jsou následující: vstupní deska, trigger deska, FPGA deska a napájecí zdroj předpětí detektoru.

Vstupní deska snímá náboj na polovodičovém detektoru, který převádí na napětí. Napěťový signál je dále tvarován soustavou filtrů a je přes výstupní budič směřován na výstupní konektor. Přes vstupní desku je také přivedeno předpětí pro detektor ze zdroje předpětí, které je důkladně filtrováno. Jako zdroj signálu může být využit signálový generátor.

Trigger deska má za úkol generování trigger signálu pro požadavek sběru dat. Funkce je realizována ultra rychlým diferenciálním komparátorem. Dále je na desce řešena BUSY logika pro blokování trigger signálu v případě zpracovávání dat. Propojkami lze zvolit zapojení BUSY logiky, tedy způsob, jakým je signál trigger blokován. Pro kompenzaci zpoždění komparátoru a BUSY logiky je v analogové signálové cestě realizována zpoždovací linka. Výstup ze zpoždovací linky je veden přes výstupní budič a dále na výstupní konektor.

FPGA deska při aktivním požadavku na sběr dat digitalizuje analogový signál, sestavuje tato digitalizovaná data do paketů a následně odesílá tyto pakety po protokolu UART do zařízení pro ukládání dat (osobní počítač nebo server). FPGA deska dále slouží pro distribuci napájení pro ostatní části řetězce.

Napájecí zdroj předpětí je potřeba pro případ zapojení s polovodičovým detektorem. Pro správnou funkci polovodičového detektoru je potřeba zdroj záporného předpětí v řádech desítek voltů. Pro realizaci zdroje předpětí byla zvolena topologie zvyšujícího měniče.

Funkce navrženého a sestaveného DAQ řetězce byla ověřena praktickým testem. Výsledky z měření jsou uvedeny v kapitole 7. V průběhu měření byly naměřeny vybrané průběhy analogových a digitálních signálů. ADC funguje se vzorkovací frekvencí 25 MS/s, přičemž je odebráno 100 vzorků během jedné události. Jsou tedy měřeny časové úseky délky 4  $\mu$ s. Periferie UART odesílá naměřená data rychlostí 5 MBaud. Každý digitalizovaný vzorek dat potřebuje k odeslání dvě 8bitová slova. Začátek odesílání dat jedné události je uveden zvláštním 16bitovým slovem pro identifikaci nové události.



To tedy znamená odeslání 202 datových slov délky 8 bitů. Teoretická doba potřebná pro odeslání těchto dat je 404  $\mu$ s. Z naměřených průběhů v případě konfigurace s BUSY logikou byla určena doba potřebná ke zpracování a odeslání jedné události, tedy mrtvá doba, jako  $\tau = 484 \mu$ s. Mrtvá doba přibližně odpovídá dobře teoretické, přičemž její reálná hodnota je na výše načekáním stavového automatu (jeden hodinový takt) mezi odesíláním jednotlivých datových slov. V této konfiguraci je z dávky osmi příchozích událostí zpracována jen jedna.

Z průběhů signálů měřených v případě konfigurace bez BUSY logiky je patrný nedostatek tohoto zapojení. Systém se pokouší digitalizovat data ze všech příchozích událostí. Kompletně je změřeno jen několik událostí, jejichž digitalizovaná data se vejdu do paměti FIFO. Ostatní události nemají požadovaný počet vzorků.

Z průběhů signálů měřených v případě konfigurace s derandomizací dat blokování (Trigger signálu Full signálem) je patrný větší počet zpracovaných událostí. Konkrétně je z osmi příchozích událostí zpracováno pět událostí.

Dále byla pomocí konzolové aplikace ukládána naměřená data, která jsou uvedena na Obr. 94 a Obr. 95.

K práci je přiložena celková dokumentace zapojení jednotlivých desek plošných spojů a jejich návrh. Dále je přiložen firmware pro FPGA a konzolová aplikace pro sběr a uložení dat.

## 8 Seznam literatury a informačních zdrojů

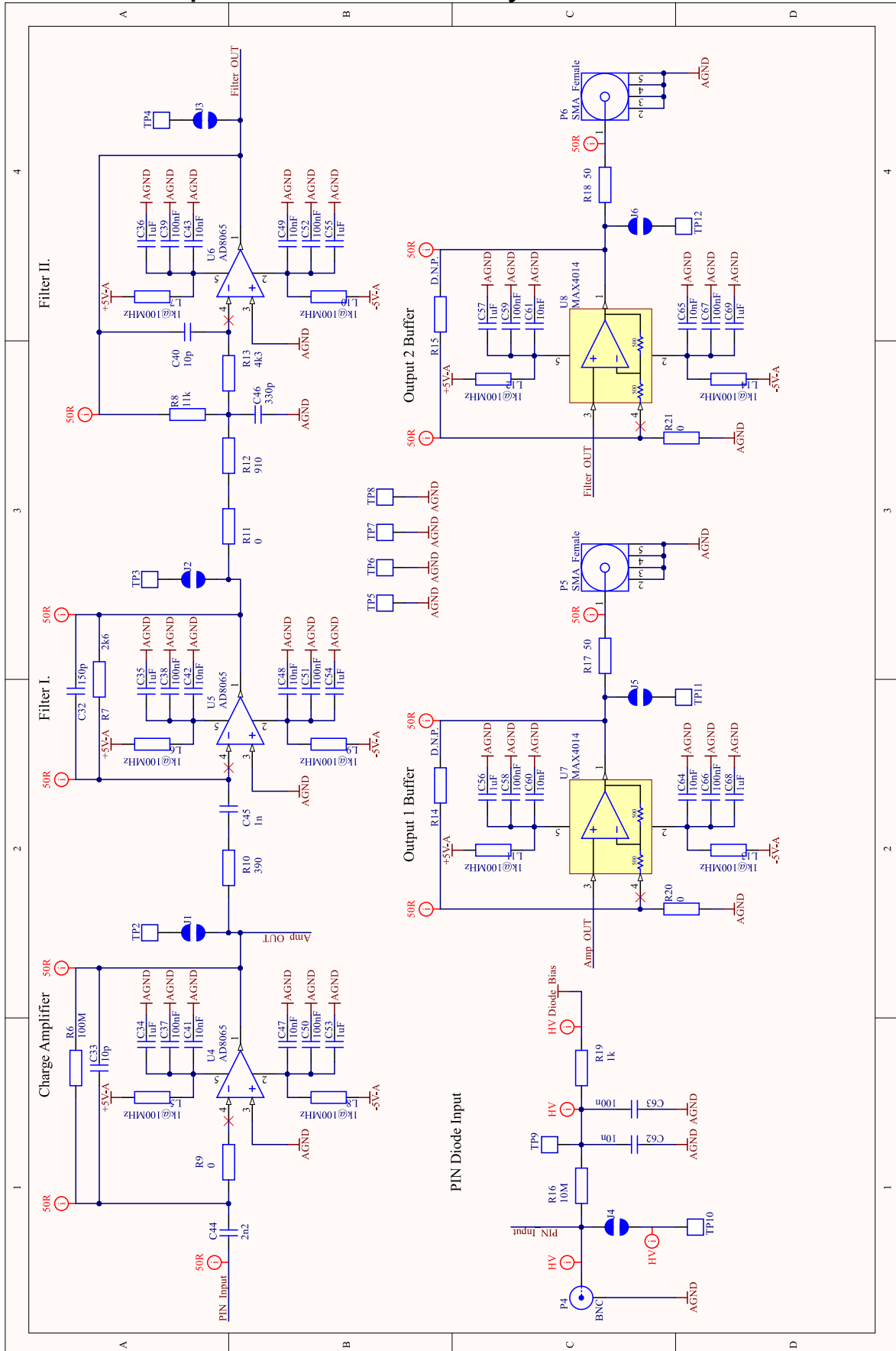
- [1] Data acquisition - Wikipedia. [online]. [cit. 13.04.2021]. Dostupné z:  
[https://en.wikipedia.org/wiki/Data\\_acquisition](https://en.wikipedia.org/wiki/Data_acquisition)
- [2] Particle physics - Wikipedia. [online]. [cit. 13.04.2021]. Dostupné z:  
[https://en.wikipedia.org/wiki/Particle\\_physics](https://en.wikipedia.org/wiki/Particle_physics)
- [3] FITPixLite – Compact Particle Detector. [online]. Copyright © [cit. 24.05.2021].  
Dostupné z: [https://tsv.zcu.cz/db/files/detector/leaflet\\_en.pdf](https://tsv.zcu.cz/db/files/detector/leaflet_en.pdf)
- [4] The ATLAS experiment. [online]. [cit. 24.05.2021]. Dostupné z:  
<http://hedberg.web.cern.ch/hedberg/home/atlas/atlas.html>
- [5] Ing. Giuseppe De Robertis, Home „Home · Agenda (Indico) [online]. Copyright ©  
[cit. 13.04.2021]. Dostupné z:  
[https://agenda.infn.it/event/15138/contributions/28606/attachments/20405/23148/D\\_AQ.pdf](https://agenda.infn.it/event/15138/contributions/28606/attachments/20405/23148/D_AQ.pdf)
- [6] NEGRI, Andrea. Introduction to Data Acquisition. In: ISOTDAQ 2020. Valencia, 2020.
- [7] Caesium-137 - Wikipedia. [online]. [cit. 1.05.2021]. Dostupné z:  
<https://en.wikipedia.org/wiki/Caesium-137>
- [8] Ullmann, Vojtěch. *Detekce a spektrometrie ionizujícího záření* [online]. [cit. 1.05.2021]. Dostupné z: <http://www.astronuklfyzika.cz/DetekceSpektrometrie.htm>
- [9] *AD8065 datasheet*. ANALOG DEVICES. [cit. 28. 3. 2021]. Dostupné z:  
[https://cz.mouser.com/datasheet/2/609/AD8065\\_KGD\\_CHIP-1601994.pdf](https://cz.mouser.com/datasheet/2/609/AD8065_KGD_CHIP-1601994.pdf)
- [10] *MAX4014 datasheet*. Maxim Integrated. [cit. 28. 3. 2020]. Dostupné z:  
<https://cz.mouser.com/datasheet/2/256/MAX4014-MAX4022-1515736.pdf>
- [11] *MAX16990 datasheet*. Maxim Integrated. [cit. 28. 3. 2021]. Dostupné z:  
[https://cz.mouser.com/datasheet/2/256/MAX16990\\_MAX16992-437459.pdf](https://cz.mouser.com/datasheet/2/256/MAX16990_MAX16992-437459.pdf)
- [12] *ADCMP582 datasheet*. ANALOG DEVICES. [cit. 28. 3. 2021]. Dostupné z:  
[https://cz.mouser.com/datasheet/2/609/ADCMP580\\_581\\_582-1502679.pdf](https://cz.mouser.com/datasheet/2/609/ADCMP580_581_582-1502679.pdf)
- [13] *MC100LVEL05 datasheet*. ON Semiconductor. [cit. 28. 3. 2021]. Dostupné z:  
[https://cz.mouser.com/datasheet/2/308/1/MC100LVEL05\\_D-2315365.pdf](https://cz.mouser.com/datasheet/2/308/1/MC100LVEL05_D-2315365.pdf)
- [14] *SY100EL29V datasheet*. Microchip. [cit. 10. 4. 2021]. Dostupné z:  
[https://cz.mouser.com/datasheet/2/268/SY100EL29V\\_5V\\_3\\_3V\\_Dual\\_Differential\\_Data\\_and\\_Cloc-1891414.pdf](https://cz.mouser.com/datasheet/2/268/SY100EL29V_5V_3_3V_Dual_Differential_Data_and_Cloc-1891414.pdf)

- [15] SN65LVDS20*datasheet*. Texas Instruments. [cit. 10. 4. 2021]. Dostupné z: [https://www.ti.com/lit/ds/symlink/sn65lvds20.pdf?HQS=dis-mous-null-mousermode-dsf-pf-null-ww&ts=1621254937356&ref\\_url=https%253A%252F%252Fcz.mouser.com%252F](https://www.ti.com/lit/ds/symlink/sn65lvds20.pdf?HQS=dis-mous-null-mousermode-dsf-pf-null-ww&ts=1621254937356&ref_url=https%253A%252F%252Fcz.mouser.com%252F)
- [16] SN65LVDS2*datasheet*. Texas Instruments. [cit. 10. 4. 2021]. Dostupné z: [https://www.ti.com/lit/ds/symlink/sn65lvds2.pdf?HQS=dis-mous-null-mousermode-dsf-pf-null-ww&ts=1621255052716&ref\\_url=https%253A%252F%252Fcz.mouser.com%252F](https://www.ti.com/lit/ds/symlink/sn65lvds2.pdf?HQS=dis-mous-null-mousermode-dsf-pf-null-ww&ts=1621255052716&ref_url=https%253A%252F%252Fcz.mouser.com%252F)
- [17] MAX9375 *datasheet*. Maxim Integrated. [cit. 10. 4. 2021]. Dostupné z: <https://cz.mouser.com/datasheet/2/256/MAX9375-1516109.pdf>
- [18] AD8138 *datasheet*. ANALOG DEVICES. [cit. 12. 5. 2021]. Dostupné z: <https://cz.mouser.com/datasheet/2/609/AD8138-1921789.pdf>
- [19] LTC2250 *datasheet*. LINEAR TECHNOLOGY. [cit. 12. 5. 2021]. Dostupné z: <https://cz.mouser.com/datasheet/2/609/22510fa-1271967.pdf>
- [20] CA32 *datasheet*. CTS. [cit. 12. 5. 2021]. Dostupné z: <https://cz.mouser.com/datasheet/2/96/CA32-1545867.pdf>
- [21] EPCQ-A *datasheet*. Intel. [cit. 12. 5. 2021]. Dostupné z: [https://cz.mouser.com/datasheet/2/612/cfg\\_cf52014-1279436.pdf](https://cz.mouser.com/datasheet/2/612/cfg_cf52014-1279436.pdf)
- [22] Intel | *Data Center Solutions, IoT, and PC Innovation* [online]. Copyright ©N [cit. 15. 5. 2021]. Dostupné z: <https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/hb/cyclone-iv/cyclone4-handbook.pdf>
- [23] 93LC86A *datasheet*. Microchip. [cit. 12. 5. 2021]. Dostupné z: <https://cz.mouser.com/datasheet/2/268/21797J-7556.pdf>
- [24] FT232H *datasheet*. FTDI. [cit. 12. 5. 2021]. Dostupné z: [https://www.tme.eu/Document/c4ffa18cd2872e59c24398cbefec4991/DS\\_FT232H.pdf](https://www.tme.eu/Document/c4ffa18cd2872e59c24398cbefec4991/DS_FT232H.pdf)
- [25] Utilities - FTDI. *Future Technology Devices International Ltd - FTDI* [online]. Copyright © 2021 Future Technology Devices International Limited. All Rights Reserved [cit. 24.05.2021]. Dostupné z: <https://ftdichip.com/utilities/>
- [26] 93LC56BT *datasheet*. Microchip. [cit. 12. 5. 2021]. Dostupné z: <https://cz.mouser.com/datasheet/2/268/21794b-74044.pdf>

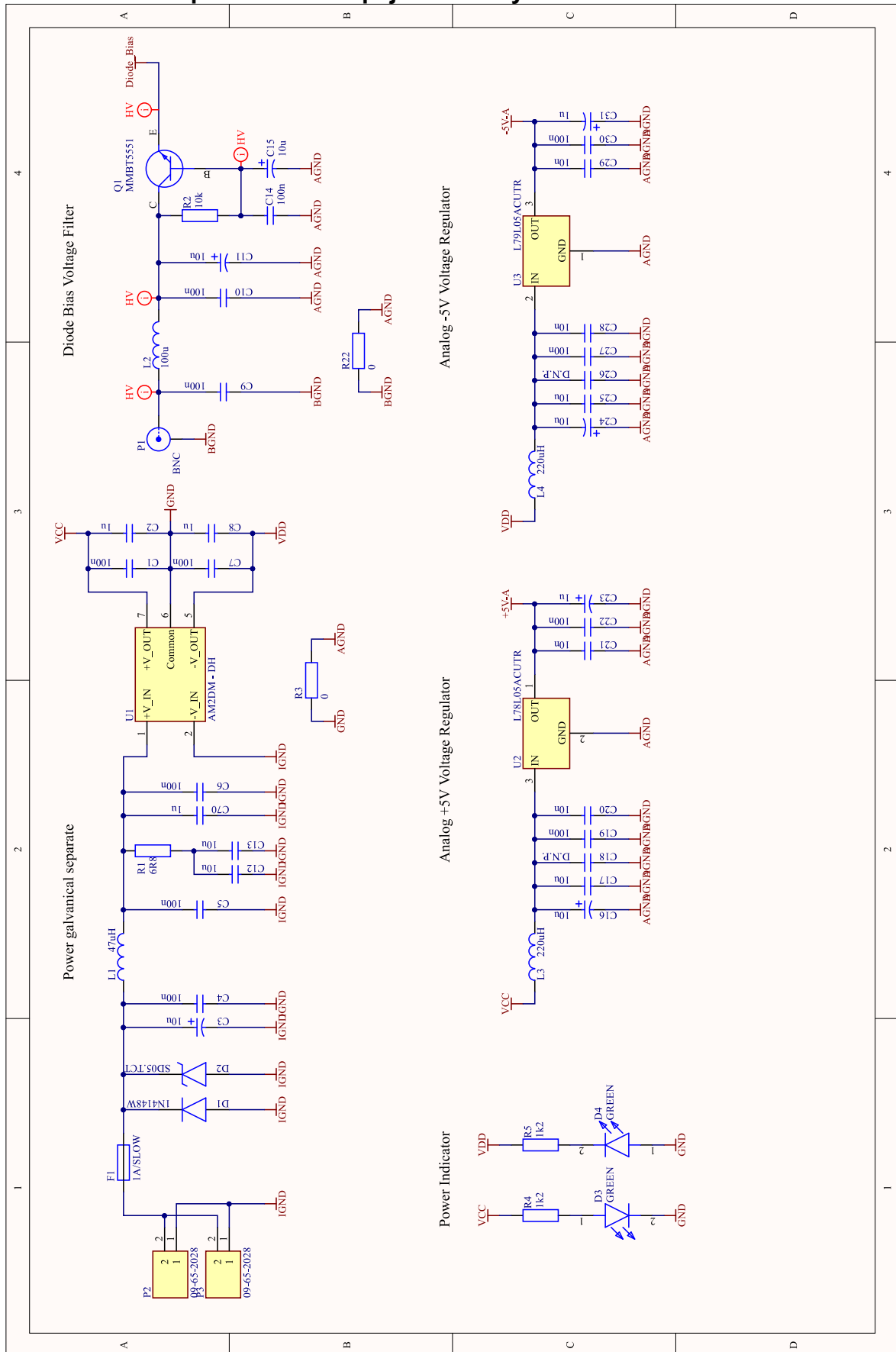
- [27] LP38500SD-ADJ *datasheet*. Texas Instruments. [cit. 13. 5. 2021]. Dostupné z:  
[https://www.ti.com/lit/ds/symlink/lp38500-adj.pdf?HQS=dis-mous-null-mousermode-dsf-pf-null-ww&ts=1621587729827&ref\\_url=https%253A%252F%252Fcz.mouser.com%252F](https://www.ti.com/lit/ds/symlink/lp38500-adj.pdf?HQS=dis-mous-null-mousermode-dsf-pf-null-ww&ts=1621587729827&ref_url=https%253A%252F%252Fcz.mouser.com%252F)
- [28] LP5900 *datasheet*. Texas Instruments. [cit. 13. 5. 2021]. Dostupné z:  
[https://www.ti.com/lit/ds/symlink/lp5900.pdf?HQS=dis-mous-null-mousermode-dsf-pf-null-ww&ts=1621510382835&ref\\_url=https%253A%252F%252Fru.mouser.com%252F](https://www.ti.com/lit/ds/symlink/lp5900.pdf?HQS=dis-mous-null-mousermode-dsf-pf-null-ww&ts=1621510382835&ref_url=https%253A%252F%252Fru.mouser.com%252F)
- [29] ŠIMEK, Martin. RICE 4V Stackup. PragoBoard, 10.6.2015.

# 9 Přílohy

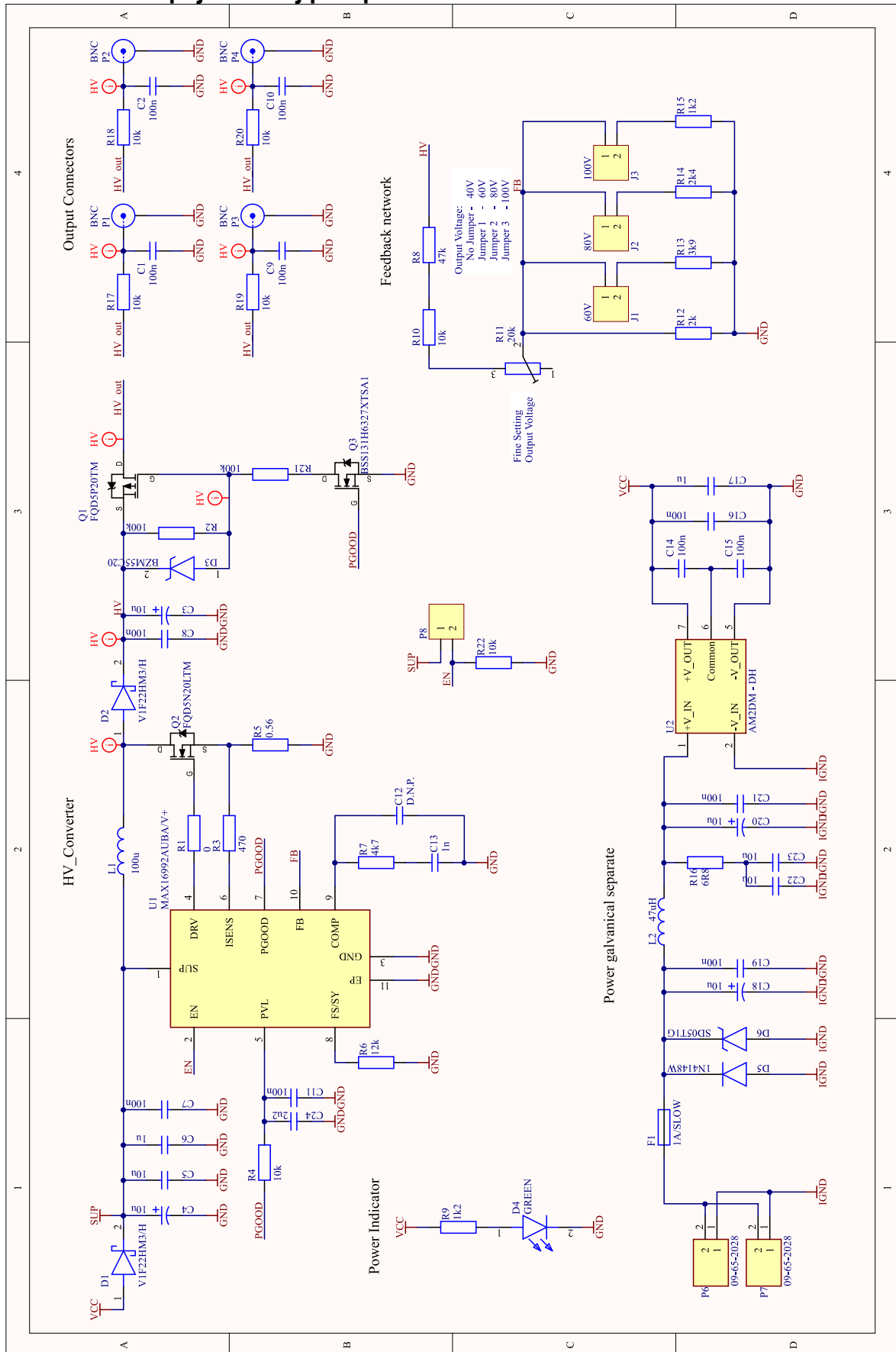
## Příloha A – Vstupní deska – Zesilovač a filtry



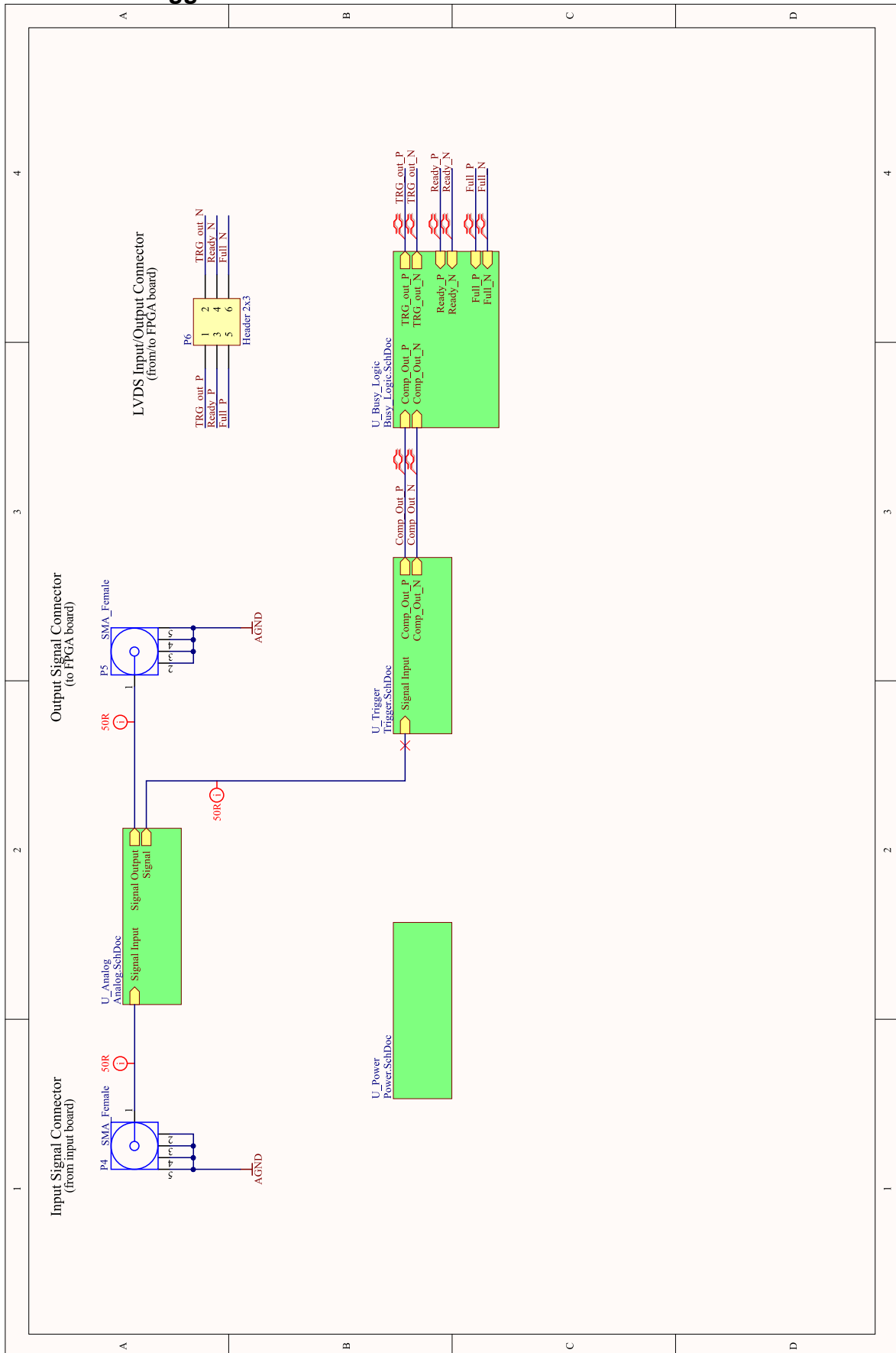
Příloha B – Vstupní deska – Napájecí obvody



Příloha C – Napájecí zdroj předpětí

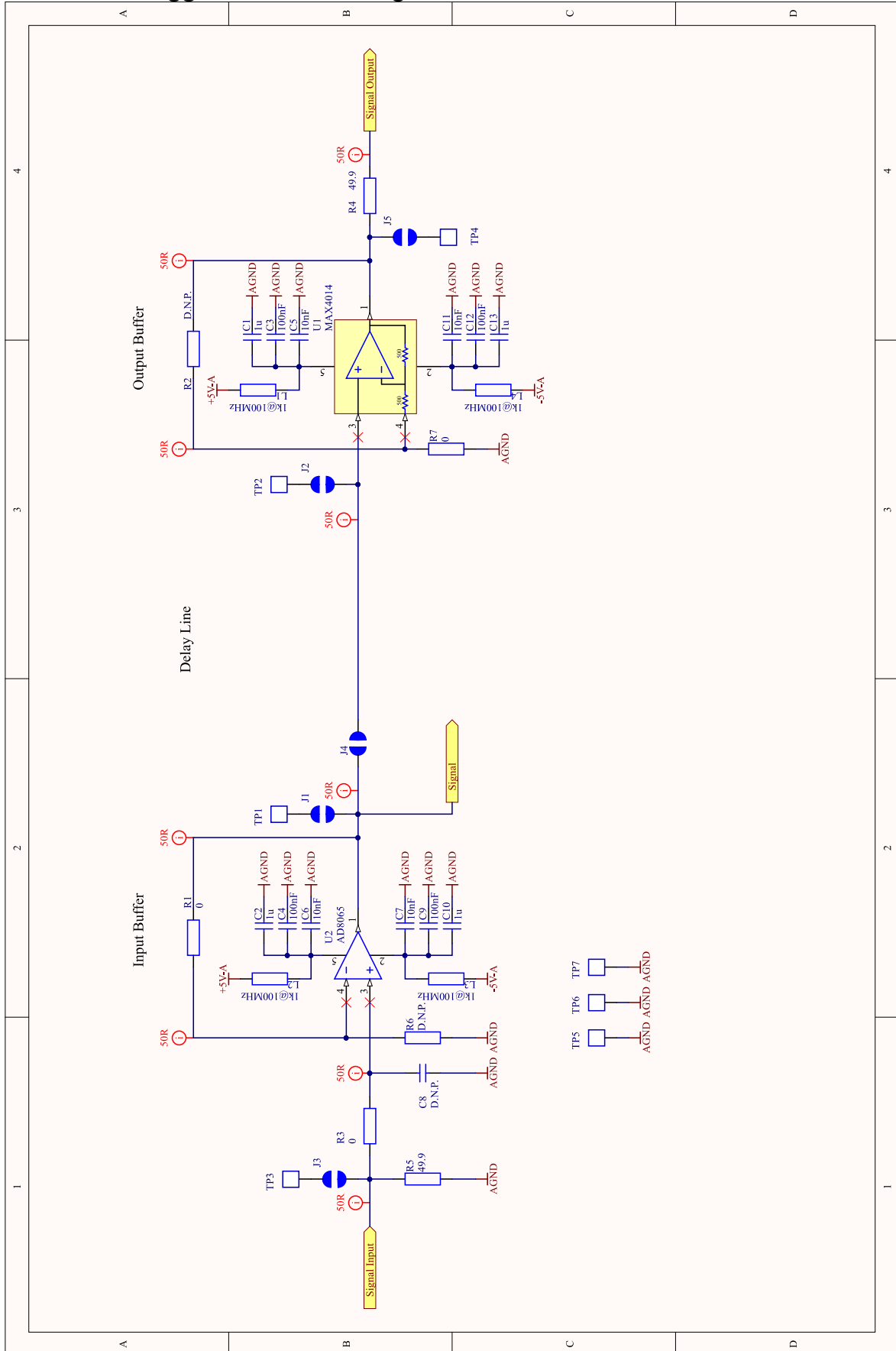


**Příloha D – Trigger deska – Blokové schéma**

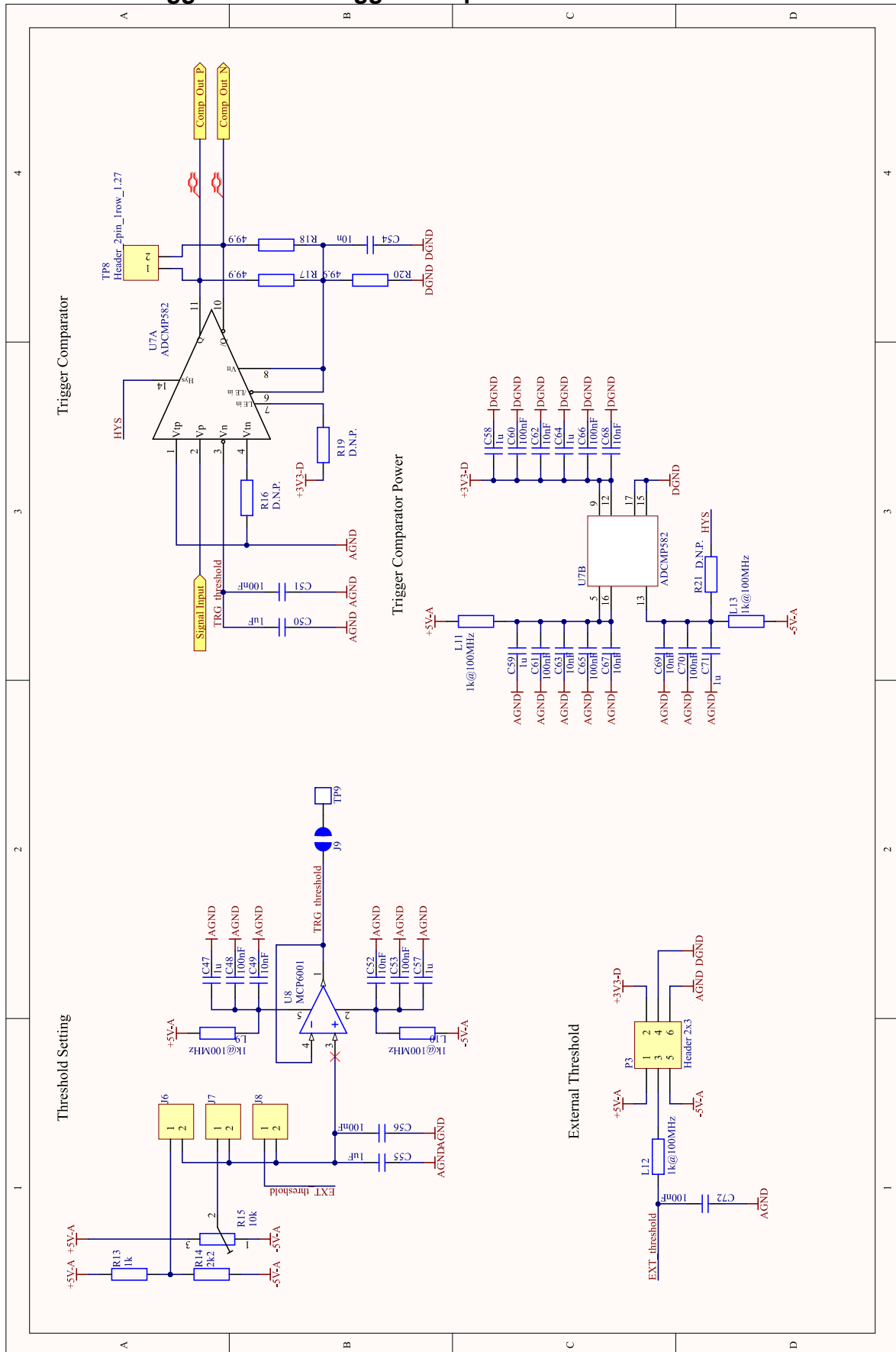




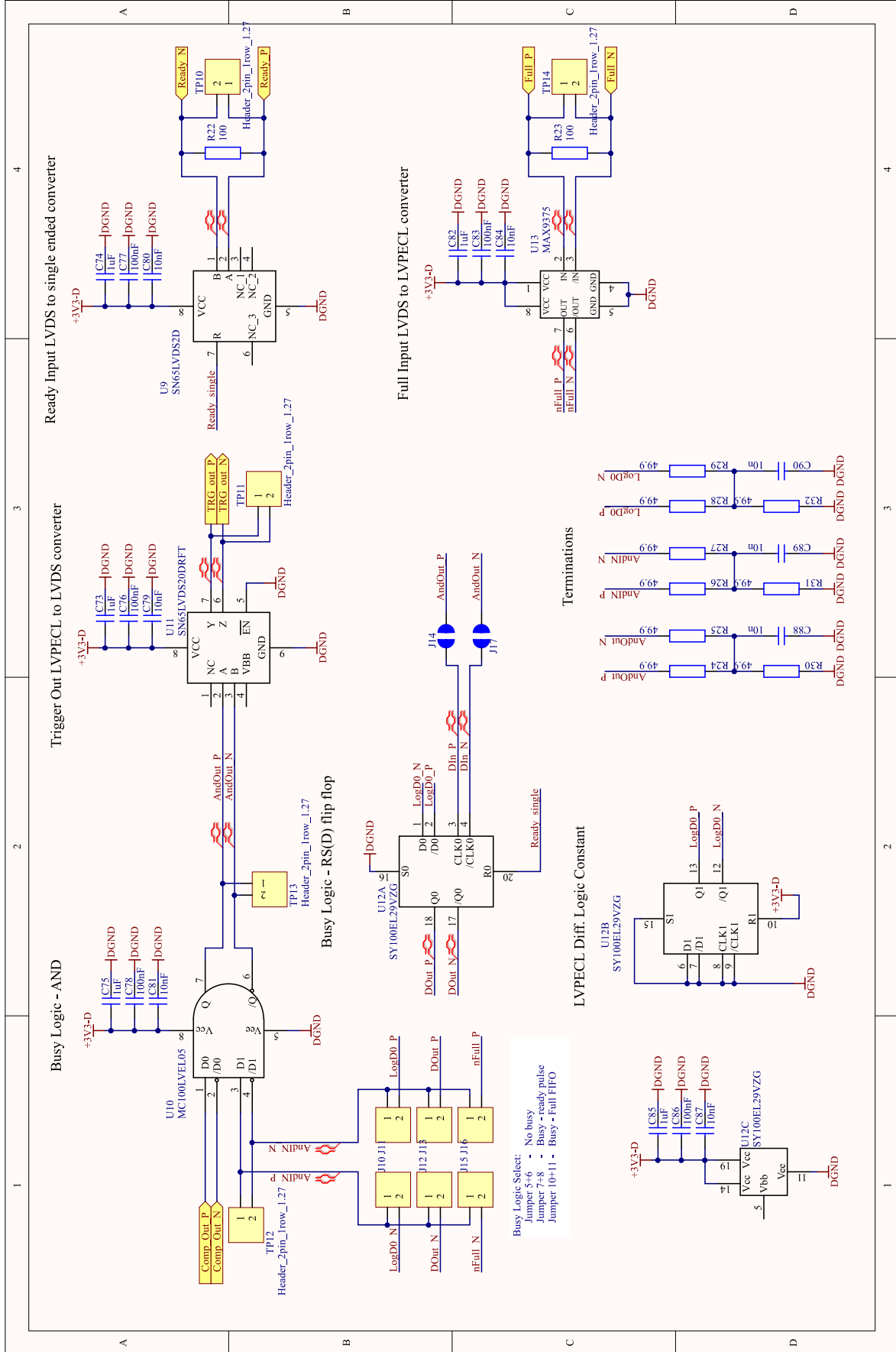
Příloha E – Trigger deska – Analogová část



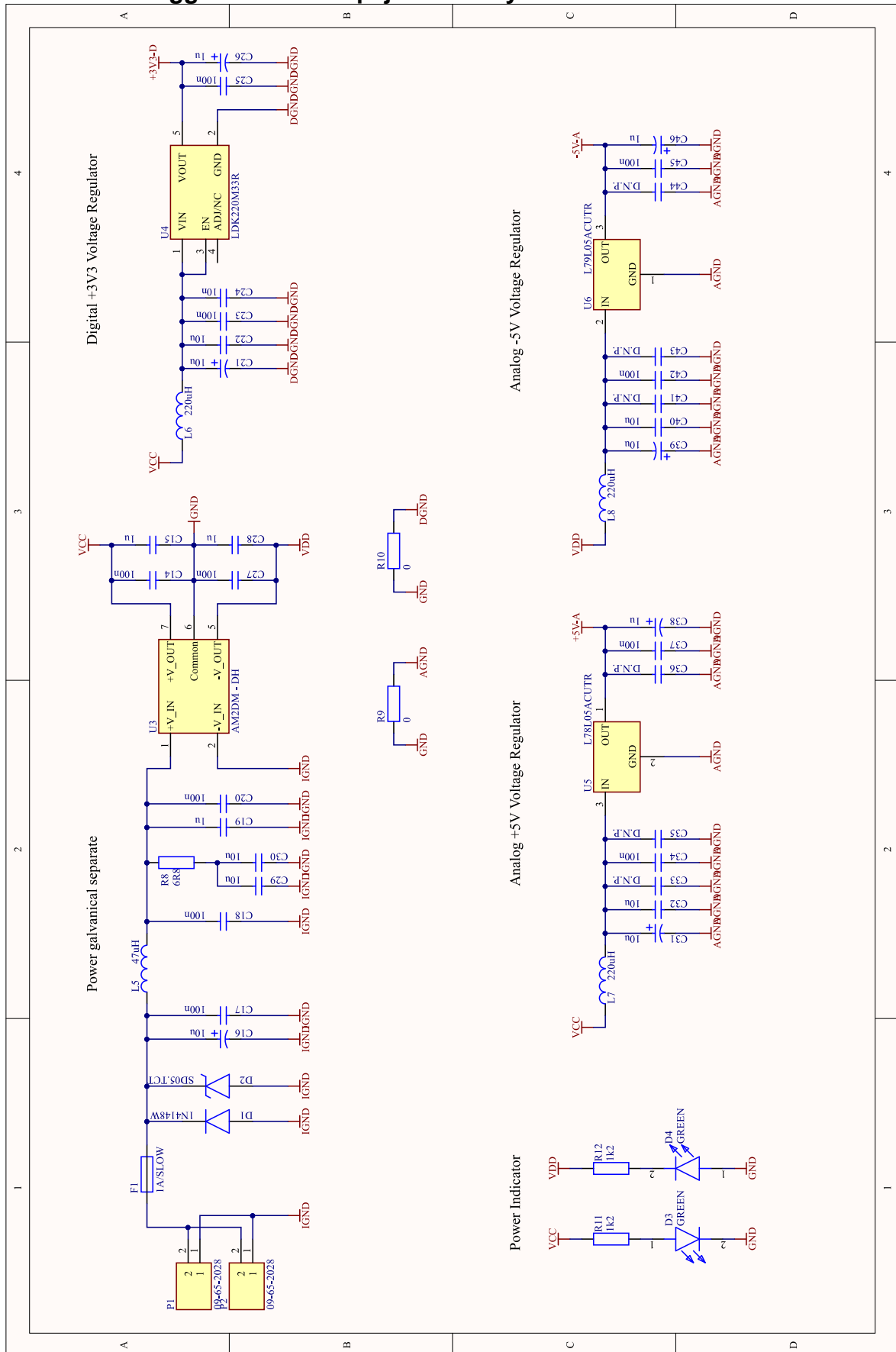
Příloha F – Trigger deska – Trigger komparátor



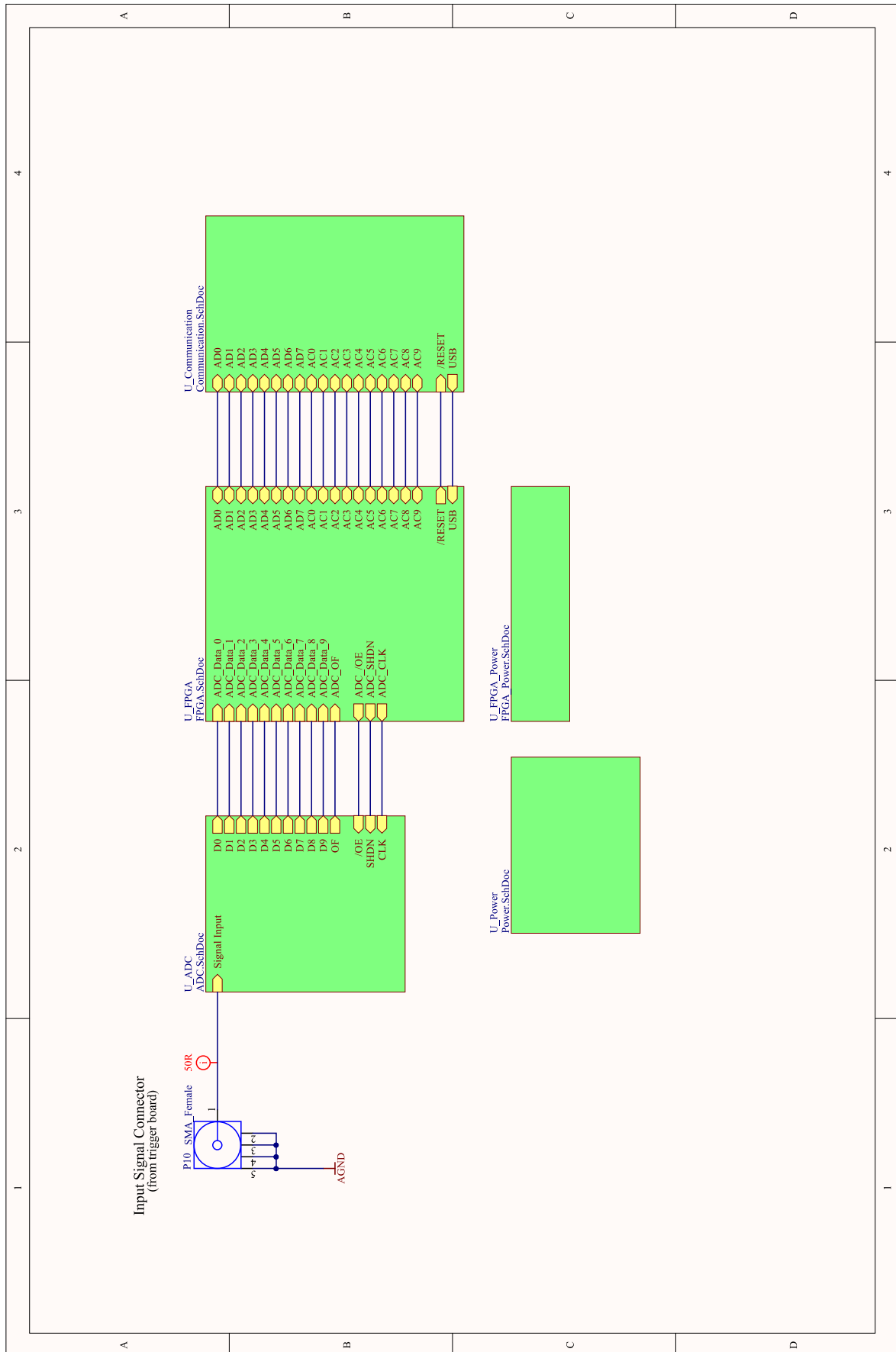
**Příloha G – Trigger deska – BUSY logika**



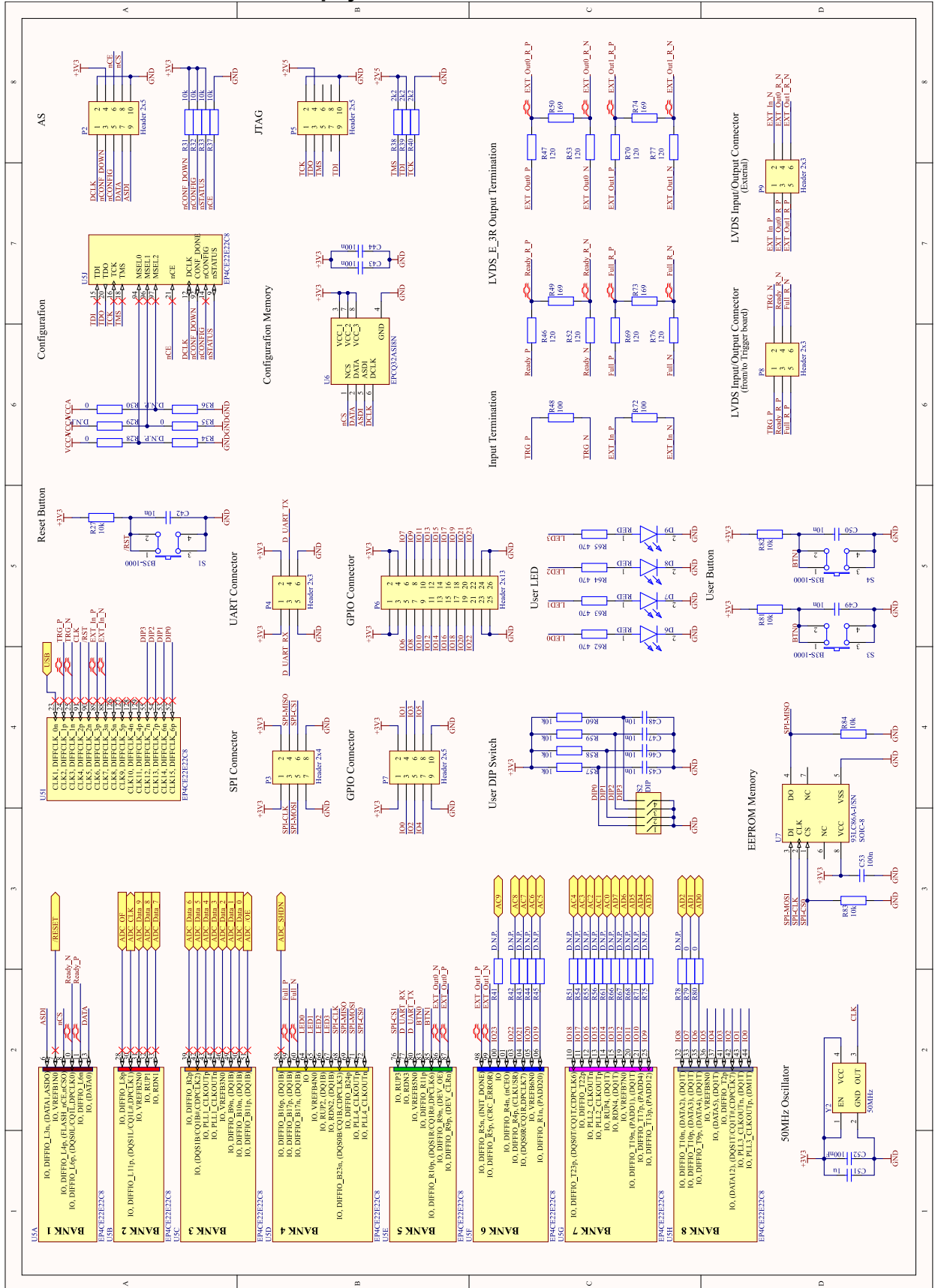
Příloha H – Trigger deska – Napájecí obvody



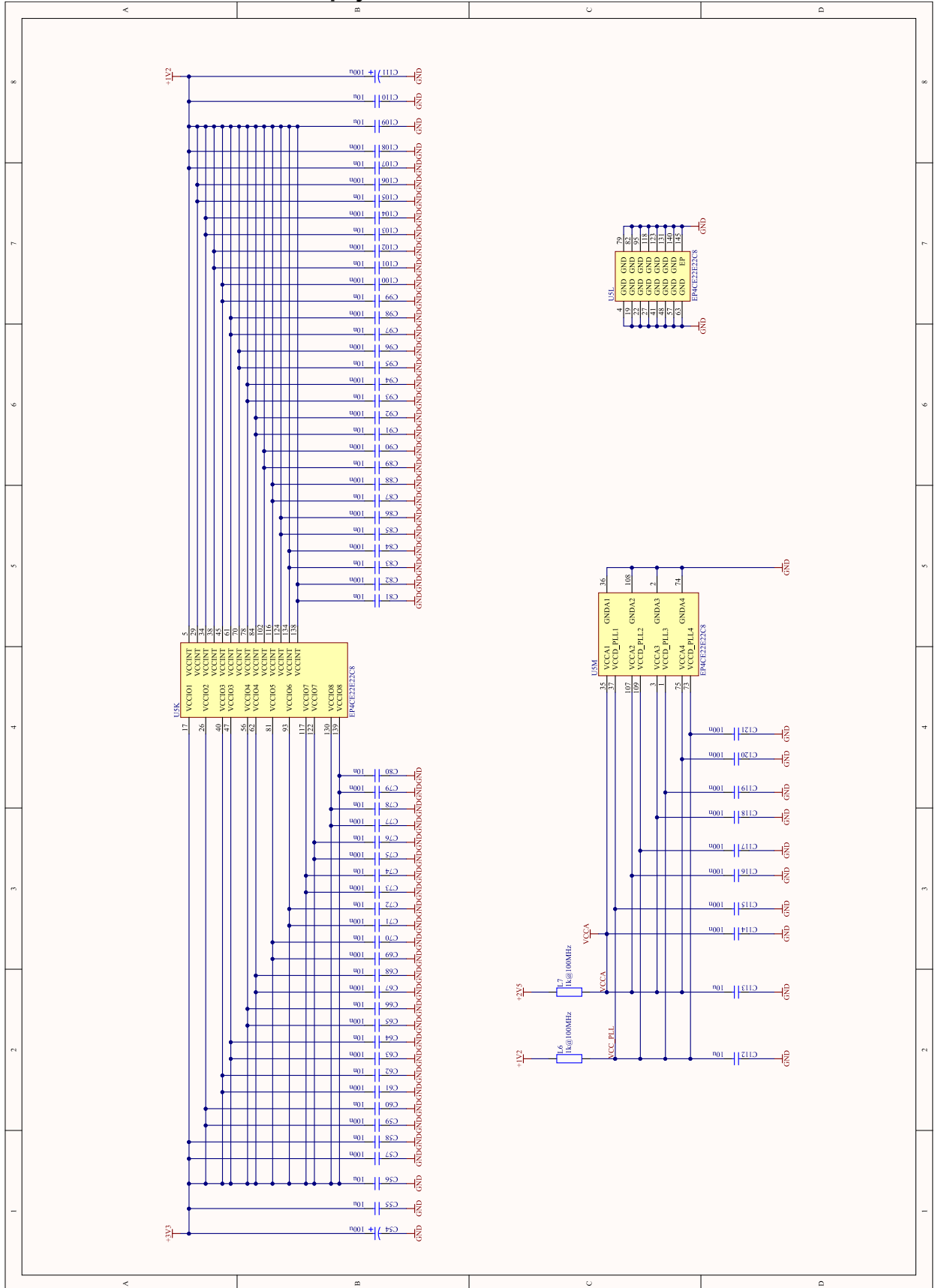
Příloha I – FPGA deska – Blokové schéma



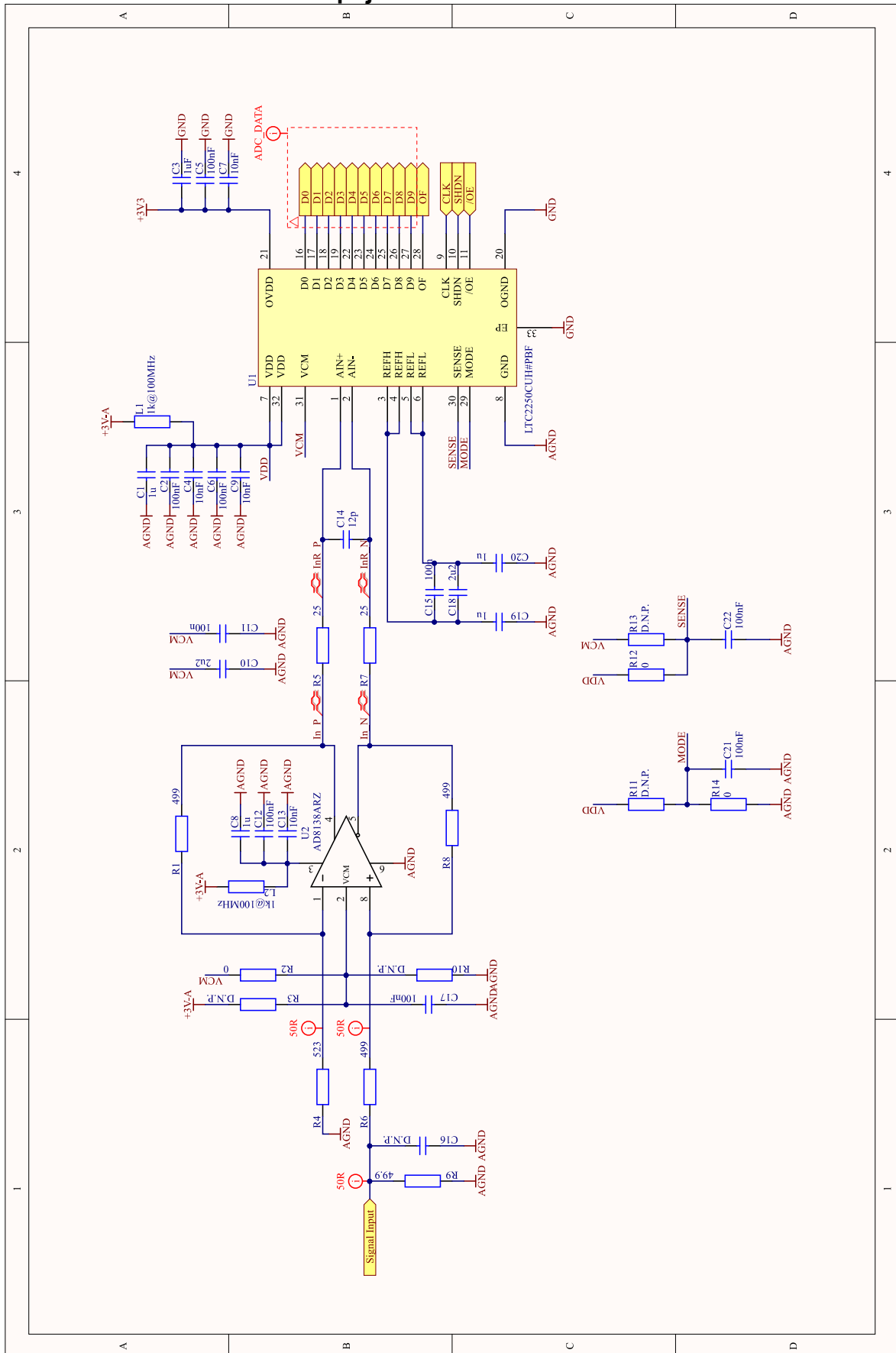
Příloha I – FPGA deska – Zapojení FPGA



Příloha J – FPGA deska – Napájení FPGA

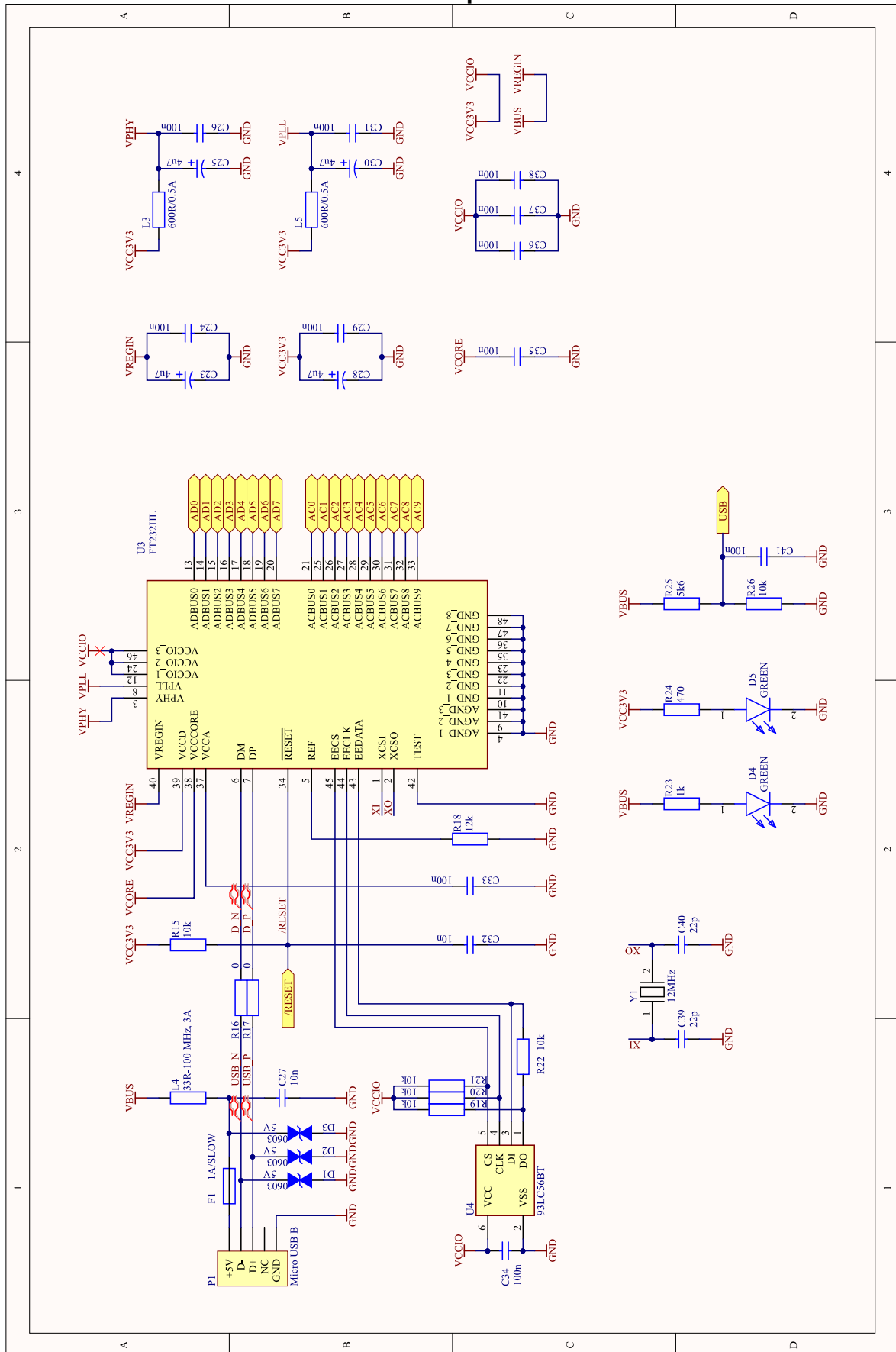


Příloha K – FPGA deska – Zapojení ADC

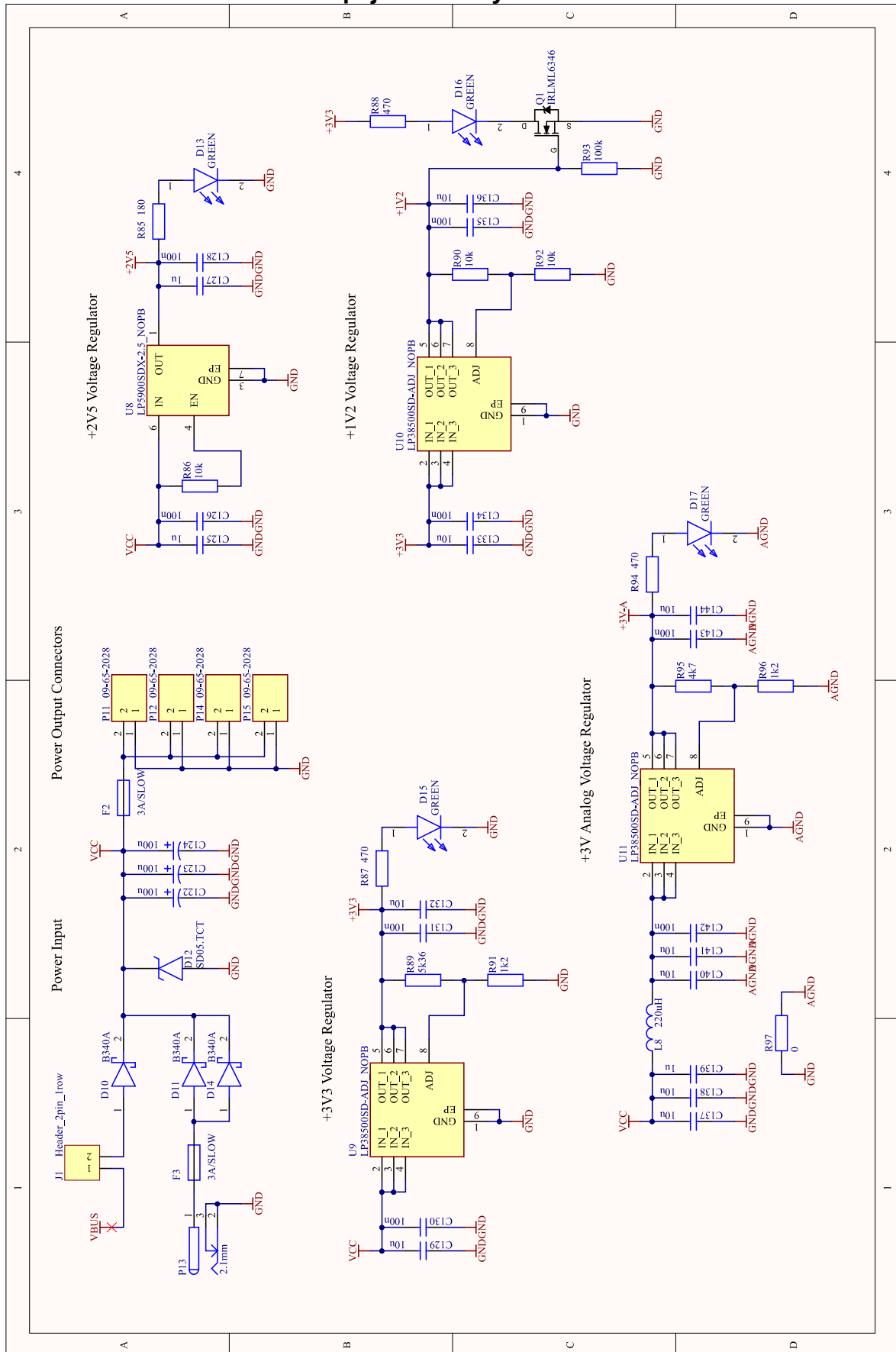




Příloha L – FPGA deska – Komunikační periférie

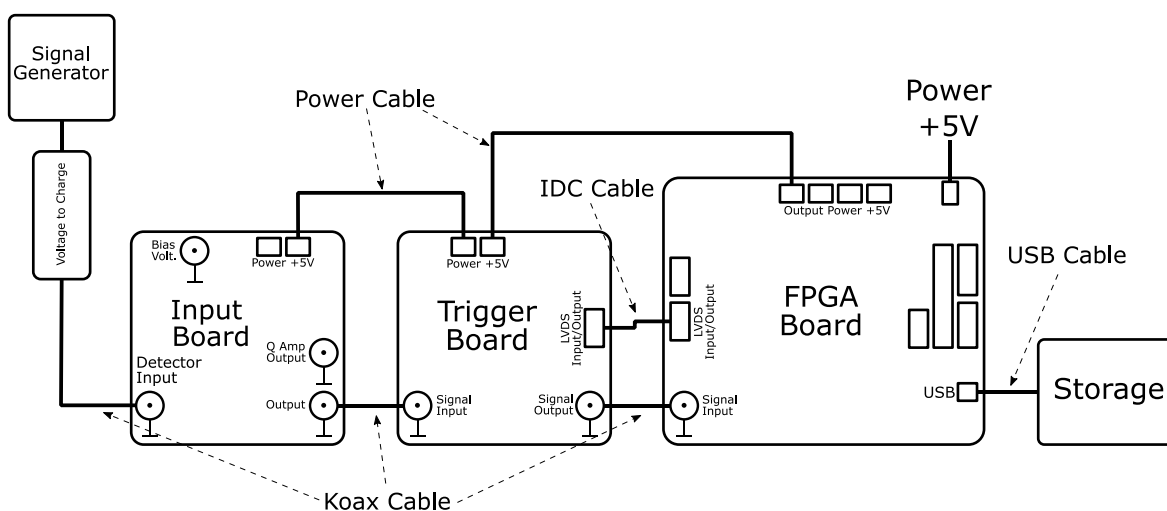


Příloha M – FPGA deska – Napájecí obvody

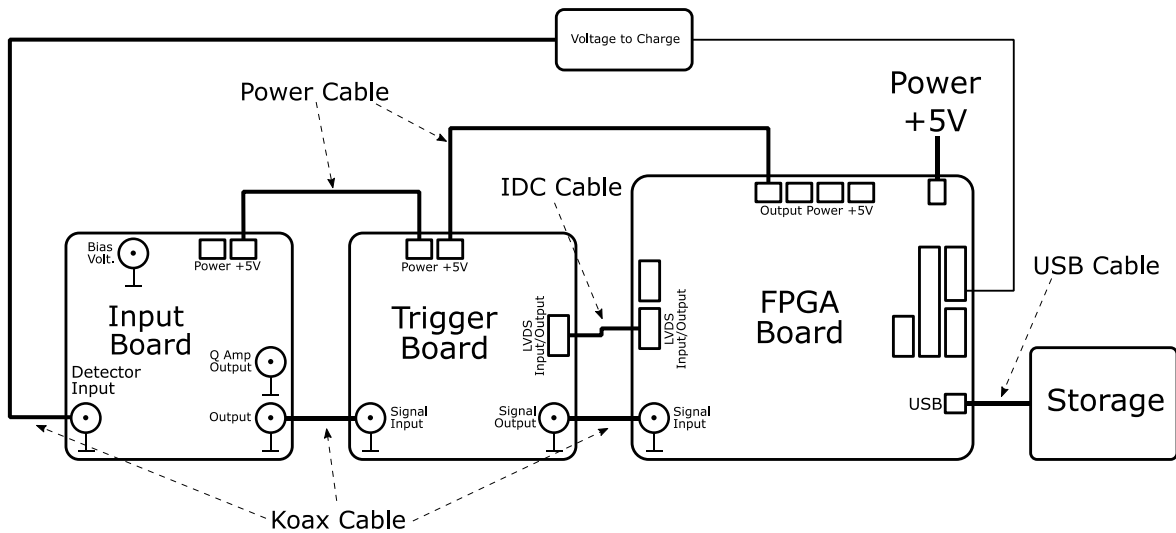


## Příloha N – Návod k obsluze a laboratorní úloha

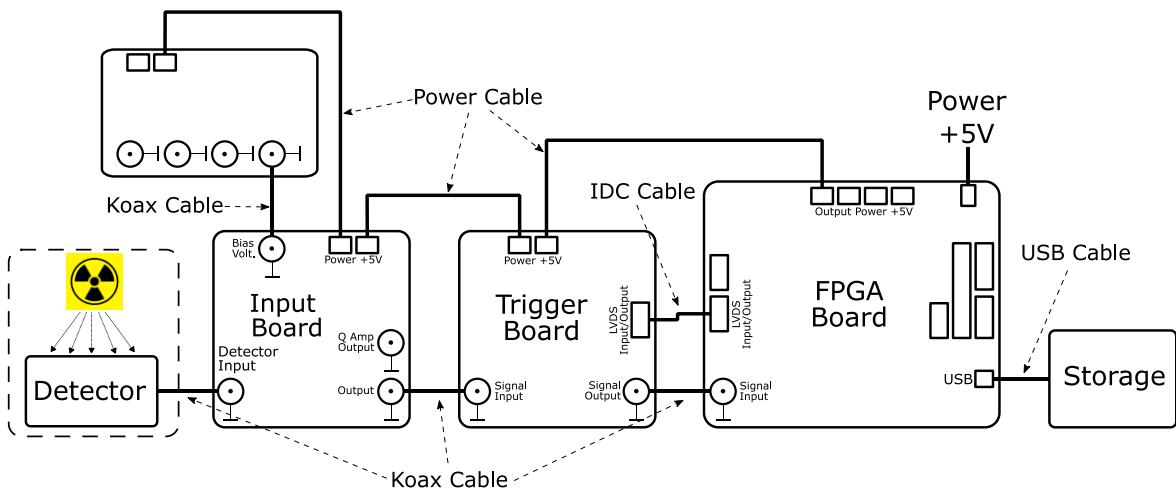
- 1) Pro měření vlastností a parametrů DAQ zapojte DAQ řetězec podle Obrázek 1 nebo podle Obrázek 2. Pokud je dostupný vhodný signálový generátor, využijte zapojení na Obrázek 1, pokud dostupný není, využijte testovací signál generovaný FPGA deskou podle Obrázek 2. V tomto případě není nutné připojení zařízení pro ukládání dat.
- 2) Osciloskopem sledujte analogový signál na výstupu trigger desky (TP4). Dále osciloskopem nebo logickým analyzátozem sledujte signály vyvedené na konektoru GPIO1. Jedná se o single-ended signály z LVDS konektorů propojení s trigger deskou a signál Data Enable, který určuje, kdy jsou sbírána data z ADC. Dále je možné sledovat výstupní signál pro UART na pinu 6 konektoru GPIO2. DAQ systém lze aktivovat a deaktivovat tlačítkem BTN1. Aktivní DAQ systém je signalizován svítem LED D6.
- 3) Signály sledujte pro různé volby BUSY logiky na trigger desce.
- 4) Dále zapojte DAQ řetězec podle Obrázek 3 pro měření s polovodičovým detektorem. Pomocí této konfigurace nasnímejte signál z polovodičového detektoru vytvořený zdrojem ionizujícího záření. V tomto případě připojte zařízení pro ukládání (osobní počítač nebo storage server). Z naměřených dat je poté možné určit energetické spektrum ionizujícího záření.



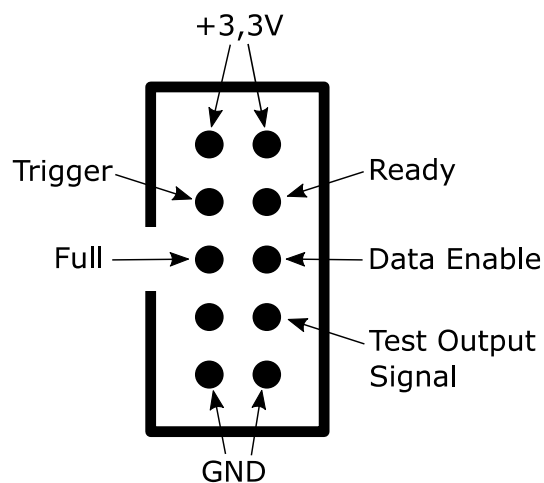
Obrázek 1: Zapojení DAQ řetězce se vstupem ze signálového generátoru



Obrázek 2: Zapojení DAQ řetězce se vstupem generovaným z FPGA



Obrázek 3: Zapojení DAQ s řetězcem s polovodičovým detektorem



Obrázek 4: Zapojení konektoru GPIO1