

ZÁPADOČESKÁ UNIVERZITA V PLZNI

**FAKULTA
ELEKTROTECHNICKÁ**

DISERTAČNÍ PRÁCE

PLZEŇ, 2011

Ing. Zuzana Petránková

Západočeská univerzita v Plzni

Fakulta elektrotechnická

DISERTAČNÍ PRÁCE

**k získání akademického titulu doktor
v oboru**

Elektronika

Ing. Zuzana Petránková

**Řiditelné stabilizované zdroje napětí
a proudu**

Školitel: Prof. Ing. Milan Štork, CSc.

Datum státní doktorské zkoušky: 10.12.2007

Datum odevzdání práce:

V Plzni, 2011

Prohlášení

Předkládám tímto k posouzení a obhajobě disertační práci, zpracovanou v rámci doktorského studia na Fakultě elektrotechnické, katedře aplikované elektrotechniky a telekomunikací Západočeské univerzity v Plzni.

Prohlašuji, že jsem tuto disertační práci vypracovala samostatně, s použitím odborné literatury, vlastních měření a pramenů, uvedených v seznamu použité literatury, který je součástí této práce.

Využití a společenské uplatnění výsledků této práce, včetně uvádění vědeckých, výrobně technických poznatků nebo jakékoliv nakládání s nimi, je možné pouze na základě autorské smlouvy a souhlasu Fakulty elektrotechnické Západočeské univerzity v Plzni.

V Plzni dne 10.10.2011

Zuzana Petránková

Poděkování

Děkuji vedoucímu disertační práce prof. Ing. Milanu Štorkovi, CSc. a celému kolektivu pracovníků Katedry aplikované elektroniky a telekomunikací za poskytnutí cenných rad a technickou pomoc v průběhu tvorby této disertační práce.

Děkuji mé rodině, přátelům a kolegům za pomoc a trpělivost, kterou měli.

Děkuji svému otci in memoriam za inspiraci.

Zuzana Petránková

Název:

Řiditelné stabilizované zdroje napětí a proudu

Anotace:

Tato práce se zabývá návrhem a vývojem číslicově řízených třífázových zdrojů napětí a proudu. Hlavní motivací pro tento vývoj je omezená nabídka profesionálních říditelných střídavých zdrojů. Číslicově nastavitelnými parametry jsou kmitočet, amplitudy a vzájemný fázový posuv dvou nezávislých sinusových systémů. Nastavení požadovaných parametrů je prováděno přenosem dat z řídicího počítače. V textu jsou popsány různé možnosti realizace. Detailně je popsáno zvolené řešení a dosažené parametry. Realizované třífázové zdroje mají možnost nastavení kmitočtu v rozsahu 30 až 144 Hz s rozlišením 0.0001 Hz, fázového posunu v rozsahu 0 až 360 stupňů s rozlišením 0.01 stupně. Efektivní hodnota napětí je nastavitelná v rozsahu 0 - 120 V s rozlišením 0.1 V. Efektivní hodnota proudu je nastavitelná v rozsahu 0 až 8 A s rozlišením 0.01 A. Všechny výstupní fáze jsou galvanicky odděleny od sítě a od sebe navzájem. Galvanické oddělení je realizováno použitím transformátorů.

Klíčová slova:

VHDL, programovatelné logické pole, FPGA, zdroj napětí, zdroj proudu

Title:

Controllable Current and Voltage Power Sources

Abstract:

This thesis deals with development and design of digitally controllable three-phase current and voltage power sources. The main parameters of the power source are digitally controlled: a frequency, a phase-shift and amplitudes of two separate sine-wave systems. Possibilities and means of implementation are described. In the following text more details are discussed and a verified solution is described. These power sources are not easily available. This is the reason why this development was done. The required parameters of power sources are: extent of voltage controllable in the range from 0 to 120 volts, current in the range from 0 to 8 amperes. The extent of frequency is controllable in the range from 30 to 144 Hz, the phase-shift is controllable in the range from 0 to 360 degree. The control of power sources is done via PC. The basic step in output voltage is 0.1 volts, the basic step in current is 0.01 amperes, the basic step in phase-shift is 0.01 degree, the basic step in frequency is 0.0001 Hz. The three-phase voltage and the three-phase current systems are galvanic separated. There are various possibilities of voltage and current control. The galvanic separation was done using power transformers.

Key words:

VHDL, programmable logic array, FPGA, source of voltage, source of current

Obsah

Seznam obrázků	vii
1 Úvod	1
2 Cíle disertační práce	2
3 Přehled o současném stavu problematiky	3
4 Popis vlastního řešení	6
4.1 Zdroje s vyšším napájecím napětím	6
4.2 Zdroje s nižším napájecím napětím	7
4.3 Střídavé stabilizátory napětí	8
4.3.1 Zesilovače ve třídě B	9
4.3.2 Zesilovače ve třídě D	10
4.4 Střídavé stabilizátory proudu	11
4.5 Způsob vytvoření zdrojů referenčního napětí	12
4.5.1 Princip přímé číslicové syntézy	12
4.5.2 Spektrální vlastnosti signálu vytvořeného pomocí DDS	13
4.5.3 Výpočet generované funkce v reálném čase	17
4.5.4 Metody číslicového generování vzorků signálů - shrnutí	22
4.6 Řídicí jednotka zdrojů	23
4.6.1 Řídicí modul	24
4.6.2 Realizace zdrojů referenčních napětí	25
4.6.3 Návrh číslicového systému obvodu FPGA pro řídicí jednotku zdrojů	27
4.6.4 Testovací aplikace	29
4.6.5 Spektrální vlastnosti referenčních zdrojů	30
5 Původní výsledky, jejich uplatnění a možnosti pokračování práce	33
6 Závěr	37
Literatura	38
Seznam publikovaných prací	40
A Seznam příloh	43

Přehled označení a symbolů

<i>Označení</i>	<i>Význam</i>
CORDIC	Coordinate Rotation Digital Computer, iterativní algoritmus pro výpočet vybraných matematických funkcí
CSI	Cascadable Serial Interface, kaskádní sériové rozhraní
DAC	Digital to Analog Converter, Číslicově analogový převodník
DDS	Direct Digital Synthesis, přímá číslicová syntéza
EPP	Enhanced Parallel Port, vysokorychlostní obousměrný přenos dat v poloduplexním režimu přes paralelní port
ETW	Equivalent Tuning Word, ekvivalentní akumulované číslo
FPGA	Field-Programmable Gate Array, programovatelné hradlové pole
GRR	Grand Repetition Rate, počet kroků akumulátoru fáze po kterém bude hodnota uložená v registru fáze shodná s původně přednastavenou hodnotou
I^2C	Internal Integrated Circuit, sériová sběrnice
LE	Logic Element, buňka programovatelného obvodu
NSR	Noise to Signal Ratio, odstup signálu od šumu
PC	Personal Computer, osobní počítač
PP	Počet Přetečení
RAM	Random-Access Memory, paměť pro čtení a zápis
ROM	Read-Only Memory, paměť pouze pro čtení
SFDR	Spurious Free Dynamic Range
SNR	Signal to Noise Ratio, odstup signálu od šumu
THD	Total Harmonic Distortion, činitel harmonického zkreslení
VHDL	Very-High-Speed Integrated Circuit Hardware Description Language, normalizovaný jazyk pro popis logických systémů
S_{max}	maximální úroveň zkreslení

Seznam obrázků

4.1	Oddělení třífázového zdroje od sítě (NS-napájecí síť,NZ-napájecí zdroj)	7
4.2	Oddělení třífázového zdroje se společným napájecím systémem od sítě (NS-napájecí síť,NZ-napájecí zdroj)	8
4.3	Střídavý stabilizátor napětí	9
4.4	Střídavý stabilizátor proudu	11
4.5	Blokové schéma přímé číslicové syntézy	12
4.6	Fázové kolo	14
4.7	Sekvence akumulátoru	15
4.8	Průběh chybového signálu	17
4.9	Blokové schéma sekvenční implementace algoritmu CORDIC	20
4.10	Blokové schéma číslicově řízeného generátoru s využitím metody CORDIC	20
4.11	Modifikovaná metoda CORDIC	21
4.12	Fotografie desky řídicí jednotky zdrojů	23
4.13	Blokové schéma řídicí jednotky zdrojů	24
4.14	Blokové schéma návrhu číslicového systému obvodu FPGA - realizace zdrojů referenčních napětí	26
4.15	Blokové schéma návrhu číslicového systému obvodu FPGA - řídicí jednotka zdrojů	28
4.16	Testovací aplikace	29
4.17	Spektrum generovaného signálu o kmitočtu 30Hz	30
4.18	Spektrum generovaného signálu o kmitočtu 60Hz	30
4.19	Spektrum generovaného signálu o kmitočtu 120Hz	31
5.1	Přední panel jednotky zdrojů modelu	33
5.2	Zadní panel jednotky zdrojů modelu	33
5.3	Blokové schéma modelu synchronního generátoru, blokového transformátoru a vedení	34
5.4	Měření zásahu hlídače podbuzení u generátoru 235MVA. Obrázek poskytla firma ZAT a.s.	35
5.5	Simulace zásahu hlídače podbuzení u generátoru 235MVA provedená simulačním programem Dynast. Matematický popis použitý v programu Dynast byl použit pro simulační program pracující v reálném čase. Obrázek poskytla firma ZAT a.s.	36
5.6	Simulace přechodného děje provedená pomocí jednotky zdrojů modelu a reálného regulátoru buzení. $X5 = Q[p \cdot j]$; $1[p \cdot j]$ odpovídá 235 MVA; $X50 = U_R[V]$. Údaj o jalovém výkonu byl vyhodnocen z třífázových soustav napětí a proudů, kde hodnoty napětí a proudu odpovídají hodnotám napětí a proudů z čidel generátoru (při jmenovitých parametrech generátoru je tato hodnota napětí $U_n = 57.7V$ a hodnota proudu $I_n = 5A$). Obrázek poskytla firma ZAT a.s.	36

1 Úvod

Tato práce se zabývá návrhem a konstrukcí číslicově řízeného třífázového stabilizovaného zdroje napětí a proudu. Hlavním požadavkem je, aby tyto dvě tří fázové soustavy byly navzájem nezávisle říditelné s možností nastavení vzájemného fázového posunu. Požadované technické parametry konstruovaného zdroje budou podrobně diskutovány v kapitole 2. V době vzniku tohoto zadání téměř neexistovala nabídka profesionálních říditelných střídavých zdrojů. V současné době již existuje několik firem, které se výrobou podobných zařízení zabývají. Přesto by i dnes bylo velmi obtížné najít na trhu zdroj, který by námi stanovené požadavky na technické parametry splnil. Konstrukci třífázového zdroje můžeme řešit také využitím nabídky jednofázových střídavých zdrojů a jejich pospojováním do požadované konfigurace. Dostáváme se ale k výslednému zařízení jehož velikost a hmotnost (řádově stovky kilogramů) je pro nás nepřijatelná. Podrobnější přehled nabídky střídavých zdrojů bude uveden v kapitole 3. Možností uplatnění střídavých zdrojů existuje mnoho, např. nastavování a kontrola parametrů měřících zařízení v energetice, testování parametrů relé a nadproudových ochran. Naší motivací bylo vytvořit říditelné zdroje, které lze použít jakou součást simulátoru chování synchronního generátoru v reálném čase. Výstupem těchto zdrojů jsou třífázové soustavy signálů reprezentující výstupní hodnoty napětí a proudů synchronního generátoru. Aby bylo možné zdroj zapojit do zpětnovazebního systému, obsahuje také číslicové a analogové vstupy reprezentující výstupní obvody regulátorů buzení. V nejrozsáhlejší kapitole popisující vlastní řešení budou nejprve diskutovány možnosti konstrukce takového zdroje. Dále bude detailně popsán a zdůvodněn vlastní postup řešení.

2 Cíle disertační práce

Cílem disertační práce je vývoj říditelných stabilizovaných třífázových zdrojů napětí a proudů a optimalizace jejich parametrů. Tyto dva třífázové zdroje budou mít možnost nastavení stejného kmitočtu v rozsahu 40 až 90 Hz s rozlišením 0.001 Hz. Vzájemný fázový posuv bude nastavitelný v rozsahu 0 až 360 stupňů s rozlišením 0.01 stupně. Činitel harmonického zkreslení bude maximálně 1%. Efektivní hodnota napětí bude nastavitelná v rozsahu 0 - 120 V s rozlišením 0.1 V při zatěžovacím proudu do 0.3 A. Efektivní hodnota proudů bude nastavitelná v rozsahu 0 až 8 A s rozlišením 0.01 A při úbytku napětí na zátěži do 4 V. Změny všech parametrů bude možné nastavovat v reálném čase s krokem jedna milisekunda. Všechny výstupní fáze budou galvanicky odděleny od sítě a od sebe navzájem.

Zdroje s popsanými parametry budou součástí simulátoru chování třífázového synchronního generátoru. Proto celý systém bude obsahovat dále:

- jednofázový střídavý zdroj napětí s nezávisle nastavitelnou amplitudou (0 až 120 V s rozlišením 0.1 V) a kmitočtem (40 až 90 Hz s rozlišením 0.001 Hz). Tento zdroj bude simulovat napětí a kmitočet jedné fáze rozvodné soustavy. Je určen k simulaci synchronizace.
- čtyři nezávislé zdroje stejnosměrných napětí
- jeden analogový vstup
- šestnáct číslicových vstupů a šestnáct číslicových výstupů

3 Přehled o současném stavu problematiky

V současné době je na trhu několik typů střídavých zdrojů. V této kapitole uvedu jednotlivé typy s přehledem nejdůležitějších parametrů a porovnání s parametry realizovaného zařízení. Na prvním místě budu zjišťovat, zda nabízené zařízení umožňuje dálkové ovládání a je-li dosažitelná perioda nastavování parametrů alespoň jedna milisekunda. Dále budu porovnávat tyto parametry:

- rozsahy nastavování napětí, rozlišení v napěťovém rozsahu a maximální zatěžovací proud u zdrojů napětí
- rozsahy nastavování proudů, rozlišení v proudovém rozsahu a maximální úbytek napětí na zátěži u zdrojů proudů
- rozsah nastavování kmitočtu a rozlišení v kmitočtu
- rozsah nastavování fázového posuvu mezi soustavu napětí a proudů a rozlišení fázového posuvu

Série třífázových zdrojů APF

Výrobce [1] uvádí, že zdroje APF jsou určeny k testování elektrických zařízení, která obsahují spínané napájecí zdroje. Obvykle se testují změny vlastností (např. spotřeba, účinnost) při změně napájecího napětí (v rozsahu $\pm 20\%$) a při změně kmitočtu napájecího napětí (v rozsahu $\pm 5\%$). Výrobce je firma AC POWER Corp. (Taiwan) [1]. Tyto zdroje jsou dimenzovány na vyšší výkony (řádově desítky KVA). Z toho plyne výrazně robustnější konstrukce. Pro nastavování parametrů mají k dispozici rozhraní RS232 tzn. neumožňují dostatečně rychlé nastavení parametrů. Dílčí porovnávání parametrů v tomto případě nemá smysl.

Třífázový kalibrátor a tester C300

Výrobce [6] uvádí, že kalibrátor/tester C300 (dále jen kalibrátor C300) je určen k nastavování a kontrolu parametrů měřících zařízení v energetice, testování parametrů relé a nadproudových ochran. Výrobce je firma Calmet Ltd. (Polsko) [6]. Požadované parametry kalibrátoru C300 lze nastavovat přes rozhraní RS232. Lze tedy předpokládat, že u kalibrátoru C300 není možné nastavovat parametry v reálném čase s krokem jedna milisekunda. Kalibrátor C300 má tři nezávisle nastavitelné fáze napětí a proudu. Napětí lze nastavovat v rozsahu 1 až 130 V s rozlišením 1 mV. Maximální výstupní proud na napěťových rozsazích je 230 mA. Maximální hodnota napětí, rozlišení na napěťovém rozsahu a maximální výstupní proud přesahují parametry mnou realizovaného zařízení. Minimální hodnota napětí je nedostatečná. Proud lze nastavovat v rozsahu 0.2 A - 20 A s rozlišením 0.1 mA. Maximální napětí na zátěži na proudových výstupech je 2.2 V. Maximální hodnota proudu a rozlišení na proudových rozsazích přesahuje parametry mnou realizovaného zařízení. Minimální hodnota proudu a maximální napětí na zátěži jsou nedostatečné. Kmitočet kalibrátoru C300 lze nastavovat ve dvou rozsazích 40.000 Hz až

99.999 Hz, 100.000 až 500.000 Hz s rozlišením 0.001 Hz. Rozsah kmitočtů kalibrátoru C300 je větší v porovnání s mnou realizovaným zařízením. Rozlišení v kmitočtu je nedostatečné. Fázový posuv mezi soustavou napětí a proudů lze u kalibrátoru C300 nastavovat v rozsahu 0 - 360 stupňů s rozlišením 0.01 stupně. Rozlišení fázového posuvu je vyhovující.

Série třífázových zdrojů 61700

Výrobce [10] uvádí, že série třífázových zdrojů 61700 je určena k testování vlastností elektrických zařízení v závislosti na změnách napájecího napětí. Výrobce je firma Chroma ATE Inc. (Taiwan) [10]. Požadované parametry třífázových zdrojů 61700 lze nastavovat po sběrnici IEEE-488. Maximální teoretická přenosová rychlost po sběrnici IEEE-488 je 1 MB/s (rychlosti dosahované v praxi jsou menší – 250 až 500 kB/s). Lze tedy předpokládat, že u třífázových zdrojů 61700 by bylo možné nastavovat parametry v reálném čase s krokem jedna milisekunda. Třífázové zdroje 61700 mají tři nezávisle nastavitelné fáze napětí. Napětí lze nastavovat v rozsahu 0 - 300 V s rozlišením 0.1 V. Maximální výstupní proud na napěťových rozsazích je 2 A. Rozsah napětí a maximální výstupní proud přesahuje parametry mnou realizovaného zařízení. Kmitočet třífázových zdrojů 61700 lze nastavovat v rozsahu 12 - 1200 Hz s rozlišením 0.01 Hz. Rozsah kmitočtů třífázových zdrojů 61700 je větší v porovnání s mnou realizovaným zařízením. Rozlišení v kmitočtu je nedostatečné. Fázový posuv mezi jednotlivými fázemi napětí lze nastavovat v rozsahu 0 - 360 stupňů s rozlišením 0.3 stupně. Rozlišení fázového posuvu je nedostatečné. Zdroje proudů firma Chroma ATE Inc. nenabízí.

Třífázový kalibrátor výkonu a energie M-103

Třífázový kalibrátor výkonu a energie M-103 (dále jen kalibrátor M-103) se svými parametry blíží mnou realizovanému zařízení. Výrobce [13] uvádí, že kalibrátor M-103 je určen ke kalibracím třífázových wattmetrů, elektroměrů a převodníků výkonu, fáze, napětí a proudu. Výrobce je firma MEATEST, spol. s r.o. (ČR) [13]. Požadované parametry kalibrátoru M-103 lze nastavovat po sběrnici IEEE-488. Maximální teoretická přenosová rychlost po sběrnici IEEE-488 je 1 MB/s (rychlosti dosahované v praxi jsou menší – 250 až 500 kB/s). Lze tedy předpokládat, že u kalibrátoru M-103 by bylo možné nastavovat parametry v reálném čase s krokem jedna milisekunda. Kalibrátor M-103 má tři nezávisle nastavitelné fáze napětí a proudu. Napětí lze nastavovat v rozsahu 6 - 240 V s rozlišením 5 digitů. Maximální výstupní proud na napěťových rozsazích je 30 mA. Maximální hodnota napětí přesahuje parametry mnou realizovaného zařízení. Minimální hodnota napětí a maximální výstupní proud jsou nedostatečné. Rozlišení 5 digitů v napěťovém rozsahu odpovídá rozlišení na 0.01 V. Rozlišení v napěťovém rozsahu je tedy u kalibrátoru M-103 vyšší než u mnou realizovaného zařízení. Nevýhodou je, že hodnoty nejsou nastavitelné v rámci jednoho rozsahu. Je nutné přepínat mezi dvěma napěťovými rozsahy 80 V a 200 V. Proud lze nastavovat v rozsahu 100 mA - 10 A s rozlišením 5 digitů. Maximální napětí na zátěži na proudových výstupech je 2.5 V. Maximální hodnota proudu přesahuje parametry mnou realizovaného zařízení. Minimální hodnota proudu a maximální napětí na zátěži jsou nedostatečné. Rozlišení 5 digitů v proudovém rozsahu odpovídá rozlišení 0.001 A. Rozlišení v proudovém rozsahu je tedy u kalibrátoru M-103 vyšší než u mnou realizovaného zařízení.

Hodnoty proudů také nejsou nastavitelné v rámci jednoho rozsahu. Je nutné přepínat v rámci třech proudových rozsahů 1 A, 5 A a 10 A. Kmitočet kalibrátoru M-103 lze nastavovat v rozsahu 40 - 400 Hz s rozlišením 5 digitů. Rozsah kmitočtů kalibrátoru M-103 je větší v porovnání s mnou realizovaným zařízením. Rozlišení v kmitočtu 5 digitů odpovídá rozlišení 0.01 Hz. Rozlišení v kmitočtu je nedostatečné. Fázový posuv mezi soustavou napětí a proudů lze u kalibrátoru M-103 nastavovat v rozsahu 0 - 360 stupňů s rozlišením 0.1 stupně. Rozlišení fázového posuvu je nedostatečné.

Série testovacích zdrojů CMC

Série testovacích zdrojů CMC se svými parametry nejvíce blíží mnou realizovanému zařízení. Tato série zdrojů je určena k seřizování ochran a kalibraci měřících přístrojů v energetických provozech. Výrobce je firma OMICRON electronics (Rakousko) [18]. Zdroj CMC je dostupný ve třech verzích CMC 256plus, CMC 353 a CMC 356. Pro detailní porovnání parametrů je nejvhodnější varianta CMC 256plus. Požadované parametry zdrojů CMC lze nastavovat přes ethernetové příp. paralelní rozhraní. Výrobce nabízí programové rozhraní CM Engine určené pro uživatelské aplikace. Program může být vytvářen v běžně používaných programovacích nástrojích např. C/C++, Visual Basic nebo LabView. Lze tedy předpokládat, že u zdrojů CMC by bylo možné nastavovat parametry v reálném čase s krokem jedna milisekunda. Zdroj CMC 256plus má nezávisle nastavitelnou třífázovou soustavu napětí a proudů. Napětí lze nastavovat v rozsahu 0 až 300 V s rozlišením 10 mV. Maximální výstupní proud na napěťových rozsazích je 300 mA. Proud lze nastavovat v rozsahu 0 až 12.5 A s rozlišením 0.1 mA. Maximální napětí na zátěži na proudových výstupech výrobce neuvádí. Kmitočet lze nastavovat v rozsahu 10 až 1000 Hz s rozlišením $5\mu Hz$. Fázový posuv mezi soustavou napětí a proudů lze u nastavovat v rozsahu 0 - 360 stupňů s rozlišením 0.001 stupně. Všechny uvedené parametry zdroje CMC 256plus jsou v porovnání s mnou realizovaným zařízením lepší. Je ale nutné poznamenat, že v době kdy probíhal vývoj těchto zdrojů, série zdrojů CMC neexistovala. Dále lze konstatovat, že použití těchto zdrojů pro aplikaci zmiňovanou v kapitole 1 je velmi obtížné pravděpodobně nerealizovatelné.

4 Popis vlastního řešení

Tato kapitola popisuje, jak bylo dosaženo cílů práce formulovaných v kapitole 2. Popsané řešení je vlastní dílo autora. Skládá se z těchto částí:

- koncepční návrh zdrojů třífázových soustav napětí a proudů popsany v kap. 4.1 a 4.2.
- návrh metody generování říditelných třífázových soustav referenčních napětí popsany v kap. 4.5.4
- hw realizace řídicí jednotky zdrojů popsaná v kap. 4.6
- návrh obsahu obvodu FPGA popsany v kap. 4.6.2 a 4.6.3
- návrh a realizace testovací aplikace popsaná v kap. 4.6.4
- ověření spektrálních vlastností referenčních zdrojů popsané v kap. 4.6.5.

Kap. 4.3 a 4.4 shrnují obecně známé poznatky potřebné pro realizaci výkonové části střídavých zdrojů napětí a proudů. Kap. 4.5.1, 4.5.2 a 4.5.3 obsahují rešerši dostupných informací o číslicovém generování vzorků sinusového signálu.

4.1 Zdroje s vyšším napájecím napětím

Vyšším napájecím napětím je míněno napětí, jehož velikost přesahuje vrcholovou hodnotu požadovaného výstupního napětí. Při použití této koncepce musí být každá jednotlivá fáze napětí (resp. proudu) oddělena na úrovni napájecích zdrojů. Jedna varianta provedení galvanického oddělení třífázového zdroje od sítě je naznačena na obr. 4.1¹. Jsou zde použity nezávislé napájecí zdroje, které mají galvanicky oddělenou primární část. Další možností je použití transformátoru s vzájemně galvanicky oddělenými vinutími.

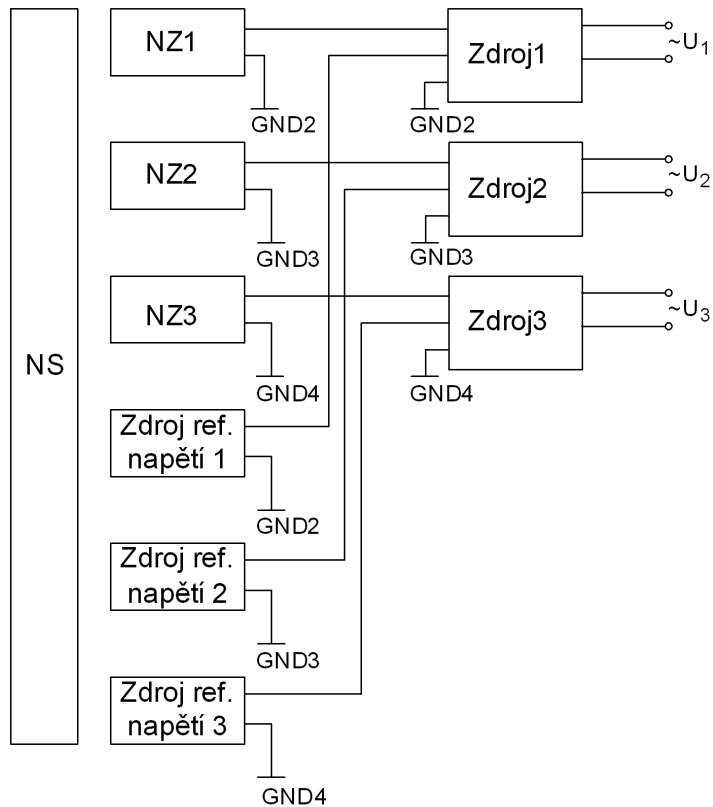
Podstatnou a asi také jedinou výhodou této koncepce je možnost nastavení velmi nízkého kmitočtu výstupního napětí příp. i stejnosměrného napětí.

K hlavním nevýhodám této koncepce patří:

- Složitější konstrukce napájecího systému.
- Nutnost dimenzování součástek ve výkonovém obvodu na vyšší napětí. Z toho plyne výběr z omezeného sortimentu a výrazně vyšší cena.

¹Na obrázku je uvedeno provedení galvanického oddělení třífázového zdroje napětí od sítě. Obdobně by vypadalo provedení galvanického oddělení třífázového zdroje proudu od sítě.

4.2 Zdroje s nižším napájecím napětím



Obr. 4.1: Oddělení třífázového zdroje od sítě (NS-napájecí síť, NZ-napájecí zdroj)

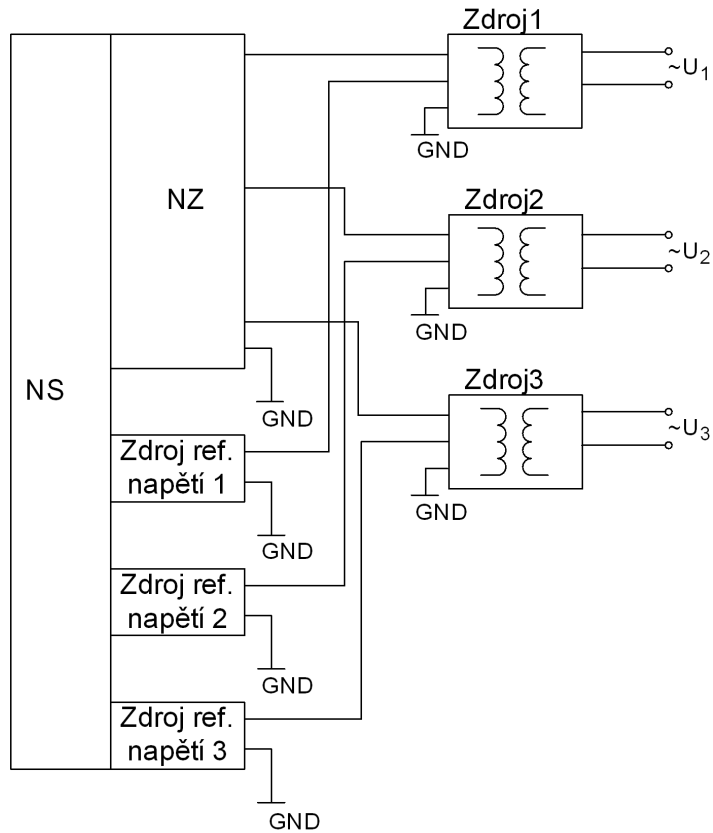
4.2 Zdroje s nižším napájecím napětím

Nižším napájecím napětím je míněno napětí, jehož velikost je menší než vrcholová hodnota požadovaného výstupního napětí. Při použití této koncepce je možné použít společný napájecí systém. Způsob provedení galvanického oddělení třífázového zdroje se společným napájecím systémem od sítě je naznačen na obr. 4.2².

Každá jednotlivá fáze napětí (resp. proudu) musí být galvanicky oddělena na výstupu. V tomto případě není nutné navzájem galvanicky oddělovat výstupy ze zdrojů referenčních napětí. Hlavní výhodou této koncepce je použití pouze jednoho stejnosměrného napájecího zdroje s nižším napětím.

Z toho plyne snazší konstrukce výkonového obvodu, lepší dostupnost součástek pro nižší napětí a celkově menší cenové náklady.

²Na obrázku je uvedeno provedení galvanického oddělení třífázového zdroje napětí se společným napájecím systémem od sítě. Obdobně by vypadlo provedení galvanického oddělení třífázového zdroje proudu od sítě.



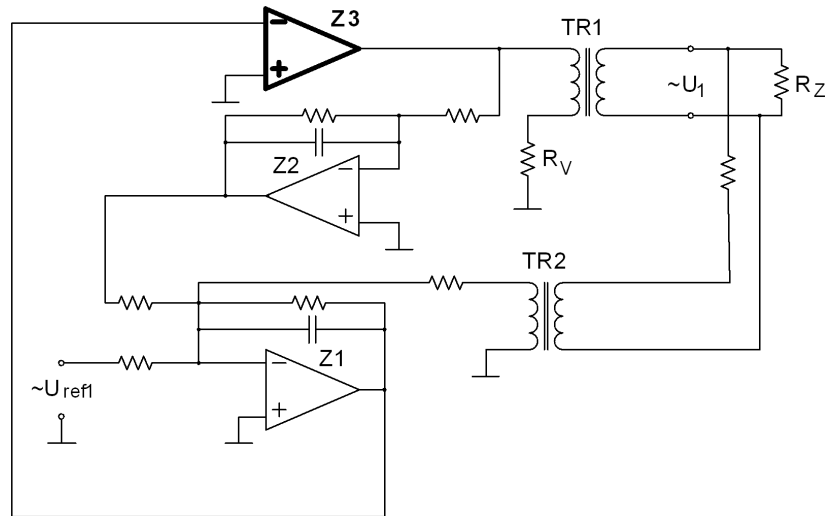
Obr. 4.2: Oddělení třífázového zdroje se společným napájecím systémem od sítě (NS-napájecí síť, NZ-napájecí zdroj)

K hlavním nevýhodám této koncepce patří:

- Nutnost galvanického oddělení obvodů zpětné vazby.
- Omezená spodní hranice výstupního kmitočtu. Snižováním spodní hranice výstupního kmitočtu stoupají požadavky na velikost výstupního transformátoru a také jeho cena.
- Nutnost eliminace stejnosměrné složky na výstupu zesilovačů.

4.3 Střídavé stabilizátory napětí

Na obr. 4.3 je uvedeno principiální schéma zapojení zdroje napětí. Zesilovač $Z1$ je zesilovač regulační odchylky vzorku výstupního napětí a referenčního napětí. Zároveň je do součtového bodu přivedena zesílená hodnota stejnosměrného úbytku napětí na výstupu výkonového zesilovače $Z3$. Výstup rozdílového zesilovače $Z1$ je pak vstupem výkonového zesilovače $Z3$. Amplituda výstupního napětí výkonového zesilovače $Z3$ je zvyšována výstupním transformátorem $TR1$.



Obr. 4.3: Střídavý stabilizátor napětí

Galvanické oddělení obvodů zpětné vazby je provedeno pomocí měřicího transformátoru napětí $TR2$. Signál na jeho výstupu představuje vzorek výstupního napětí pro vytvoření regulační odchylky. Zesilovač $Z2$ je součástí aktivní dolní propusti. Ta vytváří spolu se zesilovačem $Z1$ a výkonovým zesilovačem $Z3$ zpětnovazební smyčku určenou k eliminaci stejnosměrné složky na výstupu výkonového zesilovače. Zlomový kmitočet dolní propusti jsou jednotky Hz (cca. 2Hz). Je tak zesilována stejnosměrná složka úbytku napětí na odporu primárního vinutí výstupního transformátoru $TR1$. Je-li tento úbytek nulový, je nulová i výstupní hodnota napětí zesilovače $Z2$. Činnost rozdílového zesilovače $Z1$ není nulovým napětím ovlivněná.

Další možností galvanického oddělení zpětnovazebního signálu by bylo použití optoizolačního zesilovače. Bylo by ale nutné galvanicky oddělit napájení vstupní části optoizolačního zesilovače např. DC/DC měničem. Tato možnost by vyžadovala komplikovanější obvodové řešení, byla by méně spolehlivá a zřejmě dražší. Proto nebylo její použití dále uvažováno.

Ve funkci výkonového zesilovače $Z1$ připadá v úvahu zesilovač pracující ve třídě B příp. ve třídě D. V následujících kapitolách budou obě možnosti porovnány.

4.3.1 Zesilovače ve třídě B

Pracovní bod zesilovače ve třídě B se nachází v oblasti zániku kolektorového proudu. Maximální amplituda výstupního napětí je rovna velikosti napájecího napětí U_{CC} . Maximální amplituda výstupního proudu je rovna hodnotě I_{Cmax} . Účinnost zesilovače pracujícího ve třídě B je závislá na míře vybuzení. Zavádí se proto tzv. *činitel vybuzení* $0 \leq m \leq 1$. Amplituda výstupního napětí je pak rovna mU_{CC} a amplituda výstupního proudu je rovna mI_{Cmax} . V případě sinusového průběhu je efektivní hodnota výstupního napětí rovna

$mU_{CC}/\sqrt{2}$ a efektivní hodnota výstupního proudu $mI_{Cmax}/\sqrt{2}$. Výstupní výkon zesilovače lze vyjádřit jako součin efektivních hodnot napětí a proudu výstupního napětí:

$$P_2 = \frac{m \cdot U_{CC} \cdot m \cdot I_{Cmax}}{\sqrt{2} \cdot \sqrt{2}} = m^2 \cdot U_{CC} \cdot \frac{I_{Cmax}}{2} \quad (4.1)$$

V případě sinusového průběhu je střední hodnota napájecího proudu rovna $mI_{Cmax}2/\pi$. Příkon zesilovače odpovídající výstupnímu výkonu lze pak vyjádřit jako:

$$P_1 = U_{CC} \cdot m \cdot I_{Cmax} \cdot \frac{2}{\pi} \quad (4.2)$$

Účinnost zesilovače je dána poměrem P_2 a P_1 :

$$\eta = \frac{m^2 \cdot U_{CC} \cdot \frac{I_{Cmax}}{2}}{U_{CC} \cdot m \cdot I_{Cmax} \cdot \frac{2}{\pi}} = m \cdot \frac{\pi}{4} \quad (4.3)$$

Účinnost zesilovače při plném vybuzení ($m = 1$) je rovna 78,5%.

Při předpokládané amplitudě výstupního napětí v jedné polovině rozsahu je teoretická účinnost cca. 39%.

4.3.2 Zesilovače ve třídě D

Zesilovač ve třídě D pracuje ve spínacím režimu. Vstupní signál je pomocí impulsně šířkové moduly (příp. delta modulace) převeden na obdélníkový průběh. Obdélníkovým průběhem je buzen koncový stupeň zesilovače. Mezi výstup zesilovače a zátěž musí být zapojen výstupní filtr typu dolnofrekvenční propust. Výstupní filtr vytvoří střední hodnotu. Ve funkci výstupního filtru se obvykle používá LC filtr druhého řádu. Výkonové spínače pracují obvykle na kmitočtech řádu stovek kHz. Pro dostatečné potlačení nosného kmitočtu musí být zlomový kmitočet nastaven dostatečně nízko (řádově desítky kHz).

Účinnost zesilovače ve třídě D je v porovnání s předchozí variantou (třída B) velmi vysoká. Ztrátový výkon tranzistorů koncového stupně lze vyjádřit:

$$P_Z = P_{Z(on)} + P_{Z(off)} + P_{Z(spínací)} \quad (4.4)$$

kde $P_{Z(on)}$ je ztrátový výkon tranzistoru v sepnutém stavu. V případě MOSFET tranzistoru jsou tyto ztráty dány odporem kanálu R_{on} a maximálním proudem zátěže I_{MAX} ($P_{on} = R_{on} \cdot I_{MAX}^2$). Tento ztrátový výkon je velmi malý. Hodnoty odporu kanálu jsou řádově desítky $m\Omega$. $P_{Z(off)}$ je ztrátový výkon na tranzistoru ve vypnutém stavu. Tyto ztráty jsou dány napětím napájecího zdroje U_{CC} a zbytkovým proudem $I_{K(off)}$ ($P_{Z(off)} = U_{CC} \cdot I_{K(off)}$). Tento ztrátový výkon je také velmi malý. Hodnoty zbytkového proudu se pohybují v řádu desítek μA . Podstatná je hodnota ztrátového výkonu vznikající během přechodných dějů. Množství energie, která se v průběhu přechodných dějů přemění na teplo lze vyjádřit:

$$E_{spínací} = \int_0^{t_r} u_{DS}(t) \cdot i_D(t) dt + \int_0^{t_f} u_{DS}(t) \cdot i_D(t) dt \quad (4.5)$$

4.4 Střídavé stabilizátory proudu

kde t_r je doba náběhu a t_f doba doběhu udávaná výrobcem v katalogovém listu. Ztrátový výkon v přechodných dějích lze vyjádřit:

$$P_{Z(spínací)} = \frac{E_{spínací}}{T} = E_{spínací} \cdot f_{spínací} \quad (4.6)$$

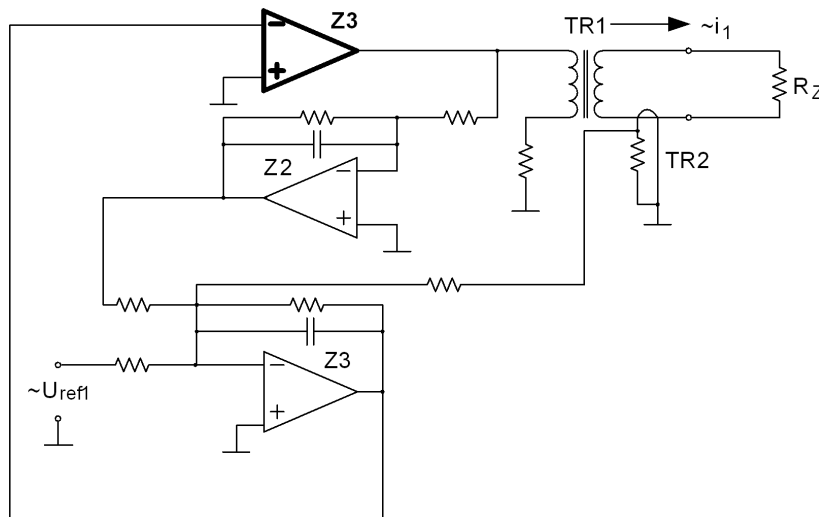
Ze vztahů 4.5 a 4.6 je vidět, že spínací ztráty rostou s rostoucím spínacím kmitočtem a s dobou potřebnou k sepnutí resp. vypnutí tranzistoru. Na velikost spínacích ztrát mají vliv ještě další parametry, které nelze snadno vyčíslit jako např. indukčnost přívodů, ztráty v tlumivkách výstupního filtru, úbytky napětí na vodičích a náboj hradla potřebný k úplnému otevření tranzistoru. Z hlediska minimalizace spínacích ztrát je také velmi důležité provedení budicího stupně. Účinnost zesilovač je dána poměrem výstupního výkonu a příkonu zesilovače:

$$\eta = \frac{P_2}{P_1} = \frac{P_1 - (P_{Z(on)} + P_{Z(off)} + P_{Z(spínací)})}{P_1} \quad (4.7)$$

Účinnost zesilovače ve třídě D dosahuje v praxi hodnot až 95%. Proto byla pro konstrukci výkonového zesilovače zvolena tato varianta.

4.4 Střídavé stabilizátory proudu

Vše co bylo řečeno v souvislosti se střídavým stabilizátorem napětí platí obdobně i pro stabilizátor proudu. Principiální schéma zapojení je uvedeno na obr. 4.4. Zpětná vazba je odvozena od výstupního proudu pomocí měřicího transformátoru proudu.



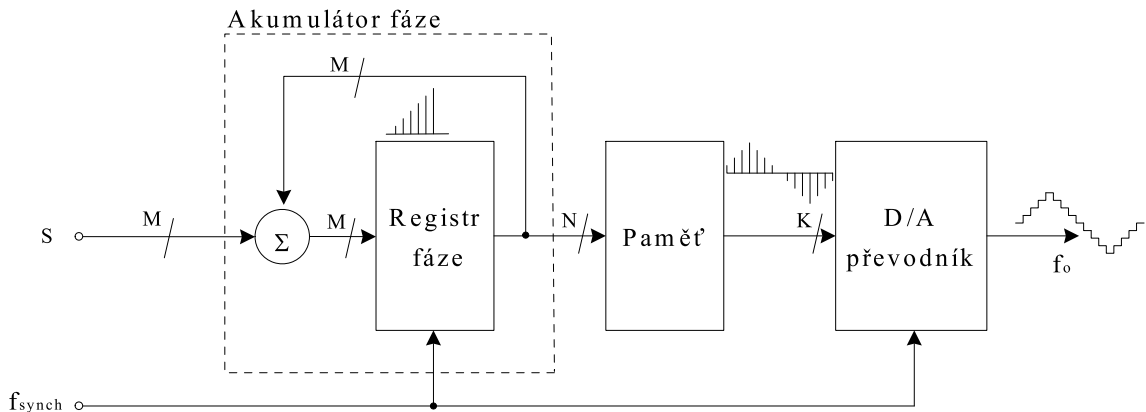
Obr. 4.4: Střídavý stabilizátor proudu

4.5 Způsob vytvoření zdrojů referenčního napětí

Hlavními požadavky kladenými na zdroj referenčního napětí jsou možnost číslicové přeladitelnosti kmitočtu v pásmu 40 až 90 Hz s rozlišením v řádu 0.001 Hz, číslicové přeladitelnosti fázového posuvu v rozsahu 0 až 360 stupňů s rozlišením v řádu 0.01 stupně a nezávislého ladění amplitudy. Změny parametrů jsou požadovány kontinuálně v reálném čase každou milisekundu. Vzhledem k těmto požadavkům je vhodné využít principu číslicového generování vzorků signálů a jejich následného převedení do spojitého tvaru pomocí D/A převodníku. Číslicové generování vzorků je možné provést přímo výpočtem v reálném čase (v našem případě se jedná o výpočet goniometrické funkce), nebo s využitím principu přímé číslicové syntézy (DDS - Direct Digital Synthesis).

4.5.1 Princip přímé číslicové syntézy

Přímá číslicová syntéza je metoda, která umožňuje vytvořit frekvenčně a fázově modulovaný signál. Ke svému fungování potřebuje přesný zdroj synchronizačního signálu s konstantním kmitočtem, paměť pro uložení tabulky hodnot vzorků generovaného signálu, D/A převodník a číslicovou logiku, která na základě daného synchronizačního kmitočtu a požadovaných parametrů výstupního signálu provede adresaci v paměti vzorků. V této paměti je obvykle uložena jedna perioda signálu. V případě sinusového signálu lze vystačit i s jednou čtvrtinou periody. Na obr. 4.5 je uvedeno blokové schéma přímé číslicové syntézy.



Obr. 4.5: Blokové schéma přímé číslicové syntézy

Rychlost výpočtu jednoho vzorku funkce sinus je limitovaná rychlostí M bitové sčítačky a rychlostí následné adresace v paměti vzorků.

Hodnoty vzorků generovaného signálu se určí z definičního vztahu pro časový průběh harmonického sinusového signálu:

$$u(t_i) = A(t_i) \cdot \sin(\omega(t_i) \cdot t_i + \varphi(t_i)) \quad (4.8)$$

kde $\omega(t_i)$ odpovídá frekvenční, $\varphi(t_i)$ fázové a $A(t_i)$ amplitudové modulaci nosného signálu. Funkce $\sin(t)$ představuje obecný průběh nosné vlny. Hodnoty vzorků nosné vlny jsou uloženy v paměti obvodu. Adresy paměťových míst jsou určeny argumentem $\omega(t_i) \cdot t_i + \varphi(t_i)$, jehož hodnota se získá pomocí tzv. akumulátoru fáze. Čas t_i je kvantován s frekvencí hodinového signálu f_{synch} . V akumulátoru fáze se při každém hodinovém impulsu přičte k obsahu registru fáze hodnota $\omega(t_i)$, tzn. že po i -tém hodinovém impulsu je v registru fáze uložena hodnota $i \cdot \omega(t_i)$. Maximální obsah M -bitového registru fáze 2^M odpovídá periodě průběhu nosného signálu s rozlišením ve frekvenční (resp. fázové) oblasti $\frac{2\pi}{2^M}$. Změny frekvence generovaného signálu se docílí změnou hodnoty $\omega(t_i)$. Registr fáze s frekvencí hodinového signálu f_{synch} inkrementuje přednastavené M -bitové číslo S . Akumulátor fáze pracuje jako čítač modulo S . Závislost velikosti požadovaného výstupního kmitočtu na velikosti přednastaveného čísla S lze tedy vyjádřit vztahem:

$$f_o = \frac{S \cdot f_{synch}}{2^M} \quad (4.9)$$

Frekvenční rozlišení lze vyjádřit vztahem:

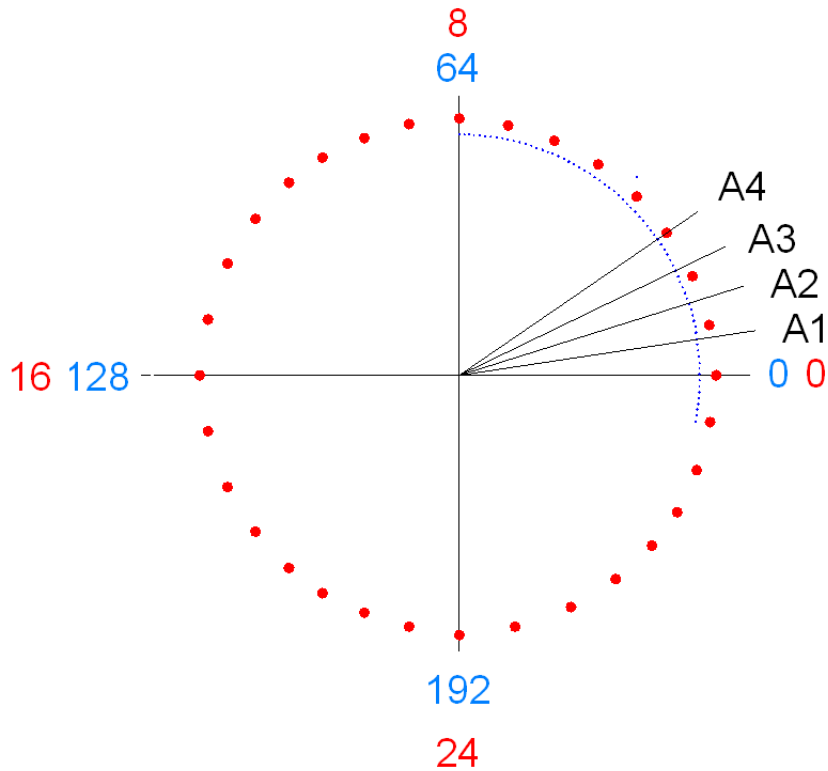
$$\Delta f = \frac{f_{synch}}{2^M} \quad (4.10)$$

Maximální dosažitelný kmitočet výstupního signálu je z principu fungování omezen vzorkovacím teorémem (tzn. $f_{max} = \frac{f_{synch}}{2}$) příp. požadovaným bitovým rozlišením signálu v čase. V případě, že řídicí číslo S je rovné jedné bude generován signál s nejmenší možnou frekvencí a s maximálním počtem vzorků signálu na periodu. Bude-li se zadané řídicí slovo zvyšovat, poroste výsledný kmitočet a rozlišení v čase bude klesat. Z hlediska HW realizace je kmitočet výstupního signálu a jeho rozlišení omezeno hodnotou synchronizačního kmitočtu a počtem bitů akumulátoru fáze. Uvedme konkrétní příklad. Máme-li synchronizační kmitočet 400 kHz a požadujeme-li rozlišení 0.01 Hz, lze ze vztahu pro frekvenční rozlišení vypočítat, že je potřeba použít akumulátor s minimální délkou 26 bitů. Pro adresaci paměti lze použít všechny bity akumulátoru fáze. Obvykle není takto velké rozlišení v čase požadováno. Toto rozlišení je také limitováno velikostí použité paměti, do které by se v případě 26 bitové adresy muselo uložit 2^{26} vzorků. Proto se tedy pro adresaci obvykle využívá pouze 12 až 14 horních bitů (na obr. 4.5 označeno jako N bitové číslo). Na základě N bitové adresy jsou data uložená v paměti předaná ve formě K bitového slova ke zpracování D/A převodníku.

4.5.2 Spektrální vlastnosti signálu vytvořeného pomocí DDS

Signál generovaný s využitím metody přímé číslicové syntézy (dále DDS signál) je zatížen zkreslením způsobeným z několika různých důvodů. Jedním z důvodů zkreslení

a následného šumu ve spektru je konečný počet bitů adresy N (viz. obr. 4.5) určené pro adresaci v paměti vzorků [4]. Tento šum bývá v anglické literatuře obvykle označován *spurs* [7]. V podstatě se jedná o kvantizační zkreslení fáze. Tento typ zkreslení je charakteristický pro metodu přímé číslicové syntézy. Aby byly splněny požadavky na jemné rozlišení v kmitočtu, bývá délka akumulátoru fáze volena obvykle velká např. 32 bitů. Pro adresaci v paměti vzorků se obvykle využívají horní bity akumulátoru fáze např. 12 bitů. Zbývající část akumulátoru fáze je v průběhu adresace ignorována. V našem příkladě je odříznuto 20 (tj. 32-12) spodních bitů akumulátoru fáze. Tyto odříznuté bity představují chybu fáze, která se projeví po D/A převodu jako chyba amplitudy. Tato chyba se bude projevovat periodicky, protože bez ohledu na velikost akumulovaného čísla po určitém počtu kroků akumulátoru fáze se bude M bitová hodnota uložená v registru fáze shodovat s N bitovou hodnotou adresy. Názorně je tato situace ukázána na obr. 4.6. Pro jednoduchost je zde zvolena 8 bitová délka registru fáze (znázorněno na vnitřní kružnici) a 5 ti bitová délka adresy (znázorněno na vnější kružnici). Na obr. 4.6 je znázorněna situace pro případ, že akumulujeme přednastavené číslo 6.



Obr. 4.6: Fázové kolo

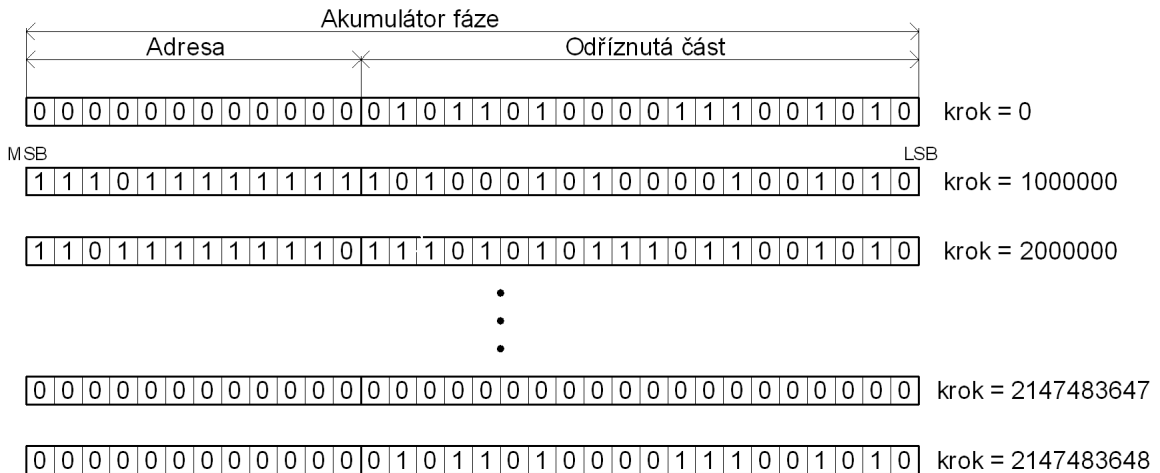
Po prvním kroku akumulátoru fáze (v obr. 4.6 označeno A1) je chyba způsobená odříznutím spodních bitů akumulátoru fáze rovna $6 \cdot \frac{360}{2^8}$. Po druhém kroku akumulátoru fáze (označeno

4.5 Způsob vytvoření zdrojů referenčního napětí

A_2) je chyba rovna $4 \cdot \frac{360}{2^8}$. Po třetím kroku akumulátoru fáze (označeno A_3) je chyba rovna $2 \cdot \frac{360}{2^8}$. Po čtvrtém kroku akumulátoru fáze (označeno A_4) se hodnota adresy shoduje s obsahem akumulátoru fáze tzn. chyba je rovna nule. Velikost odstupe signálu od šumu je tedy závislá na velikosti použitého akumulátoru fáze, velikosti adresy a hodnotě akumulovaného čísla. Pro některé hodnoty akumulovaného čísla bude velikost zkreslení nulová. Tato situace nastane v případě, že největší společný dělitel akumulovaného čísla a 2^{M-N} bude roven 2^{M-N} . Opačná situace nastane v případě, že největší společný dělitel akumulovaného čísla a 2^{M-N} bude roven 2^{M-N-1} . Jedná se nejhorší možný případ, kde velikost odstupe signálu od šumu bude přibližně rovna:

$$S_{max} = -SFDR = -6.02 \cdot N[dBc] \quad (4.11)$$

kde N je počet bitů adresy. Tento vztah platí při splnění podmínky $M - N \geq 4$ [11]. Tato hodnota bývá v anglické literatuře obvykle označována S_{max} (maximální úroveň zkreslení) nebo $-SFDR$ (spurious free dynamic range) [7]. Všechny ostatní hodnoty akumulovaného čísla způsobí zkreslení, které nebude nikdy větší než S_{max} . Pro lepší pochopení, jak chybový signál vypadá a jakou má periodu můžeme vycházet z představy, že se výstupní signál skládá z nezkrusleného signálu a chybového signálu. Na obr. 4.7 je uveden příklad sekvence akumulátoru pro konkrétní zadanou hodnotu akumulovaného čísla. Akumulátor fáze má délku 32 bitů ($M = 32$). Pro adresaci v paměti je použito 12 bitů ($N = 12$). Zbývajících 20 spodních bitů akumulátoru fáze je ignorováno ($B = M - N = 20$). V akumulátoru fáze budeme akumulovat přednastavené číslo $S = 369098$.



Obr. 4.7: Sekvence akumulátoru

Po určitém počtu kroků akumulátoru fáze bude hodnota uložená v registru fáze shodná s původně přednastavenou hodnotou. Počet kroků, po kterém nastane tato shoda, se

označuje GRR (Grand Repetition Rate) [4]. Počet kroků GRR lze vyjádřit:

$$GRR = \frac{2^M}{NSD(2^M, S)} \quad (4.12)$$

kde NSD je největší společný dělitel, M je počet bitů akumulátoru fáze a S je akumulované číslo. V případě uvedeném na obr. 4.7 je počet kroků, po kterém se v akumulátoru fáze objeví původní přednastavené číslo, roven:

$$GRR = \frac{2^M}{NSD(2^M, S)} = \frac{2^{32}}{NSD(2^{32}, 369098)} = 2^{31} = 2147483648 \quad (4.13)$$

Obdobným způsobem lze nahlížet na tu část akumulátoru fáze, která je odříznuta, tzn. není použita pro adresaci v paměti vzorků. Odříznutá část akumulátoru fáze představuje chybu. Velikost této chyby se také bude po určitém počtu kroků akumulátoru fáze opakovat. Tento počet kroků se také označuje GRR (Grand Repetition Rate) [4] a lze jej vyjádřit:

$$GRR = \frac{2^B}{NSD(2^B, S)} \quad (4.14)$$

V případě uvedeném na obr. 4.7 je perioda opakování odříznuté části akumulátoru fáze rovna:

$$GRR = \frac{2^B}{NSD(2^B, S)} = \frac{2^{20}}{NSD(2^{20}, 369098)} = 2^{19} = 524288 \quad (4.15)$$

Hodnota obsažená v odříznuté části akumulátoru fáze se s každým krokem akumulátoru fáze mění. Inkrementuje se zde číslo označované ETW (equivalent tuning word - ekvivalentní akumulované číslo) [4]. Tato část akumulátoru fáze se chová jako čítač modulo ETW. Hodnotu ETW lze vyjádřit:

$$ETW = 2^B \bmod S \quad (4.16)$$

kde B je počet bitů odříznuté části akumulátoru fáze, S je akumulované číslo, $\bmod S$ je zbytek po dělení dvěma. V případě uvedeném na obr. 4.7 je velikost čísla akumulovaného v odříznuté části akumulátoru fáze rovna:

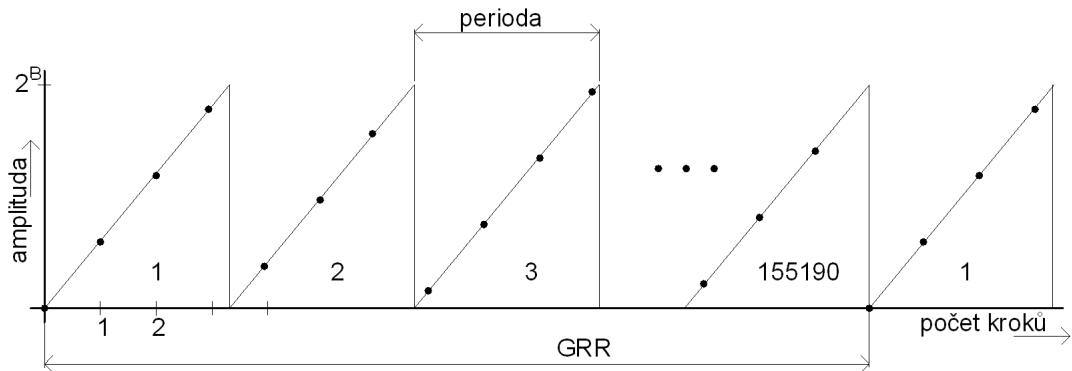
$$ETW = 2^B \bmod S = 2^{20} \bmod 369098 = 310380 \quad (4.17)$$

Průběh chybového signálu má tvar pily. Perioda tohoto pilového signálu je závislá na počtu bitů odříznuté části akumulátoru B a velikosti ekvivalentního akumulovaného čísla ETW:

$$perioda = \frac{2^B}{ETW} = \frac{2^{20}}{310380} = 3.38 \quad (4.18)$$

Po uplynutí jedné periody pilového průběhu chybového signálu dojde k přetečení čísla akumulovaného v odříznuté části B akumulátoru fáze A. Počet přetečení PP čísla akumulovaného v odříznuté části během jednoho cyklu GRR lze vyjádřit:

$$PP = \frac{GRR}{perioda} = \frac{524288}{3.38} = 155190 \quad (4.19)$$



Obr. 4.8: Průběh chybového signálu

Na obr. 4.8 je uveden příklad průběhu chybového signálu pro výše zadaná čísla. Dalším zdrojem šumu ve spektru je tzv. kvantizační chyba způsobená konečným rozlišením DA převodníku [4]. V časovém průběhu generovaného signálu způsobuje tzv. kvantizační zkreslení. Odstup signálu od šumu způsobeného kvantizačním zkreslením pro sinusový signál lze vyjádřit vztahem:

$$NSR = -SNR = -6.02 \cdot K - 1.761 [dB] \quad (4.20)$$

kde K je počet bitů DA převodníku.

4.5.3 Výpočet generované funkce v reálném čase

Výpočet goniometrické funkce lze teoreticky realizovat s využitím mocninných řad např. Taylorova rozvoje. Dále je možné goniometrickou funkci aproximovat různými polynomy např. Čebyševovými nebo Lagrangeovými polynomy. V oblasti hw realizace je nej-používanější a nejvíce propracovanou metodou odhadu funkce sinus a cosinus algoritmus CORDIC (Coordinate Rotation Digital Computer). Jedná se o iterativní algoritmus, který je optimalizován tak, aby využíval pouze ty nejzákladnější matematické operace jako je bitový posun (doleva a doprava), sčítání příp. odečítání a porovnání dvou hodnot. Princip algoritmu je založen na rotaci vektoru $[x_{in}, y_{in}]$ o úhel θ v rovině. Tuto rotaci lze vyjádřit v maticovém tvaru jako:

$$\begin{bmatrix} x_R & y_R \end{bmatrix} = \begin{bmatrix} x_{in} & y_{in} \end{bmatrix} \begin{bmatrix} \cos(\theta) & \sin(\theta) \\ -\sin(\theta) & \cos(\theta) \end{bmatrix} = ROT(\theta) \begin{bmatrix} x_{in} & y_{in} \end{bmatrix} \quad (4.21)$$

kde $[x_{in}, y_{in}]$ jsou počáteční souřadnice vektoru, $[x_R, y_R]$ jsou koncové souřadnice vektoru a θ je požadovaná hodnota úhlu rotace. Algoritmus CORDIC provádí iterativně rotace o předem známé úhly α_1 až α_n tak, aby se dosáhlo požadované hodnoty rotace θ vůči počáteční pozici vektoru $[x_{in}, y_{in}]$. To znamená, že výše uvedenou transformaci provádíme

pro posloupnost:

$$\theta = \sum_{j=0}^{\infty} \alpha_j \quad (4.22)$$

Rotaci o úhel θ můžeme následně vyjádřit v maticovém zápisu jako:

$$\begin{bmatrix} x_R & y_R \end{bmatrix} = \begin{bmatrix} x_{in} & y_{in} \end{bmatrix} \prod_{j=0}^{\infty} \begin{bmatrix} \cos(\alpha_j) & \sin(\alpha_j) \\ -\sin(\alpha_j) & \cos(\alpha_j) \end{bmatrix} = \prod_{j=0}^{\infty} ROT(\alpha_j) \quad (4.23)$$

Algoritmus zapsaný v tomto tvaru je stále příliš složitý pro hw implementaci, protože obsahuje násobení. Následnými úpravami se násobení zredukuje na pouhý bitový posuv. Vytknutím $\cos(\alpha_j)$ z transformační matice získáme následující tvar:

$$\begin{aligned} \begin{bmatrix} x_R & y_R \end{bmatrix} &= \begin{bmatrix} x_{in} & y_{in} \end{bmatrix} \left\{ \prod_{j=0}^{\infty} \cos(\alpha_j) \begin{bmatrix} 1 & -\tan(\alpha_j) \\ \tan(\alpha_j) & 1 \end{bmatrix} \right\} = \\ & \left\{ \prod_{j=0}^{\infty} \cos(\alpha_j) \right\} \begin{bmatrix} x_{in} & y_{in} \end{bmatrix} \prod_{j=0}^{\infty} \begin{bmatrix} 1 & -\tan(\alpha_j) \\ \tan(\alpha_j) & 1 \end{bmatrix} \end{aligned} \quad (4.24)$$

Aby bylo možné násobení tangentou zredukovat na bitový posuv, je potřeba správně zvolit úhel α_j a to tak, aby platilo:

$$\tan(\alpha_j) = \pm 2^{-j} \quad (4.25)$$

Znaménko volíme pro každý krok zvlášť, aby bylo dosaženo požadované přesnosti výpočtu. Po dosazení výrazu 4.5 do vztahu 4.4 získáme vztah reprezentující metodu CORDIC.

$$\begin{bmatrix} x_R & y_R \end{bmatrix} = \left\{ \prod_{j=0}^{\infty} \cos(\arctan(2^{-j})) \right\} \begin{bmatrix} x_{in} & y_{in} \end{bmatrix} \prod_{j=0}^{\infty} \begin{bmatrix} 1 & \pm 2^{-j} \\ \mp 2^{-j} & 1 \end{bmatrix} \quad (4.26)$$

Násobení matic lze implementovat pomocí bitových posunů a součtů příp. rozdílů. Koeficient ve složených závorkách je konstantní pro pevný počet kroků algoritmu.

$$K = \prod_{j=0}^{\infty} \cos(\arctan(2^{-j})) = \prod_{j=0}^{\infty} \frac{1}{\sqrt{1+2^{-2j}}} \approx 0.6073 \quad (4.27)$$

Tuto konstantu lze předem spočítat a uschovat v paměti nebo nastavit modul vektoru roven $\frac{1}{K}$ před vlastním výpočtem. Algoritmus CORDIC lze aplikovat ve dvou různých módech vektorovém a rotačním. V módu vektorovém jsou zadány souřadnice vektoru a výstupem algoritmu je modul a fáze. V módu rotačním jsou zadány počáteční souřadnice vektoru

x_0, y_0 a požadovaný úhel rotace θ . Výsledkem výpočtu jsou souřadnice výsledného vektoru x_n, y_n posunutého o úhel θ [8]. Implementaci algoritmu v rotačním módu lze zapsat pomocí následujících iteračních rovnic:

$$\begin{aligned} x_{i+1} &= x_i - y_i \sigma_i 2^{-i} \\ y_{i+1} &= y_i + x_i \sigma_i 2^{-i} \\ z_{i+1} &= z_i - \sigma_i \arctan(2^{-i}) \end{aligned} \quad (4.28)$$

kde

$$\sigma_i = \begin{cases} -1 & \text{je-li } z_i < 0 \\ +1 & \text{je-li } z_i \geq 0 \end{cases} \quad \text{pro } i=0,1,2,\dots,n-1 \quad (4.29)$$

Výsledkem výpočtu jsou hodnoty:

$$\begin{aligned} x_n &= K_n \cos z_0 = K_n \cos \theta \\ y_n &= K_n \sin z_0 = K_n \sin \theta \\ z_n &= 0 \end{aligned} \quad (4.30)$$

kde

$$K_n = \prod_{j=0}^{n-1} \sqrt{1 + 2^{-2j}} \quad (4.31)$$

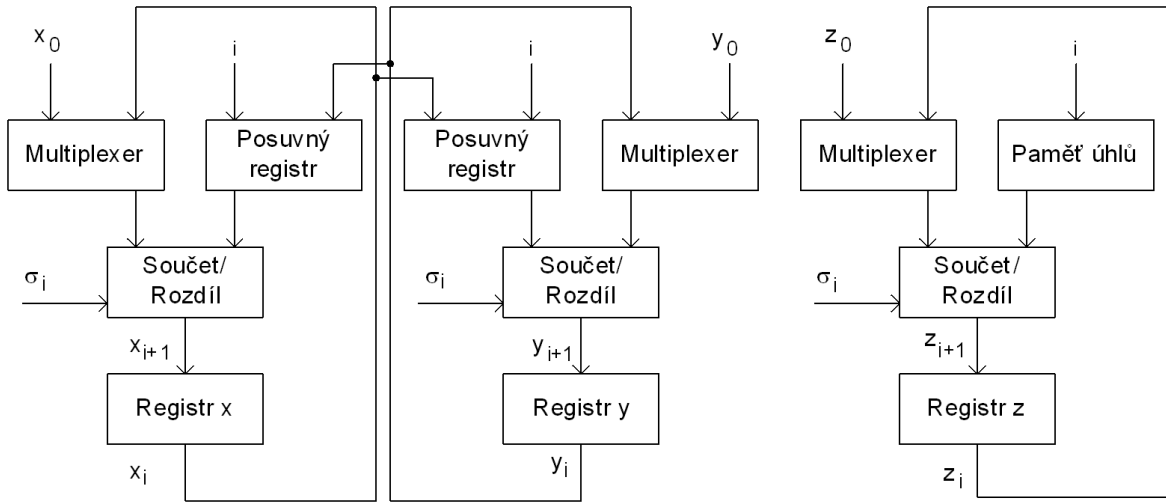
Přesnost dosažení výsledku po vykonání n iterací odpovídá rozlišení $n - 1$ bitů. Podmínka konvergence algoritmu je splněna, je-li požadovaný úhel rotace θ menší než maximální úhel rotace θ_{max} .

$$\theta_{max} = \sum_{j=0}^{\infty} \tan^{-1}(2^{-j}) \approx 1.7429(99.88^\circ) \quad (4.32)$$

Základní přístup k implementaci algoritmu CORDIC spočívá v opakovaném (sekvenčním) využití hw, který realizuje jednu iteraci výše popsanou iteračními rovnicemi. Tento způsob implementace bývá v literatuře nazýván sériový, sekvenční příp. iterativní [8] [21]. Blokové schéma implementace je uvedeno na obr. 4.9.

Tento způsob realizace je nevýhodný z důvodu dlouhé doby výpočtu. V průběhu výpočtu se sekvenčně provede n iterací pro dosažení požadovaného rozlišení. Každá iterace obsahuje dva posuvné registry, n bitovou sčítačku, paměť obsahující n hodnot úhlů a další logickou strukturu, která představuje konečný stavový automat. V literatuře zabývající se metodami implementace metody CORDIC lze nalézt mnoho dalších struktur [20]. Obecně lze tyto struktury rozdělit do třech základních skupin: výše zmiňované sekvenční, paralelní a jejich kombinace. Paralelní struktura se skládá z řady sčítaček a registrů s pevně nastaveným posuvem. Nevýhodou tohoto řešení je složitější struktura zabírající více prostoru. Kombinované metody jsou založeny na kaskádním pospojování několika sekvenčních logických struktur, které současně vykonávají po sobě následující iterace. Při použití kaskádní

4.5 Způsob vytvoření zdrojů referenčního napětí

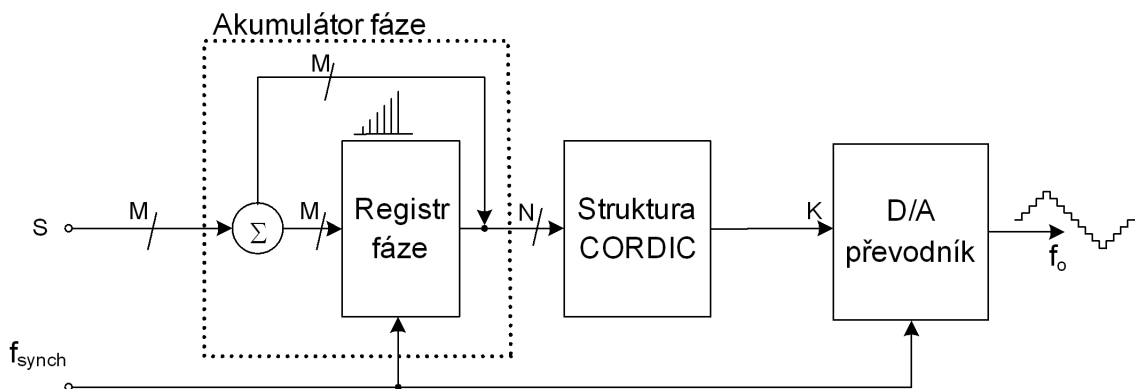


Obr. 4.9: Blokové schéma sekvenční implementace algoritmu CORDIC

struktury pro výpočet hodnoty vzorku funkce sinus a cosinus lze dosáhnout rychlost výpočtu srovnatelnou s rychlostí výpočtu u výše popsané metody DDS [20]. Pokud chceme metodu CORDIC implementovat jako součást číslicově řízeného generátoru s nastavitelným kmitočtem, musíme jednotku CORDIC doplnit o akumulátor fáze obdobně jako v případě realizace DDS. Blokové schéma číslicově řízeného generátoru s využitím metody CORDIC je uvedeno na obr. 4.10. Při použití této architektury lze dosáhnout jen malého frekvenčního rozlišení [9]:

$$\Delta f = \frac{f_{synch}}{2^{n+1}} \quad (4.33)$$

kde n je počet iterací algoritmu.



Obr. 4.10: Blokové schéma číslicově řízeného generátoru s využitím metody CORDIC

4.5 Způsob vytvoření zdrojů referenčního napětí

Vzhledem k tomu, že v řešeném případě chceme vždy kontinuálně generovat průběh harmonické funkce, nepotřebujeme počítat hodnotu funkce sinus v izolovaném bodě. Ale naopak argument funkce bude vždy záviset na předchozí hodnotě a na požadovaném kmitočtu generované funkce. Nabízí se tedy efektivnější způsob implementace pomocí rekurzivního výpočtu rovnic:

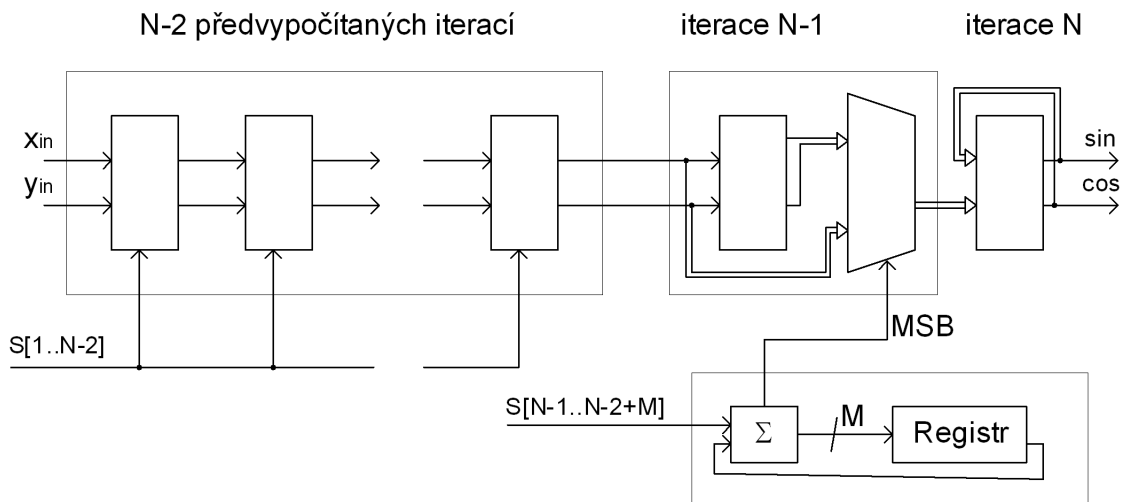
$$\begin{aligned} x_{n+1} &= x_n \cos(\theta) - y_n \sin(\theta) \\ y_{n+1} &= y_n \cos(\theta) + x_n \sin(\theta) \\ z_{n+1} &= z_n + \theta \end{aligned} \quad (4.34)$$

kde

$$\theta = 2\pi \frac{f_{out}}{f_{synch}} \quad (4.35)$$

Implementace tohoto výpočtu se provede zavedením zpětné vazby do struktury CORDIC jak je vidět na obr. 4.11. Aby bylo možné dosáhnout jemného kmitočtového rozlišení srovnatelného s výše zmiňovanou metodou DDS, je potřeba strukturu algoritmu CORDIC dále modifikovat [9] (viz. obr. 4.11). Struktura je doplněna o další akumulátor. Předposlední iterace ($N - 1$) se provede v okamžiku přetečení tohoto akumulátoru. Frekvenční rozlišení lze pak ovlivnit počtem bitů (M) akumulátoru [9]:

$$\Delta f = \frac{1}{2^{N+M-1}} f_{synch} \quad (4.36)$$



Obr. 4.11: Modifikovaná metoda CORDIC

4.5.4 Metody číslicového generování vzorků signálů - shrnutí

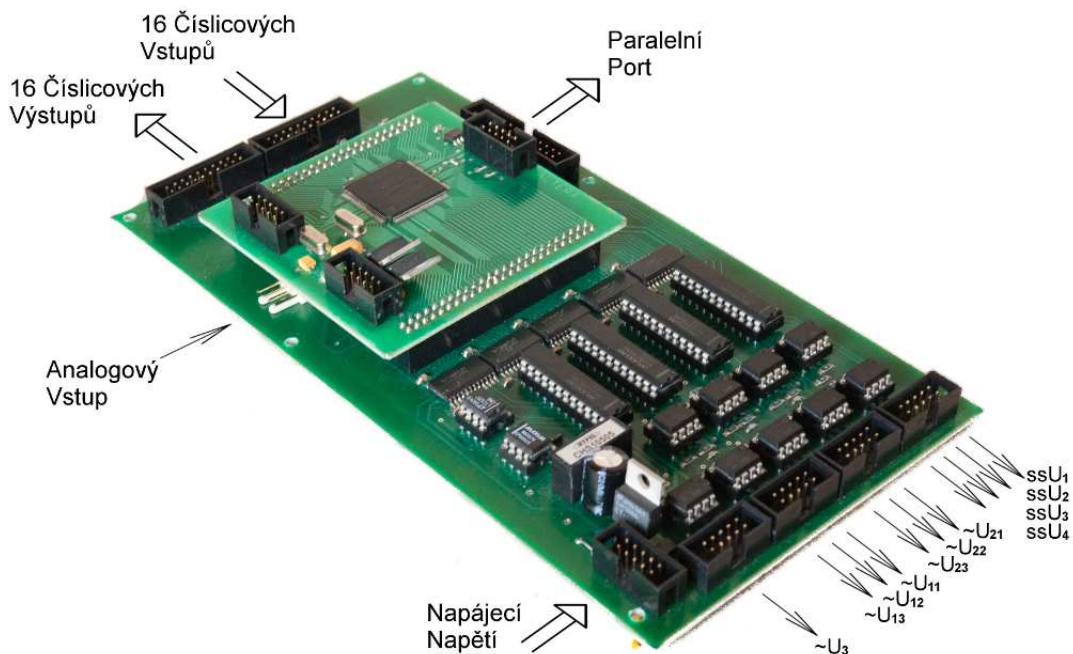
Obě výše zmíněné metody číslicového generování vzorků (DDS, CORDIC) principiálně umožňují dosáhnout požadovaného rozlišení v kmitočtu i amplitudě. Obě tyto metody jsou vhodné pro hardwarovou implementaci. Hlavní výhodou metody DDS je nejvyšší dosažitelná rychlost získání funkční hodnoty. Nevýhodou je velký rozsah obsazené paměti a z toho plynoucí omezené rozlišení v čase. V případě použití metody DDS bude výsledné řešení vždy kompromisem mezi velikostí obsazené paměti a dosaženým rozlišením v čase. Metoda CORDIC umožňuje dosažení větší přesnosti za cenu časově náročnějšího výpočtu. Vzhledem k tomu, že za číslicovým obvodem generujícím vzorky sinusového signálu předpokládáme použití běžně dostupného dvanáctibitového D/A převodníku, bude výhodnější použít metodu DDS. Použitý D/A převodník limituje hodnotu rozlišení v amplitudě velikostí datového registru i hodnotu rozlišení v čase maximální rychlostí prepisu vstupního registru D/A převodníku. V řešeném případě předpokládáme použití dvanáctibitového D/A převodníku s kmitočtem nastavování výstupu 444 KHz. Z toho lze odvodit maximální paměťové nároky. Je-li spodní hranice kmitočtu generovaného signálu 40 Hz lze vypočítat množství potřebných vzorků uložených v paměti:

$$pocet\ vzorku = \frac{f_{synch}}{f_{min}} = \frac{444444}{40} = 11111 \quad (4.37)$$

Tzn., budeme-li mít v paměti uloženo 11111 vzorků sinusového signálu, nebude se ani při nejnižším požadovaném kmitočtu žádný vzorek opakovat. K tomuto číslu je následně potřeba najít nejbližší vyšší číslo dělitelné beze zbytku třemi a čtyřmi (tj. 12288). Uložit do paměti postačí jednu čtvrtinu periody tzn. $12288/4 = 3072$. Vzniklé paměťové nároky jsou $3072 \times 12 = 36864$ bitů. Najít na trhu obvod, který pokryje vzniklé paměťové nároky, nepředstavuje velký problém. Výhodou tohoto řešení bude méně komplikovaná hw implementace a z toho plynoucí kratší doba návrhu.

4.6 Řídicí jednotka zdrojů

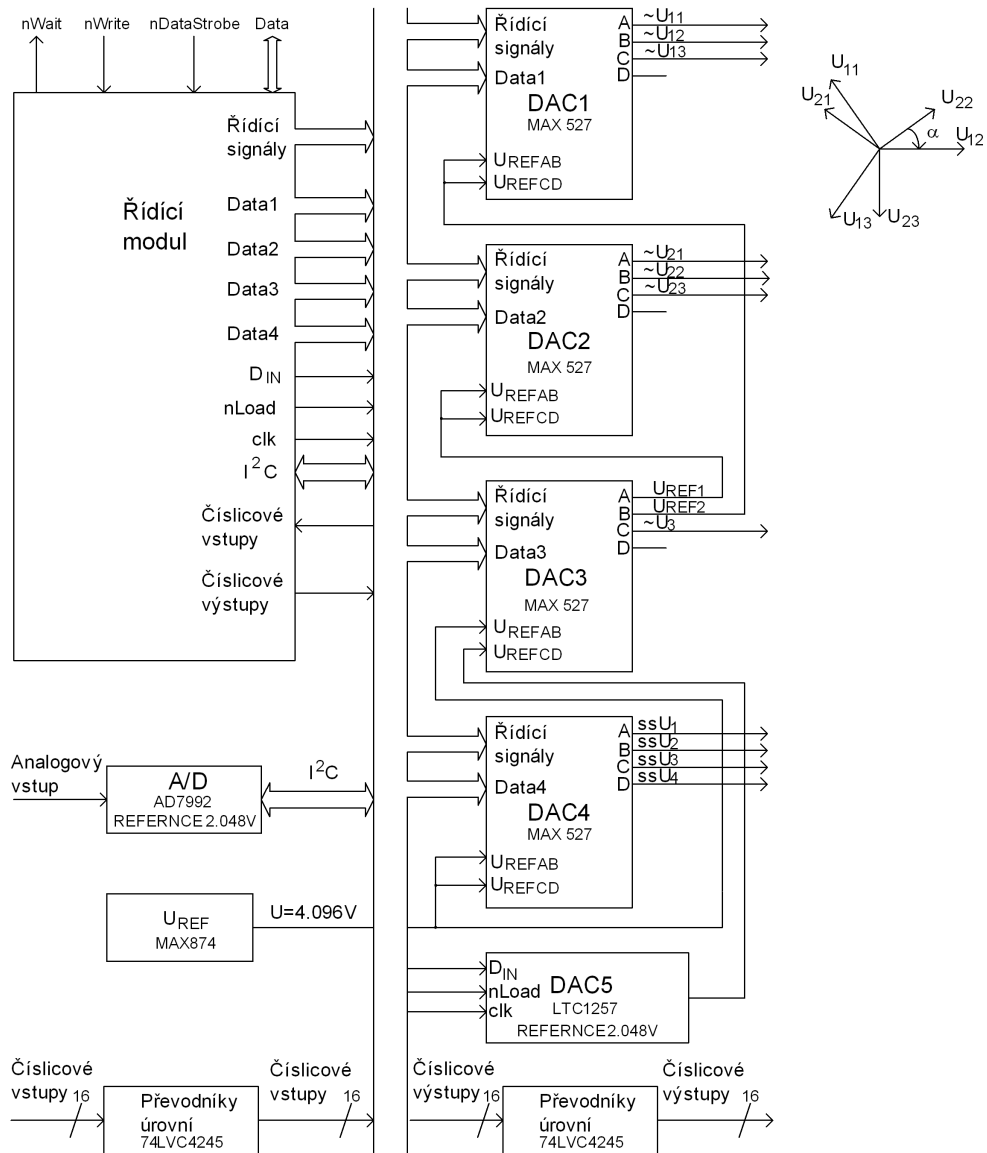
Řídicí jednotka zdrojů je koncipována univerzálně. Umožňuje generování dvou soustav třífázových referenčních napětí s nastavitelným kmitočtem a nastavitelným vzájemným fázovým posuvem. Dále umožňuje generování referenčního napětí pro nezávislý sinusový signál s nezávisle nastavitelným kmitočtem a amplitudou a s možností počáteční synchronizace s třífázovou soustavou, čtyři přeladitelná stejnosměrná napětí, jeden analogový vstup, šestnáct číslicových vstupů a šestnáct číslicových výstupů. Řídicí jednotka zdrojů obsahuje dále paralelní komunikační rozhraní. Nastavení výstupních a zároveň načtení vstupních veličin je prováděno přenosem dat z řídicího počítače přes paralelní port. Splnění požadavků vyžaduje velké množství současně ovládaných vstupů a výstupů použitého řídicího hardware. Integrované obvody pro realizaci přímé číslicové syntézy v nabídkách výrobců existují [3] [19] [14]. Jsou obvykle optimalizovány pro použití v radioelektronice. Pro konstrukci říditelných nízkofrekvenčních střídavých zdrojů jsou nevhodné. Jejich použití by přineslo velkou obvodovou složitost. Jádrem řídicí jednotky zdrojů bylo zvoleno programovatelné logické pole. S využitím obvodu FPGA Cyclone EP1C6 [2] byl navržen a vyroben univerzální řídicí modul. Tento modul je pomocí dvou padesátipinových konektorů propojen se základní deskou řídicí jednotky zdrojů. Zvolený obvod FPGA splňuje požadavky na počet paralelně řízených vstupů/výstupů a zároveň požadavky na velikost paměti a výpočetní výkon. Fotografie řídicí jednotky zdrojů je na obr. 4.12.



Obr. 4.12: Fotografie desky řídicí jednotky zdrojů

4.6 Řídicí jednotka zdrojů

Blokové schéma řídicí jednotky zdrojů je na obr. 4.13. V kap. 4.6.1 až 4.6.3 budou podrobněji popsány jednotlivé části.



Obr. 4.13: Blokové schéma řídicí jednotky zdrojů

4.6.1 Řídicí modul

Pro návrh vývojového modulu byl zvolen programovatelný logický obvod FPGA Cyclone EP1C6 od firmy Altera dodávaný v pouzdru TQFP144. Tento obvod má rozsah vnitřní logiky 5980 logických buněk (LE). Obsahuje blokovou paměť RAM s kapacitou do 92160

bitů a dva bloky fázových závěsů PLL (Phase-Locked Loop). V obvodu FPGA Cyclone EP1C6 je programátorovi k dispozici 98 současně ovládaných vstupů a výstupů. Napájecí systém řídicího modulu je řešen dvěma nastavitelnými stabilizátory typ LM1086 [17]. Výstupní napětí prvního stabilizátoru je nastaveno dvěma vnějšími rezistory na hodnotu 1.5V a je použito pro napájení vnitřní logiky a vstupních obvodů integrovaného obvodu FPGA. Výstupní napětí druhého stabilizátoru je nastaveno dvěma vnějšími rezistory na hodnotu 3.3V a je použito pro napájení výstupních obvodů integrovaného obvodu FPGA. Součástí řídicího modulu jsou dva generátory hodinových signálů $clk1 = 8$ MHz a $clk2 = 24$ MHz realizované zpětnovazebním krystalovým oscilátorem. Hodinové signály jsou přivedeny na definované hodinové vstupy obvodu FPGA $clk2$ a $clk3$. Hodinové vstupy $clk0$ a $clk1$ jsou vyvedeny na vnější konektor. Řídicí modul umožňuje konfigurovat obvod FPGA přímo v systému z paralelního portu počítače pomocí programovacího rozhraní JTAG, nebo po zapnutí z naprogramované externí sériové paměti flash typ EPCS1 [2]. Všechny nevyužité vstupně/výstupní vývody obvodu FPGA jsou vyvedeny na vnější konektory. Obsah obvodu FPGA byl navržen ve volně dostupném vývojovém prostředí Quartus II, které umožňuje implementovat návrh do většiny obvodů dodávaných firmou Altera. Návrh algoritmu byl proveden v jazyce VHDL. Podrobný popis návrhu obvodu FPGA bude diskutován v následujících kapitolách.

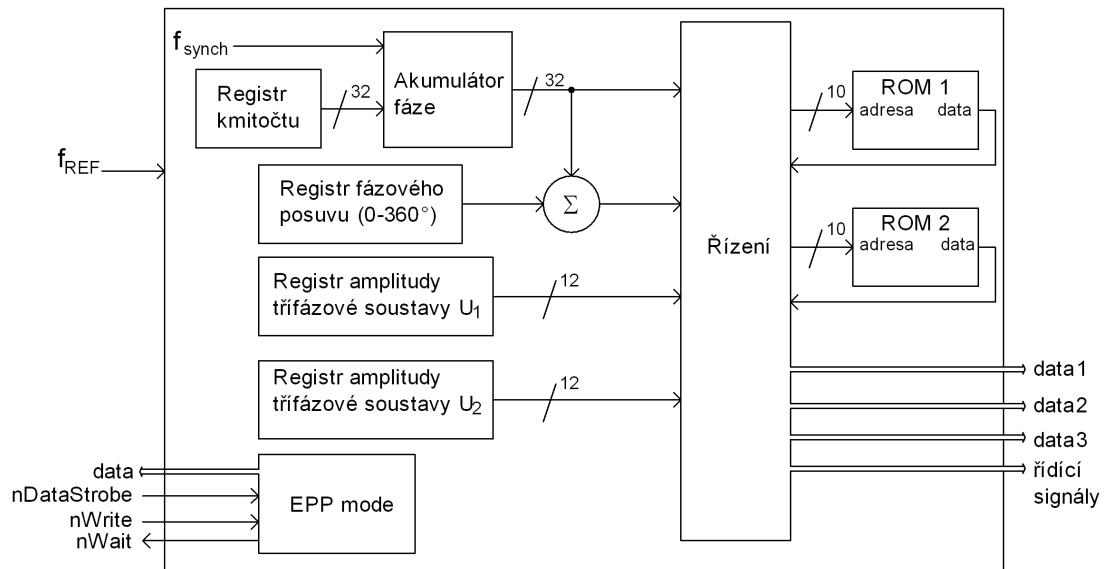
4.6.2 Realizace zdrojů referenčních napětí

Požadavky na rozsahy a rozlišení jednotlivých veličin jsou podrobně diskutovány v kap. 4.5. Vysvětleno je použití principu číslicového generování vzorků metodou přímé číslicové syntézy a jejich následného převedení do spojitého tvaru pomocí D/A převodníků. V paměti řídicího modulu jsou uloženy vzorky sinusového signálu. Hlavní funkcí tohoto modulu je realizace metody přímé číslicové syntézy a následného generování řídicích a datových signálů pro D/A převodníky na základě zadaných parametrů výstupních signálů. V blokovém schématu modulu zdroje (viz. obr. 4.13) jsou zdroje referenčních napětí tvořeny převodníky DAC1, DAC2, DAC3. Pro převod vzorků do analogové podoby byly vybrány obvody MAX 527 [15]. Obvod MAX 527 obsahuje čtyři dvanáctibitové D/A převodníky (označené A,B,C,D) s osmibitovým vstupním rozhraním. Vstupní data jsou zapisována do dvanáctibitových vstupních registrů pomocí dvou zápisových cyklů. Amplitudy výstupních napětí převodníků jsou odvozeny od referenčního napětí U_{REFAB} společného pro převodníky A a B resp. U_{REFCD} společného pro převodníky C a D. Změna velikosti jednotlivých amplitud je dosažena změnou hodnoty napětí U_{REFAB} resp. U_{REFCD} , která jsou v tomto případě generována převodníkem DAC3. Výstupní napětí U_{REF1} z převodníku DAC3 reprezentuje amplitudu první třífázové soustavy označené U_{11}, U_{12}, U_{13} (generované převodníkem DAC1). Výstupní napětí U_{REF2} z převodníku DAC3 reprezentuje amplitudu druhé třífázové soustavy označené U_{21}, U_{22}, U_{23} (generované převodníkem DAC2). Výstupní napětí U_{REF1} a U_{REF2} z převodníku DAC3, která reprezentují amplitudy třífázových soustav jsou odvozena od zdroje přesného referenčního napětí 4.096V (realizováno obvodem MAX874 [16]).

Na obr. 4.14 je uvedeno blokové schéma návrhu obvodu FPGA. V bloku paměti označeném

4.6 Řídicí jednotka zdrojů

ROM1 je uložena tabulka hodnot sinusového signálu pro první třífázovou soustavu resp. v bloku paměti označeném *ROM2* je uložena tabulka sinusového signálu pro druhou třífázovou soustavu. Každá tabulka je tvořena celkem 3072 hodnotami.



Obr. 4.14: Blokové schéma návrhu číslicového systému obvodu FPGA - realizace zdrojů referenčních napětí

Číslo 3072 je největší číslo dělitelné třemi a zároveň menší než 2^{12} . Bylo zvoleno z důvodu přesného výpočtu fázového posuvu jednotlivých fází. Z důvodu efektivního využití paměťového prostoru je v paměti *ROM1* resp. *ROM2* uložena pouze jedna čtvrtina sinusového signálu tzn. 768 vzorků. Generování vzorků ve zbývajících částech periody se provádí přepočtem adresy a dat v bloku řízení. Nastavení parametrů zdrojů referenčních napětí se provádí přenosem dat z řídicího počítače přes paralelní port v EPP (Enhanced Parallel Port) režimu. Paralelní port s podporou EPP režimu je dostupný u běžně používaných PC a poskytuje plně hardwarovou podporu obousměrného přenosu dat. Dosažitelná rychlost přenosu je 600 kB/s. Data přijatá přes paralelní port se ukládají do čtyř registrů - registr kmitočtu, registr fázového posuvu ($0-360^\circ$), registr amplitudy první třífázové soustavy a registr amplitudy druhé třífázové soustavy. Registry amplitud jsou v bloku řízení transformovány na datové signály *data3* pro převodník *DAC3*. Registr kmitočtu je v akumulátoru fáze transformován na údaj potřebný pro adresaci v bloku paměti *ROM1* resp. *ROM2*. Výstup z akumulátoru fáze a číslo uložené v registru fázového posuvu je v bloku řízení přepočteno na adresy pro paměťové bloky. Zdrojem synchronizačního signálu f_{REF} pro celý obvod FPGA je krystalový oscilátor o kmitočtu 24MHz.

Pro výpočet maximálního dosažitelného kmitočtu vyjdeme z požadavku minimálního rozlišení v čase 3072 vzorků a z omezujících parametrů použitého převodníku [15]. Rychlost změny výstupního napětí převodníku je omezena časovým intervalem potřebným pro nastavení výstupního napětí a dále minimálními časovými intervaly potřebnými pro časování

zápisového cyklu. Pro převodník MAX527 bylo vypočteno a ověřeno, že je schopen pracovat s kmitočtem nastavení výstupu 444Khz. Tento kmitočet je synchronizačním kmitočtem f_{synch} pro akumulátor fáze. Maximální dosažitelný kmitočet je

$$f_{MAX} = \frac{f_{synch}}{3072} = \frac{444 \cdot 10^3}{3072} \doteq 144Hz \quad (4.38)$$

Velikost akumulátoru fáze je třicet dva bitů. Rozlišení v kmitočtu lze vypočítat:

$$\Delta f = \frac{f_{synch}}{2^M} = \frac{444 \cdot 10^3}{2^{32}} \doteq 0.0001Hz \quad (4.39)$$

Velikost registru fázového posunu je šestnáct bitů. Rozlišení fázového posunu lze vypočítat:

$$\Delta\varphi = \frac{360}{2^{16}} \doteq 0.01^\circ \quad (4.40)$$

4.6.3 Návrh číslicového systému obvodu FPGA pro řídicí jednotku zdrojů

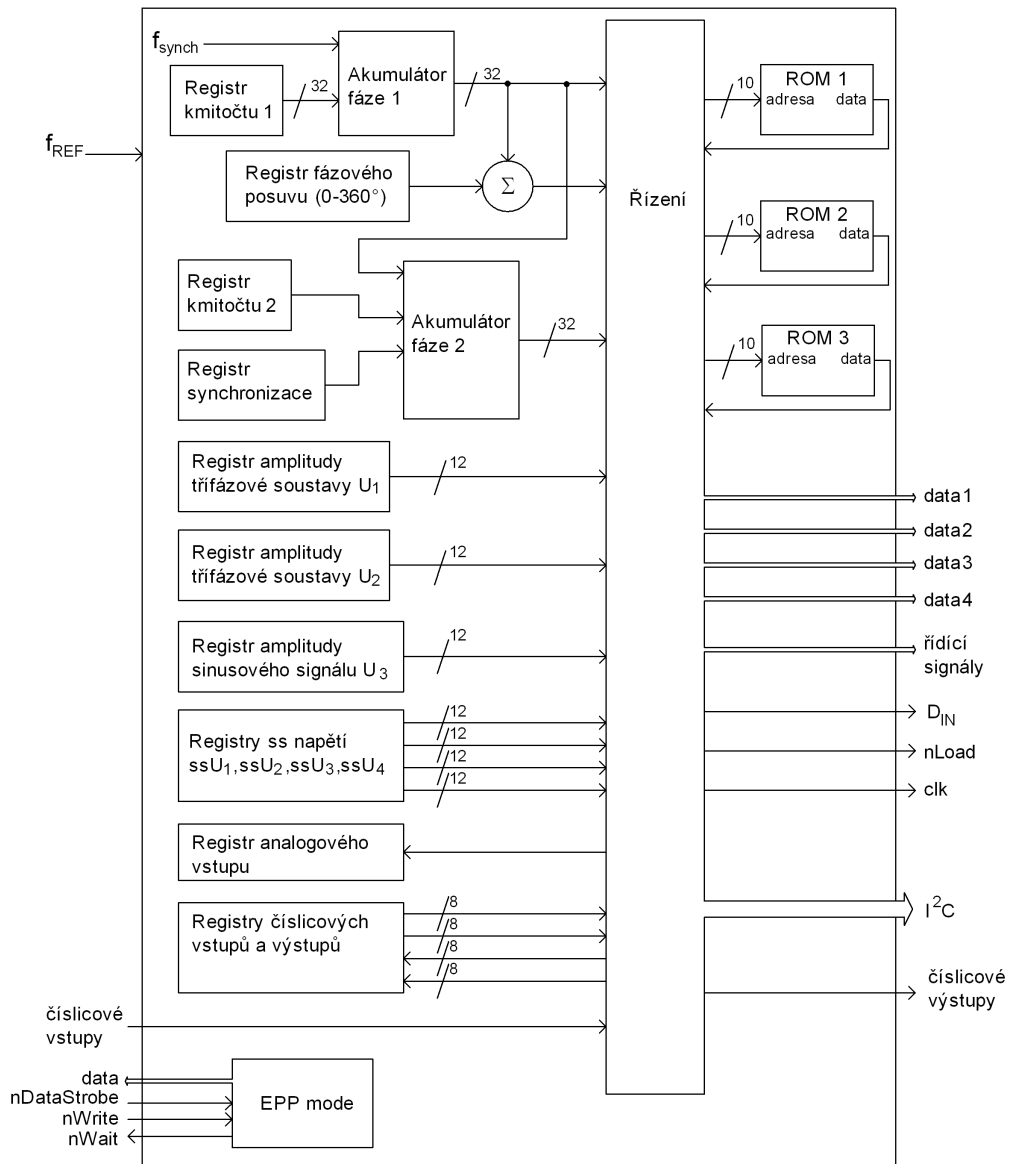
Hlavní částí řídicí jednotky zdrojů je funkční blok realizující zdroje referenčních napětí, který byl podrobně popsán v kap. 4.6.2. Ovládání tohoto funkčního bloku je proto také hlavní částí číslicového systému obvodu FPGA pro řídicí jednotku zdrojů. Blokové schéma celkového návrhu číslicového systému obvodu FPGA je na obr. 4.15.

Další částí řídicí jednotky zdrojů je nezávislý zdroj střídavého referenčního napětí označeného U_3 , které je generováno převodníkem $DAC3$ (viz. obr. 4.13). Amplituda napětí U_3 je odvozena od referenčního napětí U_{REFCD} . Velikost napětí U_{REFCD} je nastavována výstupem D/A převodníku $DAC5$. Převodník $DAC5$ je realizován obvodem LTC1257 [12]. Obvod LTC1257 obsahuje jeden dvanácti bitový D/A převodník se kaskádním sériovým rozhraním (CSI - cascadable serial interface) [12]. Zdroj napětí U_3 je nezávislý na generátoru dvou třífázových soustav referenčních napětí popsaných v předchozí kapitole. Zdroj umožňuje počáteční synchronizaci s třífázovými soustavami. Počáteční synchronizace nastane po přijetí požadavku na synchronizaci z řídicího počítače. Požadavek na synchronizaci je uložen v registru synchronizace (viz. obr. 4.15). Zdroj referenčního napětí U_3 umožňuje nezávislé nastavení amplitudy a kmitočtu. Velikost amplitudy resp. hodnota kmitočtu je uložena v registru amplitudy sinusového signálu U_3 resp. v registru kmitočtu 2. Vzorky sinusového signálu U_3 jsou uloženy v bloku paměti označeném $ROM3$. Registr kmitočtu 2, registr synchronizace a výstup z akumulátoru fáze 1 je v bloku řízení přepočten na adresu pro paměťový blok $ROM3$. Počet vzorků sinusového signálu uložených v paměti $ROM3$ a metoda jejich generování je shodná s paměti $ROM1$ resp. $ROM2$. Z toho plyne stejný maximální dosažitelný kmitočet, rozlišení v kmitočtu a rozlišení fázového posuvu viz. předchozí kapitola. Registr amplitudy sinusového signálu U_3 je v bloku řízení transformován na signály D_{IN} , $nLoad$ a clk pro nastavení výstupu převodníku $DAC5$.

Další částí řídicí jednotky zdrojů jsou čtyři nastavitelná stejnosměrná napětí ssU_1 , ssU_2 , ssU_3 , ssU_4 (viz. obr. 4.13). Tato čtyři nastavitelná stejnosměrná napětí jsou generována převodníkem $DAC4$. Převodník $DAC4$ je realizován obvodem MAX527. Parametry obvodu

4.6 Řídicí jednotka zdrojů

MAX527 jsou uvedeny v předchozí kapitole. Velikosti výstupních napětí převodníku DAC4 jsou odvozeny od zdroje přesného referenčního napětí 4.096V (realizováno obvodem MAX874). V číslicovém systému obvodu FPGA jsou velikosti těchto stejnosměrných napětí uloženy v Registrech ss napětí ssU_1 , ssU_2 , ssU_3 , ssU_4 (viz. obr. 4.15). Obsah těchto registrů je v bloku řízení přepočten na datové signály $data4$ pro převodník DAC4.



Obr. 4.15: Blokové schéma návrhu číslicového systému obvodu FPGA - řídicí jednotka zdrojů

Další částí řídicí jednotky zdrojů je jeden analogový vstup. Analogově číslicový převod tohoto vstupního napětí je realizován obvodem AD7992 [5] (viz. obr. 4.13). Obvod AD7992 obsahuje jeden dvoukanálový dvanáctibitový A/D převodník se sériovým roz-

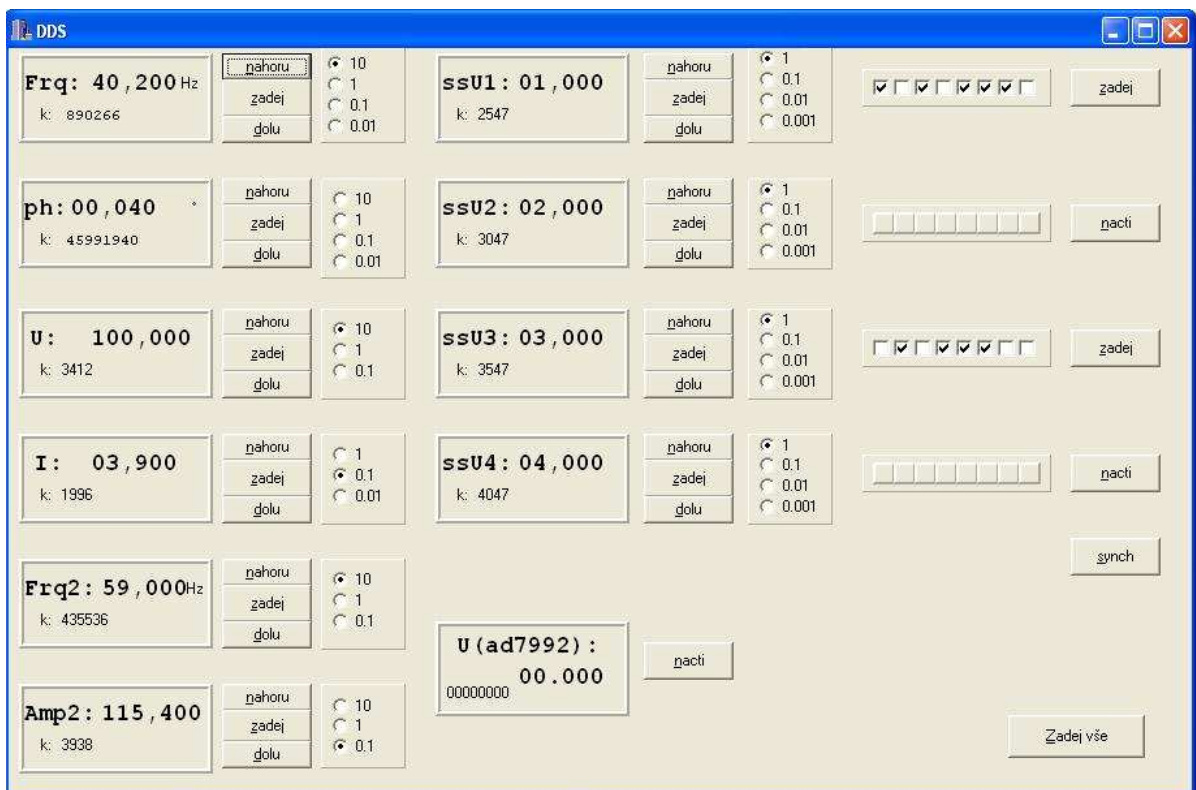
4.6 Řídicí jednotka zdrojů

hraním I^2C . Na jeden vstup tohoto převodníku je přivedeno vstupní analogové napětí. Druhý vstup je využit jako referenční a je k němu připojen zdroj přesného referenčního napětí 2.048V (realizováno obvodem LTC1257). Sběrnice I^2C umožňuje připojení více obvodů s tímto rozhraním, které jsou navzájem rozlišitelné podle adresy. Obvod AD7992 má nastavenou adresu zařízení pomocí jednoho adresního pinu AS . Řídicí jednotka zdrojů byla navržena tak, aby byla snadno rozšiřitelná o další analogový vstup (osazením dalšího obvodu AD7992). V bloku řízení v číslicovém systému obvodu FPGA je realizován sekvenční obvod (viz. obr. 4.15), který provede konfiguraci obvodu AD7992, spustí A/D převod, načte výsledek převodu a ten pak uloží do registru analogového vstupu.

Celkový návrh algoritmu řídicí jednotky zdrojů byl proveden v jazyce VHDL. Syntéza algoritmu byla provedena pro výše zmiňovaný obvod FPGA Cyclone EP1C6. Tento obvod se ukázal jako vyhovující s dostatečnou rezervou. Bylo využito 28% logických buněk (LE). Současně je ovládáno 93% vstupů a výstupů. Blokové paměti RAM je využito 30%.

4.6.4 Testovací aplikace

Pro testování řídicí jednotky zdrojů byla vyvinuta aplikace umožňující zadání požadovaných parametrů z PC (viz. obr. 4.16).



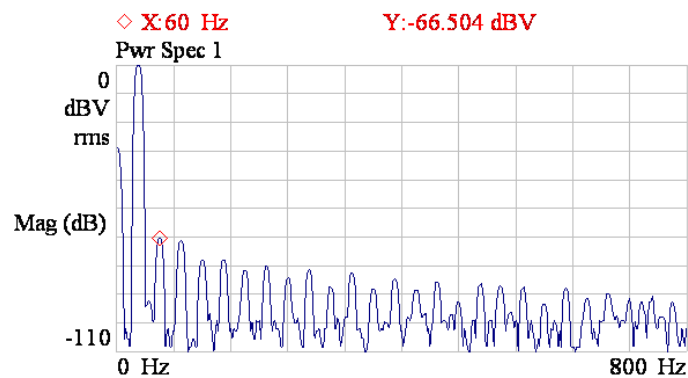
Obr. 4.16: Testovací aplikace

4.6 Řídicí jednotka zdrojů

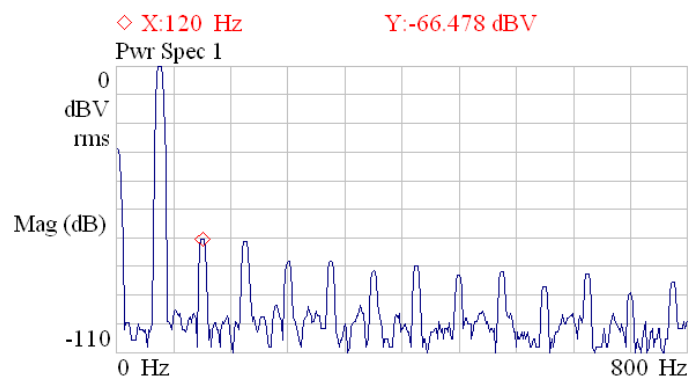
Aplikace poskytuje uživatelsky pohodlné prostředí pro zadávání jednotlivých parametrů řídicí jednotky zdrojů příp. umožňuje jednorázové zadání všech naposledy použitých hodnot, které jsou uloženy v inicializačním souboru. Po zadání požadovaného parametru jsou vypočteny hodnoty všech registrů nastavení parametrů řídicí jednotky zdrojů a odeslány na paralelní port počítače.

4.6.5 Spektrální vlastnosti referenčních zdrojů

Kmitočtové spektrum bylo změřeno pro tři různé hodnoty výstupního kmitočtu 30Hz, 60Hz a 120Hz (viz.obr. 4.17, 4.18, 4.19). Měření bylo provedeno pro maximální hodnoty referenčního napětí. Měření bylo provedeno nízkofrekvenčním spektrálním analyzátozem Agilent 35670A. Měřený rozsah byl zvolen od 0 do 800Hz. Naměřená úroveň odstupů signálu od šumu je 66dB.

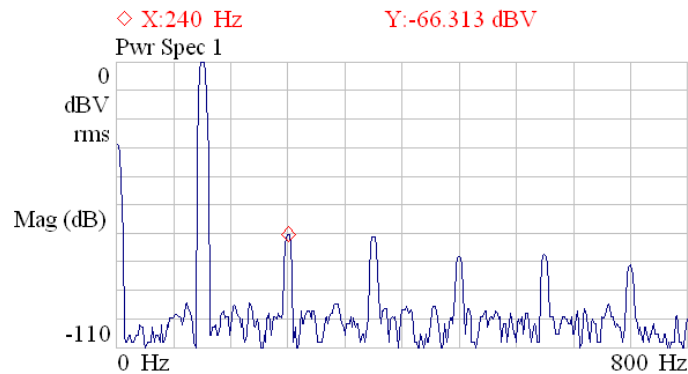


Obr. 4.17: Spektrum generovaného signálu o kmitočtu 30Hz



Obr. 4.18: Spektrum generovaného signálu o kmitočtu 60Hz

4.6 Řídicí jednotka zdrojů



Obr. 4.19: Spektrum generovaného signálu o kmitočtu 120Hz

Vypočtený odstup signálu od šumu způsobeného kvantizačním zkreslením amplitudy je:

$$NSR = -SNR = -6.02 \cdot K - 1.761 = -6.02 \cdot 12 - 1.761 = -74dB \quad (4.41)$$

kde K je počet bitů použitého DA převodníku.

Vypočtený odstup signálu od šumu způsobeného kvantizačním zkreslením fáze nepřekročí hodnotu:

$$S_{MAX} = -SFDR = -6.02 \cdot N = -6.02 \cdot 11.6 = -69.7dB \quad (4.42)$$

kde N je efektivní počet bitů adresy pro adresaci v paměti vzorků.

Tab. 4.1: Hodnoty harmonických složek ve spektru generovaného signálu o kmitočtu 60 Hz

n	$U_n[dB]$	$U_n[mV]$
1	0	1
2	-66.48	0.47
3	-67.38	0.43
4	-74.9	0.18
5	-75.01	0.18
6	-78.59	0.12
7	-76.61	0.15
8	-80.06	0.1
9	-78.89	0.11
10	-84.6	0.06
11	-79.68	0.1

Činitel harmonického zkreslení (THD - Total Harmonic Distortion) je vypočten pro deset harmonických složek:

$$THD = \frac{\sqrt{\sum_{n=2}^{11} U_n}}{U_1} \cdot 100 = 0.074\% \quad (4.43)$$

Hodnoty jednotlivých harmonických složek byly odečteny ze spektrogramu generovaného signálu o kmitočtu 60 Hz na obr. 4.18. Odečtené hodnoty jsou uvedeny v tab. 4.1.

5 Původní výsledky, jejich uplatnění a možnosti pokračování práce

Výsledky disertační práce popsané v kap. 4 se staly součástí unikátního laboratorního přístroje - jednotky zdrojů modelu, která byla realizována a uvedena do provozu ve spolupráci firmy ZAT a.s. a Katedry aplikované elektroniky a telekomunikací. Fotografie předního panelu resp. zadního panelu druhé vylepšené verze jednotky zdrojů modelu je na obr. 5.1 resp. 5.2.

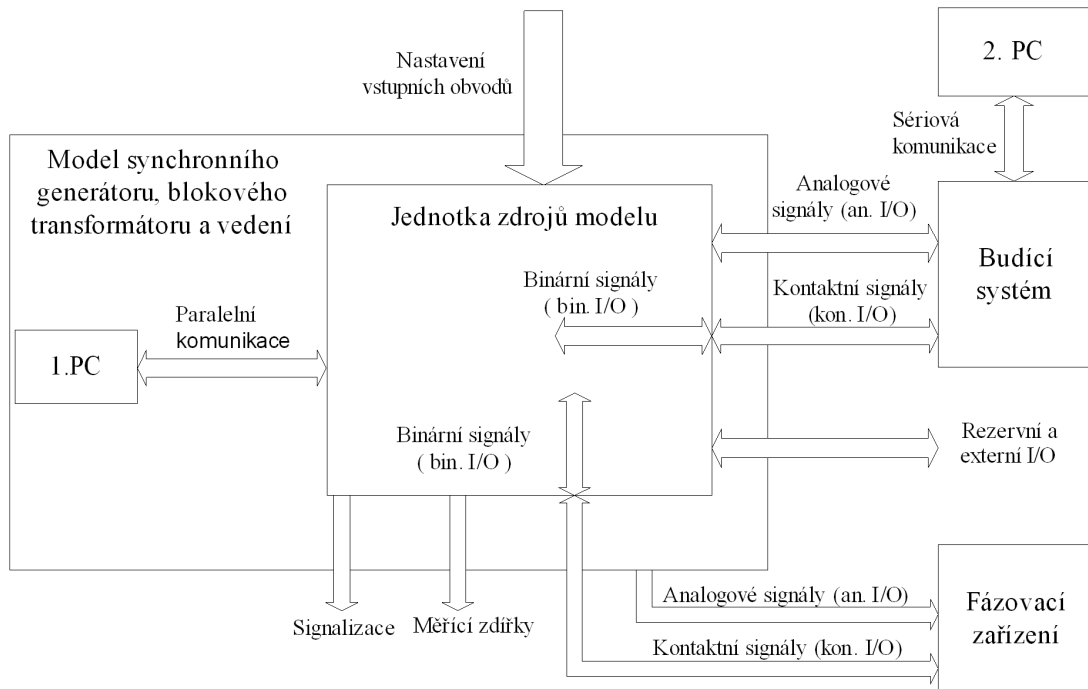


Obr. 5.1: Přední panel jednotky zdrojů modelu



Obr. 5.2: Zadní panel jednotky zdrojů modelu

Jednotka zdrojů modelu je úspěšně používána v aplikaci, kde je využita jako součást simulátoru soustavy turbína a synchronní generátor připojený do elektrizační soustavy. Blokové schéma aplikace je na obr. 5.3.



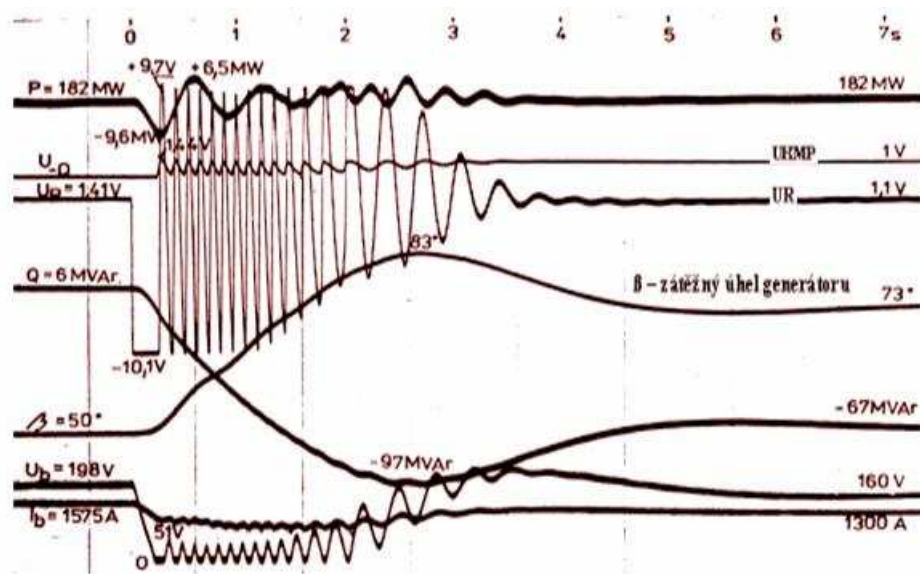
Obr. 5.3: Blokové schéma modelu synchronního generátoru, blokového transformátoru a vedení

Blokové schéma znázorňuje model regulované soustavy, ve které je regulovaným objektem generátor připojený přes blokový transformátor a vedení do elektrizační sítě. Analogové signály (an. I/O) přivedené do budicího systému jsou propojeny s čidly regulátoru buzení. Jedná se o jednofázové napětí, dvě třífázové soustavy napětí a proudů a čtyři stejnosměrná napětí. Fázovací zařízení pak slouží k seřízení velikosti napětí, kmitočtu a fáze napětí generátoru a sítě pro okamžik přifázování generátoru. Napětí a jalový výkon generátoru jsou regulovány stejnosměrným budicím proudem přiváděným do budicího vinutí generátoru. Tento budicí proud je produkován v tzv. výkonovém obvodu budicího systému. Výkonový obvod je realizován tyristorovým usměrňovačem anebo rotačním budičem řízeným tyristorovým usměrňovačem. Výkonový obvod je řízen regulátorem buzení. Budicí systém a generátor připojený přes blokový transformátor do sítě představují regulovanou soustavu popsanou nelineárními algebraickými a diferenciálními rovnicemi. Návrh struktury a parametrů regulace je proto obtížný a její ověření na elektrárně představuje většinou pro provoz určité riziko. Proto se používá pro návrh parametrů regulátoru buzení simulace.

Blokové schéma na obr. 5.3 představuje zapojení modelu výkonového obvodu budicího systému synchronního generátoru, blokového transformátoru a vedení. Model, jehož

součástí je jednotka zdrojů modelu, pracuje v reálném čase. V 1.PC je prováděn výpočet veličin ustálených stavů a přechodných dějů generátoru, budiče a výkonové části regulačních obvodů. Vypočtené veličiny jsou přenášeny v číslicové formě do jednotky zdrojů modelu, ve které jsou převedeny na analogová střídavá a stejnosměrná napětí a proudy. Tato napětí a proudy mají nastavenou velikost tak, aby odpovídala skutečné velikosti signálů na výstupu čidel reálného generátoru, blokového transformátoru a vedení. Uvedené signály jsou pak použity jako vstupní signály reálného regulátoru buzení, jehož parametry nastavujeme. Zpětnovazebním signálem této soustavy je výstupní signál regulátoru buzení zaváděný do PC pomocí jednotky zdrojů modelu. Model simuluje též zjednodušenou regulaci turbíny, což umožňuje respektovat vzájemné ovlivnění jalového a činného výkonu. K ověření funkčnosti modelu byl použit záznam odezvy na složitý poruchový děj simulovaný na reálném generátoru 200MVA s blokovým transformátorem a vedením na elektrárně (viz. obr. 5.4).

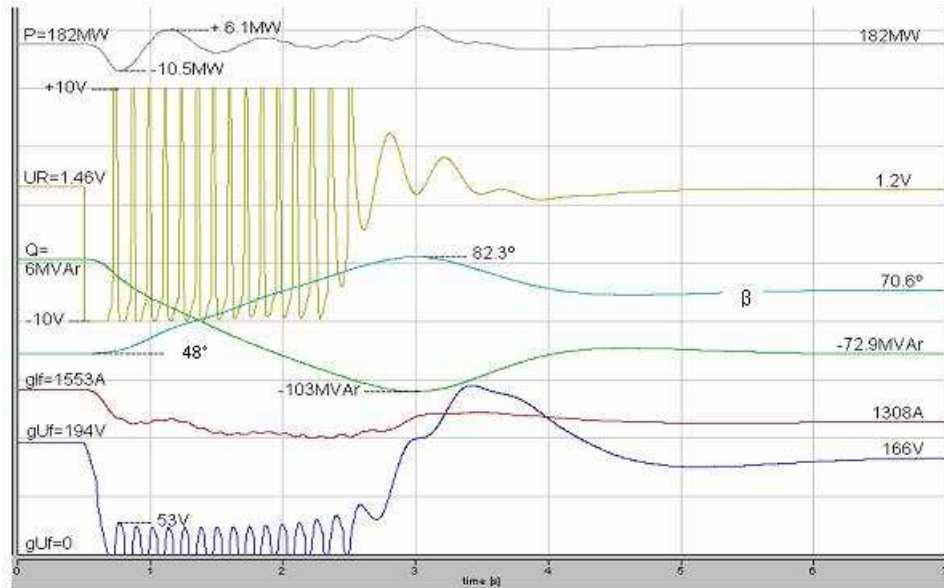
Pomocí jednotky zdrojů modelu provedla firma ZAT a.s. měření simulace přechodného děje (viz. obr. 5.6). Na obr. 5.5 je pro porovnání uveden graf výpočtu tohoto děje, který není prováděn v reálném čase.



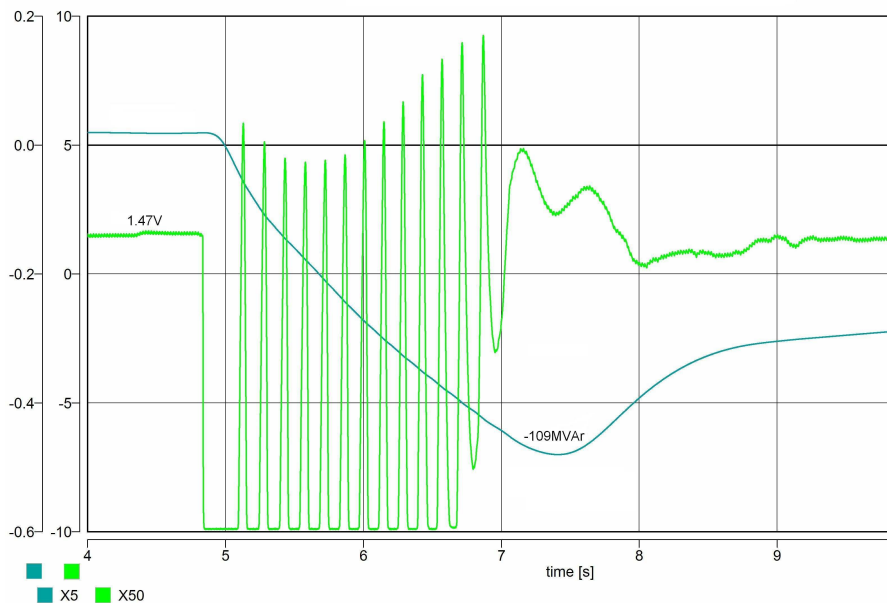
Obr. 5.4: Měření zásahu hlídače podbuzení u generátoru 235MVA. Obrázek poskytla firma ZAT a.s.

Simulátor realizovaný prostřednictvím jednotky zdrojů modelu byl doposud použit při návrhu a ověření regulace buzení hydrogenerátorů 100 MVA na VE Gabčíkovo a turbo-generátoru 51 MVA Přerov.

Možnosti vylepšení realizovaného přístroje spatřuji v návrhu dokonalejšího komunikačního protokolu pro přenos řídicích dat z počítače. Další vylepšení spatřuji v optimalizaci parametrů třífázových zdrojů napětí a proudů např. zvýšení účinnosti a snížení výstupní impedance u zdrojů napětí resp. admitance u zdrojů proudů.



Obr. 5.5: Simulace zásahu hlídače podbuzení u generátoru 235MVA provedená simulačním programem Dynast. Matematický popis použitý v programu Dynast byl použit pro simulační program pracující v reálném čase. Obrázek poskytla firma ZAT a.s.



Obr. 5.6: Simulace přechodného děje provedená pomocí jednotky zdrojů modelu a reálného regulátoru buzení. $X5 = Q[p \cdot j]$; $1[p \cdot j]$ odpovídá 235 MVar; $X50 = U_R[V]$. Údaj o jalovém výkonu byl vyhodnocen z třífázových soustav napětí a proudů, kde hodnoty napětí a proudů odpovídají hodnotám napětí a proudů z čidel generátoru (při jmenovitých parametrech generátoru je tato hodnota napětí $U_n = 57.7V$ a hodnota proudu $I_n = 5A$). Obrázek poskytla firma ZAT a.s.

6 Závěr

Výsledkem disertační práce je návrh koncepce zdrojů třífázových soustav napětí a proudů, návrh metody generování říditelných třífázových soustav referenčních napětí a hw realizace řídicí jednotky zdrojů. Součástí hw realizace řídicí jednotky zdrojů je návrh obsahu (hw design) obvodu FPGA. Řídicí jednotka zdrojů je součástí dvou funkčních vzorků jednotek zdrojů modelu, které byly v průběhu vývoje vyrobeny. Dále byla v průběhu práce navržena a vytvořena programová testovací aplikace určená pro uvedení jednotek zdrojů modelů do provozu, pro jejich servis a testování. Jednotky zdrojů modelu lze spolu s programovou aplikací využít jako laboratorní zdroje proudů a napětí. Testovací aplikace byla využita pro ověření spektrálních vlastností referenčních zdrojů. Všechny vytvořené technické a programové prostředky jsou podrobně popsány v kapitole 4. Výsledky měření spektrálních vlastností referenčních zdrojů jsou uvedeny v kapitole 4. Na funkčních vzorcích jednotek zdrojů modelu byly změřeny následující parametry:

- Efektivní hodnota napětí třífázových zdrojů napětí je nastavitelná v rozsahu 0 - 120 V s rozlišením 0.1 V při zatěžovacím proudu do 0.3 A
- Efektivní hodnota proudu třífázových zdrojů proudu je nastavitelná v rozsahu 0 až 8 A rozlišením 0.01 A při úbytku napětí na zátěži do 4 V.
- Činitel harmonického zkreslení byl naměřen 0.074.
- Kmitočet soustav třífázových napětí a proudů je nastavitelný v rozsahu 30 až 144 Hz s rozlišením 0.0001 Hz.
- Fázový posunu mezi soustavou napětí a proudů je nastavitelný v rozsahu 0 až 360 stupňů s rozlišením 0.01 stupně.
- Účinnost modulu zdroje napětí byla při vybuzení 50 procent a maximální proudové zátěži naměřena 87 procent.
- Účinnost modulu zdroje proudu byla při zátěži 50 procent naměřena 86 procent.³

³Účinnost primárních napájecích zdrojů není zahrnuta. Na ztrátách se podílejí zejména ztráty ve vlastním zesilovači a výstupním transformátoru.

Literatura

- [1] ACPOWER: katalogové listy a technická dokumentace firmy AC POWER Corp. www.acpower.net
- [2] Altera: Cyclone Device Handbook, May 2008.
- [3] Analog Devices: katalogové listy a technická dokumentace firmy Analog Devices, Inc. www.analog.com
- [4] Analog Devices: A Technical Tutorial on Digital Signal Synthesis, 1999.
- [5] Analog Devices: 2-Channel, 12-Bit ADC with I^2C -Compatible Interface in 10-Lead MSOP, 2005.
- [6] Calmet: katalogové listy a technická dokumentace firmy Calmet Ltd. www.calmet.com.pl
- [7] Cordesses, L.: Direct Digital Synthesis: A Tool for Periodic Wave Generation, in IEEE signal processing magazine, July 2004
- [8] Ercegovic, M.D.; Lang, T.: Digital Arithmetic; June 24, 2003; The Morgan Kaufmann Series in Computer Architecture and Design.
- [9] Grayver, E.; Daneshrad, B.: Direct digital frequency synthesis using a modified CORDIC
- [10] Chroma: katalogové listy a technická dokumentace firmy Chroma ATE Inc. www.chromaate.com
- [11] Kroupa, V.F.; Čížek, V.; Štursa, J.; Švandová, H.: Spurious signals in direct digital frequency synthesizers due to the phase truncation, IEEE Trans. Ultrason., Ferroelect. Freq. Contr., vol. 47, no. 5, pp. 1166–1172, Sept. 2000.
- [12] Linear technology: Complete Single Supply 12-bit Voltage output DAC in SO8, 1994.
- [13] MEATEST: katalogové listy a technická dokumentace firmy MEATEST, spol. s r.o. www.meatest.cz
- [14] MAXIM: katalogové listy a technická dokumentace firmy Maxim Integrated Products, Inc. www.maxim-ic.com
- [15] Maxim: Calibrated Quad 12-bit Voltage-Output D/A Converters, 1995.
- [16] Maxim: $10\mu\text{A}$, Low-Dropout, Precision Voltage References, 1997.
- [17] National Semiconductor: LM1086 1.5A Low Dropout Positive Regulators, June 2005.

- [18] OMICRON: katalogové listy a technická dokumentace firmy OMICRON electronics
www.omicron.at
- [19] Texas Instruments : katalogové listy a technická dokumentace firmy Texas
Instruments, Inc. www.ti.com
- [20] Vladimirova, T.;Tiggeler, H.: FPGA Implementation of Sine and Cosine Generators
Using the CORDIC algorithm, in Proceedings of Military and Aerospace Applications
of Programmable Devices and Technologies International Conference (MAPLD'99),
A-2, 28-30 September 1999, Laurel, Maryland, US, NASA publ.
- [21] Volder, J.: The CORDIC Computing Technique, Proceedeings of the western joint
computer conference, 1959, pp.257-261.

Seznam publikovaných prací

1. Kroužecký, A.; Chvojka, J.; Sykora, R.; Radej, J.; Karvunidis, T.; Novak, I.; Hanzlikova, J.; Bultasova, L.; Ruzicka, J.; Petrankova, Z.; Matejovic M.: The safety and efficacy of a new anticoagulation strategy using selective in-circuit blood cooling during haemofiltration-an experimental study. *Nephrology Dialysis Transplantation* 2011 Volume 26, Issue 5, Pp. 1622-1627.
2. Bolek, L.; Růžička, J.; Dejmek, J.; Petránková, Z. Beneš, L.; Štengl M.: Temperování krve - nové vývojové aktivity. Sborník abstrakt XXXIV. dnů lékařské biofyziky pořádaných Biofyzikálním ústavem Lékařské fakulty v Plzni, 2011, s. 31. ISBN 978-80-254-9898-9.
3. Podána přihláška na vynález "Tepelný výměník s laminarizérem" dne 22.7.2011 na ÚPV pod č. PV 2011-449 a bylo požádáno o úplný průzkum. Původci: Bolek, L.; Dejmek, J.; Růžička, J.; Beneš, L.; Petránková, Z.
4. Podána přihláška užitého vzoru "Tepelný výměník s laminarizérem" dne 22.7.2011 na ÚPV pod č. PUV 2011-24630 Původci: Bolek, L.; Dejmek, J.; Růžička, J.; Beneš, L.; Petránková, Z.
5. Patent český (udělený), tj udělený českým ÚPV zveřejněný 21.04.2010 Univerzita Karlova v Praze, Lékařská fakulta v Plzni, Plzeň, CZ. Čidlo pro měření teploty kapaliny ultrazvukem. Původci: Bolek, L.; Dejmek, J.; Beneš, J.; Růžička, J.; Matějovič, M.; Petránková, Z. Česká republika. Patentový spis 301580.
6. Funkční vzorek: "Device for in - vivo blood cooling of bigger laboratory animals". Původci: Bolek, L.; Petránková, Z.; Růžička, J.; Beneš, J.; Dejmek, J.; 2010; Přístroj prodán v r. 2010 na Universitatsklinikum Ulm, Sektion Anasthesiologische Pathophysiologie und Verfahrensentwicklung, Parkstrasse 11, Ulm 89073, DE.
7. Funkční vzorek: "Experimentální modul pro měření vlhkosti optickou detekcí rosného bodu"; 2010; Původci: Koucký, V.; Petránková, Z.; Štětka, P.
8. Funkční vzorek: "Mozkový klavír - přístroj pro sonifikaci EEG"; 2010; Původci: Klusal, M.; Petránková, Z.
9. Podána USA přihláška vynálezu 5.6.2010 (č. 12/320,276) "Method to suppress blood coagulation in the circuit of the device substituting the kidney function and apparatus realizing this method" . Původci: Růžička, J.; Petránková, Z.; Beneš, J.; Bolek, L.; Kroužecký, A.; Matějovič, M.; Sýkora, R. Ve stádiu oponování výtek - předáno konzultantům z CPPT (ILA) k doporučení dalšího postupu.
10. Podána přihláška, ukončen průzkum a zveřejněná národní (CZ) přihláška vynálezu dne 17.2.2010 (číslo 2008 - 473) "Diagnostický systém pro zjišťování a sledování bioimpedance hrudníku a stanovení emergentních stavů hrudníku". Původci: Růžička,

- J.; Vondra, V., Beneš, J.; Bolek, L.; Petránková, Z.; Hrdlička, P.; Bosman, R.; Psutka, J.; Matějovič, M.
11. Podána přihláška, následně ukončen průzkum a zveřejněná národní (DE) přihláška vynálezu dne 11.2.2010 (číslo DE 10 2009 028 257 A1 2010.02.11) "Gerät zur Erfassung und Überwachung der Thoraxbioimpedanz, das die Bestimmung von dringenden Thoraxzuständen ermöglicht". Původci: Růžička, J.; Vondra, V., Beneš, J.; Bolek, L.; Petránková, Z.; Hrdlička, P.; Bosman, R.; Psutka, J.; Matějovič, M.
 12. Basl, J.; Hrzan, E.; Koucky, V.; Petránková, Z.: "Modelling of the power part of excitation systems, synchronous generator, transformer and line in real time." Applied Electronics 2009., pp.43-46, 9-10 Sept. 2009
 13. Patent český (udělený), tj udělený českým ÚPV zveřejněný 01.04.2009 Univerzita Karlova v Praze, Lékařská fakulta v Plzni, Plzeň, CZ. Způsob snížení srážlivosti krve v okruhu přístroje pro náhradu funkce ledvin a zařízení k provádění tohoto způsobu. Původci vynálezu: Jiří Růžička, Zuzana Petránková, Jiří Beneš, Lukáš Bolek, Aleš Kroužek, Martin Matějovič, Roman Sýkora. Česká republika. Patentový spis 300266.
 14. Kroužek, A.; Chvojka, J.; Sýkora, R.; Radej, J.; Karvunidis, T.; Novak, I.; Ruzicka, J.; Petránková, Z.; Beneš, J.; Bolek, L.; Matějovič, M.: Regional cooling of the extracorporeal blood circuit: a novel anticoagulation approach for renal replacement therapy? Intensive Care Med 2009, 35: 364-370.
Počet citací: 4
 15. Kroužek, A.; Chvojka, J.; Sýkora, R.; Raděj, J.; Karvunidis, T.; Novak, I.; Ruzicka, J.; Petránková, Z.; Beneš, J.; Bolek, L.; Matějovič, M.: Regionální chlazení mimotělního okruhu: nová možnost antikoagulačního zajištění metod kontinuální náhrady funkce ledvin. Anesteziologie a intenzivní medicína, sv. 20, 2009. s. 143-148. ISSN 1214-2158.
 16. Petránková Z.: Aplikace metod nelineární dynamiky při zpracování chaotických časových řad. In Elektrotechnika a informatika 2007. Část 2., Elektronika. V Plzni : Západočeská univerzita, 2007. s. 69-72. ISBN 978-80-7043-571-7.
 17. Petránková, Z.: Číslicově řízený generátor dvou trojfázových soustav sinusových signálů. In Elektrotechnika a informatika 2006. Část 2., Elektronika. V Plzni : Západočeská univerzita, 2006. s. 77-80. ISBN 80-7043-473-2.
 18. Klusal, M.; Petránková, Z.; Štork, M.: EEG sonification for detection of central nervous system function impairment, Článek v časopise Lékař a technika. 2006, roč.36, sv. č.2, s.171-173
 19. Klusal, M.; Petránková, Z.; Štork, M.: Sonification of electroencephalographic data, Sborník konference Biosignal 2006, VUT Brno

20. Petránková Z.: Feature extraction from the biometric signal produced by a handwriting pen. In Elektrotechnika a informatika 2005. Část 2., Elektronika. V Plzni : Západočeská univerzita, 2005. s. 97-100. ISBN 80-7043-374-4.
21. Klusal, M.; Petránková, Z.: Sonifikace elektroencefalografického signálu. In Elektrotechnika a informatika. Část 2., Elektronika. V Plzni : Západočeská univerzita, 2005. s. 88-91. ISBN 80-7043-374-4.
22. Basl, J.; Koucký, V.; Petránková, Z.: "Real time dynamic model of synchronous generator." In Applied electronics 2005 . Pilsen : University of West Bohemia, pp. 29-32., ISBN 80-7043-369-8, 2005.
23. Petránková, Z.: Realizace generátoru dvou trojfázových soustav sinusových signálů s využitím FPGA. Elektrotechnika a informatika 2004, Konference Nečtiny. Plzeň: Západočeská univerzita, Fakulta elektrotechnická, 2004, s.77.

A Seznam příloh

- Schéma základní desky řídicí jednotky zdrojů - 2 listy formátu A3
- Schéma řídicího modulu - 1 list formátu A3

